

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4353275号
(P4353275)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.	F I				
HO4N 1/028 (2006.01)	HO4N	1/028	Z		
HO4N 5/335 (2006.01)	HO4N	5/335	R		
HO4N 5/18 (2006.01)	HO4N	5/335	F		
HO4N 1/407 (2006.01)	HO4N	5/18	B		
HO4N 1/19 (2006.01)	HO4N	1/40	1 O 1 B		
請求項の数 10 (全 25 頁) 最終頁に続く					

(21) 出願番号 特願2007-135721 (P2007-135721)
 (22) 出願日 平成19年5月22日(2007.5.22)
 (65) 公開番号 特開2008-294566 (P2008-294566A)
 (43) 公開日 平成20年12月4日(2008.12.4)
 審査請求日 平成20年7月23日(2008.7.23)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100124626
 弁理士 榎並 智和
 (74) 代理人 100124682
 弁理士 黒田 泰
 (72) 発明者 水田 雅彦
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 アナログフロントエンド回路及び電子機器

(57) 【特許請求の範囲】

【請求項1】

イメージセンサからアナログの入力画像信号を受け、前記入力画像信号に対して所与の処理を行ってアナログの画像信号を出力するアナログ処理回路と、

前記アナログ処理回路から入力される画像信号のA/D変換を行うA/D変換器と、
 黒レベルターゲット値が設定されるターゲットレジスタと、

補正量が設定される補正量レジスタと、

前記A/D変換器から出力されるA/D変換値をモニタして、演算処理を行う演算回路とを含み、

前記アナログ処理回路は、

前記イメージセンサからの入力画像信号に対するラインクランプを行うクランプ回路と

、
 オフセット調整レジスタを有し、前記オフセット調整レジスタに設定されたオフセット調整値に基づいて画像信号のオフセット調整を行うオフセット調整回路と、

ゲイン調整レジスタを有し、前記ゲイン調整レジスタに設定された前記ゲイン調整値に基づいて画像信号のゲイン調整を行うゲイン調整回路を含み、

前記補正量レジスタには、

前記オフセット調整レジスタの前記オフセット調整値を1LSBだけ変化させた時のA/D変換値の変化量に相当する量であって、前記ゲイン調整レジスタの前記ゲイン調整値によってその量が増加する前記補正量が設定され、

前記演算回路は、

前記クランプ回路によるラインクランプ期間の後であって有効画素出力期間の前の期間である黒レベルモニタ期間において、ラインクランプ後の黒基準画素のA/D変換値をモニタし、モニタされたA/D変換値と前記黒レベルターゲット値との差分値を求め、求められた差分値から前記補正量を減算する処理を、減算結果が0以下になるまで繰り返すことで、ラインクランプにおける黒レベルの誤差補正処理を行うことを特徴とするアナログフロントエンド回路。

【請求項2】

イメージセンサからアナログの入力画像信号を受け、前記入力画像信号に対して所与の処理を行ってアナログの画像信号を出力するアナログ処理回路と、

前記アナログ処理回路から入力される画像信号のA/D変換を行うA/D変換器と、
黒レベルターゲット値が設定されるターゲットレジスタと、

補正量が設定される補正量レジスタと、
調整量が設定される調整量レジスタと、

前記A/D変換器から出力されるA/D変換値をモニタして、演算処理を行う演算回路とを含み、

前記アナログ処理回路は、

前記イメージセンサからの入力画像信号に対するラインクランプを行うクランプ回路と

、
オフセット調整レジスタを有し、前記オフセット調整レジスタに設定されたオフセット調整値に基づいて画像信号のオフセット調整を行うオフセット調整回路と、

ゲイン調整レジスタを有し、前記ゲイン調整レジスタに設定された前記ゲイン調整値に基づいて画像信号のゲイン調整を行うゲイン調整回路を含み、

前記補正量レジスタには、

前記オフセット調整レジスタの前記オフセット調整値を1LSBだけ変化させた時のA/D変換値の変化量に相当する量であって、前記ゲイン調整レジスタの前記ゲイン調整値によってその量が変化する前記補正量が設定され、

前記調整量レジスタには、

A/D変換値を1だけ変化させるオフセット調整値に相当する量であって、前記ゲイン調整レジスタの前記ゲイン調整値によってその量が変化する前記調整量が設定され、

前記演算回路は、

前記クランプ回路によるラインクランプ期間の後であって有効画素出力期間の前の期間である黒レベルモニタ期間において、ラインクランプ後の黒基準画素のA/D変換値をモニタし、前記調整量レジスタに設定された前記調整量と、前記補正量レジスタに設定された前記補正量と、前記黒レベルモニタ期間においてモニタされたA/D変換値と、前記黒レベルターゲットレジスタに設定された前記黒レベルターゲット値に基づいて、ラインクランプにおける黒レベルの誤差補正処理を行うことを特徴とするアナログフロントエンド回路。

【請求項3】

請求項2において、

前記黒レベルモニタ期間においてモニタされたA/D変換値と前記黒レベルターゲット値との差分値を求め、前記調整量の分だけ前記オフセット調整レジスタの前記オフセット調整値を変化させると共に前記差分値から前記補正量を減算する処理を、減算結果が0以下になるまで繰り返すことを特徴とするアナログフロントエンド回路。

【請求項4】

請求項3において、

前記演算回路は、

過補正モードにおいては、前記オフセット調整レジスタの前記オフセット調整値を、前記調整量のm倍(mは2以上の整数)だけ変化させる過補正の誤差補正処理を行うことを特徴とするアナログフロントエンド回路。

10

20

30

40

50

【請求項 5】

請求項 2 乃至 4 のいずれかにおいて、

前記ゲイン調整回路により設定されるゲイン G が所与の値よりも大きい場合には、前記補正量が 1 よりも大きな値に設定されると共に、前記調整量が 1 に設定され、

前記ゲイン G が所与の値よりも小さい場合には、前記補正量が 1 に設定されると共に、前記調整量が 1 よりも大きな値に設定されることを特徴とするアナログフロントエンド回路。

【請求項 6】

請求項 5 において、

前記オフセット調整レジスタの前記オフセット調整値を 1 LSB だけ変化させた時の電圧変化を V_F とし、前記 A/D 変換器のビット数を k とし、前記 A/D 変換器の A/D 変換範囲を ADR とした場合に、前記ゲイン G が所与の値よりも大きい場合には、前記補正量 A が $A = [\{ V_F \times G \times (2^k - 1) \} / ADR]$ に設定されると共に、前記調整量 B が $B = 1$ に設定され、

前記ゲイン G が所与の値よりも小さい場合には、前記補正量 A が $A = 1$ に設定されると共に、前記調整量 B が $B = [ADR / \{ V_F \times G \times (2^k - 1) \}]$ に設定されることを特徴とするアナログフロントエンド回路。

【請求項 7】

イメージセンサからアナログの入力画像信号を受け、前記入力画像信号に対して所与の処理を行ってアナログの画像信号を出力するアナログ処理回路と、

前記アナログ処理回路から入力される画像信号の A/D 変換を行う A/D 変換器と、

黒レベルターゲット値が設定されるターゲットレジスタと、

補正量が設定される補正量レジスタと、

前記 A/D 変換器から出力される A/D 変換値をモニタして、演算処理を行う演算回路とを含み、

前記アナログ処理回路は、

前記イメージセンサからの入力画像信号に対するラインクランプを行うクランプ回路と、

オフセット調整レジスタを有し、前記オフセット調整レジスタに設定されたオフセット調整値に基づいて画像信号のオフセット調整を行うオフセット調整回路と、

ゲイン調整レジスタを有し、前記ゲイン調整レジスタに設定された前記ゲイン調整値に基づいて画像信号のゲイン調整を行うゲイン調整回路を含み、

前記補正量レジスタには、

前記オフセット調整レジスタの前記オフセット調整値を 1 LSB だけ変化させた時の A/D 変換値の変化量に相当する量であって、前記ゲイン調整レジスタの前記ゲイン調整値によってその量が変化する前記補正量が設定され、

前記演算回路は、

前記クランプ回路によるラインクランプ期間の後であって有効画素出力期間の前の期間である黒レベルモニタ期間において、ラインクランプ後の黒基準画素の A/D 変換値をモニタし、前記補正量レジスタに設定された前記補正量と、前記黒レベルモニタ期間においてモニタされた A/D 変換値と、前記ターゲットレジスタに設定された前記黒レベルターゲット値に基づいて、ラインクランプにおける黒レベルの誤差補正処理を行うと共に、

第 1 の検出モードでは、前記黒レベルモニタ期間における A/D 変換値が、前記ターゲットレジスタの前記黒レベルターゲット値からずれた場合に、黒レベルの誤差補正処理を行い、

第 2 の検出モードでは、前記黒レベルモニタ期間における A/D 変換値が、前記黒レベルターゲット値に対して前記補正量を加算した上限値と前記補正量を減算した下限値との間の検出範囲から外れた場合に、黒レベルの誤差補正処理を行うことを特徴とするアナログフロントエンド回路。

【請求項 8】

10

20

30

40

50

イメージセンサからアナログの入力画像信号を受け、前記入力画像信号に対して所与の処理を行ってアナログの画像信号を出力するアナログ処理回路と、

前記アナログ処理回路から入力される画像信号のA/D変換を行うA/D変換器と、

黒レベルターゲット値が設定されるターゲットレジスタと、

補正量が設定される補正量レジスタと、

前記A/D変換器から出力されるA/D変換値をモニタして、演算処理を行う演算回路とを含み、

前記アナログ処理回路は、

前記イメージセンサからの入力画像信号に対するラインクランプを行うクランプ回路と

、

オフセット調整レジスタを有し、前記オフセット調整レジスタに設定されたオフセット調整値に基づいて画像信号のオフセット調整を行うオフセット調整回路と、

ゲイン調整レジスタを有し、前記ゲイン調整レジスタに設定された前記ゲイン調整値に基づいて画像信号のゲイン調整を行うゲイン調整回路を含み、

前記補正量レジスタには、

前記オフセット調整レジスタの前記オフセット調整値を1LSBだけ変化させた時のA/D変換値の変化量に相当する量であって、前記ゲイン調整レジスタの前記ゲイン調整値によってその量が増加する前記補正量が設定され、

前記演算回路は、

前記クランプ回路によるラインクランプ期間の後であって有効画素出力期間の前の期間である黒レベルモニタ期間において、ラインクランプ後の黒基準画素のA/D変換値をモニタし、前記補正量レジスタに設定された前記補正量と、前記黒レベルモニタ期間においてモニタされたA/D変換値と、前記ターゲットレジスタに設定された前記黒レベルターゲット値に基づいて、ラインクランプにおける黒レベルの誤差補正処理を行うと共に、

第1の補正目標モードでは、A/D変換値を、前記ターゲットレジスタの前記黒レベルターゲット値に一致させる黒レベルの誤差補正処理を行い、

第2の補正目標モードでは、前記黒レベルターゲット値に前記補正量を加算した上限値又は前記補正量を減算した下限値に、A/D変換値を一致させる黒レベルの誤差補正処理を行うことを特徴とするアナログフロントエンド回路。

【請求項9】

イメージセンサからアナログの入力画像信号を受け、前記入力画像信号に対して所与の処理を行ってアナログの画像信号を出力するアナログ処理回路と、

前記アナログ処理回路から入力される画像信号のA/D変換を行うA/D変換器と、

黒レベルターゲット値が設定されるターゲットレジスタと、

前記A/D変換器から出力されるA/D変換値をモニタして、演算処理を行う演算回路とを含み、

前記アナログ処理回路は、

前記イメージセンサからの入力画像信号に対するラインクランプを行うクランプ回路と

、

オフセット調整レジスタを有し、前記オフセット調整レジスタに設定されたオフセット調整値に基づいて画像信号のオフセット調整を行うオフセット調整回路を含み、

前記演算回路は、

前記クランプ回路によるラインクランプ期間の後であって有効画素出力期間の前の期間である黒レベルモニタ期間において、ラインクランプ後の黒基準画素のA/D変換値をモニタし、A/D変換値を前記ターゲットレジスタの前記黒レベルターゲット値に設定するためのオフセット調整値を、前記オフセット調整レジスタに書き込んで、ラインクランプにおける黒レベルの誤差補正処理を行うと共に、

第1の検出ライン数設定モードでは、前記イメージセンサの各ライン毎に黒レベルの誤差補正処理を行い、

第2の検出ライン数設定モードでは、前記イメージセンサの連続する複数ラインにおい

10

20

30

40

50

て同じ変動方向の黒レベル変動が検出された場合に、黒レベルの誤差補正処理を行うことを特徴とするアナログフロントエンド回路。

【請求項 10】

請求項 1 乃至 9 のいずれかに記載のアナログフロントエンド回路と、前記イメージセンサと、を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログフロントエンド回路及び電子機器に関する。

10

【背景技術】

【0002】

画像読み取り装置などの電子機器に用いられている CCD、CMOS センサなどのイメージセンサでは、イメージセンサにより読み取られた原稿等のアナログの画像信号は、A/D 変換器によりデジタルの画像データに変換される。このような A/D 変換器を有するアナログフロントエンド回路（画像処理プロセッサ）の従来技術として特許文献 1 がある。

【0003】

このようなアナログフロントエンド回路では、イメージセンサから出力されるアナログの画像信号には、DC オフセット成分が含まれており、この DC オフセット成分が原因で、画像信号の電圧レベルがアナログフロントエンド回路の入力許容範囲を超えてしまう場合がある。従って、DC オフセット成分を除去して、画像信号の電圧レベルを適正な電圧レベルに設定するために、イメージセンサの出力とアナログフロントエンド回路の入力との間に AC カップリング用のキャパシタを設けると共に、アナログフロントエンド回路にクランプ回路を設けることが望ましい。

20

【0004】

このようなクランプ回路によるクランプ動作には、ビットクランプとラインクランプがある。ビットクランプは、相関二重サンプリング (Correlated Double Sampling) などに使用されるが、高速な A/D 変換処理が要求されるアプリケーションには不向きである。一方、ラインクランプは、オフィス機器などの高速な A/D 変換処理が要求されるアプリケーションには向いている。しかしながら、クランプレベルに引き込まれた黒レベルに誤差が発生すると、原稿の急激な濃度変化等が発生した場合に、正確な A/D 変換を実現できないという問題があることが判明した。

30

【特許文献 1】特開 2004 - 297146 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ラインクランプにおけるクランプレベルの誤差補正を実現できるアナログフロントエンド回路、及びこれを含む電子機器を提供することにある。

40

【課題を解決するための手段】

【0006】

本発明は、イメージセンサからアナログの入力画像信号を受け、前記入力画像信号に対して所与の処理を行ってアナログの画像信号を出力するアナログ処理回路と、前記アナログ処理回路から入力される画像信号の A/D 変換を行う A/D 変換器と、黒レベルターゲット値が設定されるターゲットレジスタと、前記 A/D 変換器から出力される A/D 変換値をモニタして、演算処理を行う演算回路とを含み、前記アナログ処理回路は、前記イメージセンサからの入力画像信号に対するラインクランプを行うクランプ回路と、オフセット調整レジスタを有し、前記オフセット調整レジスタに設定されたオフセット調整値に基づいて画像信号のオフセット調整を行うオフセット調整回路を含み、前記演算回路は、前

50

記クランプ回路によるラインクランプ期間の後であって有効画素出力期間の前の期間である黒レベルモニタ期間において、ラインクランプ後の黒基準画素のA/D変換値をモニタし、A/D変換値を前記ターゲットレジスタの前記黒レベルターゲット値に設定するためのオフセット調整値を、前記オフセット調整レジスタに書き込んで、ラインクランプにおける黒レベルの誤差補正処理を行うアナログフロントエンド回路に係する。

【0007】

本発明によれば、クランプ回路によりラインクランプが行われる。そしてラインクランプ期間の後であって有効画素出力期間の前の期間である黒レベルモニタ期間において、A/D変換値がモニタされる。そしてA/D変換値を黒レベルターゲット値に設定するためのオフセット調整値が、オフセット調整レジスタに書き込まれることで、ラインクランプにおける黒レベルの誤差補正処理が実現される。このようにすれば、黒レベルターゲット値（又は黒レベルターゲット値により設定される値）が補正目標になるように、オフセット調整値が書き込まれて、黒レベルの誤差が補正されるため、黒レベルの誤差に起因する不具合を解消できる。また本発明では、有効画素出力期間の前の黒レベルモニタ期間において黒レベルの誤差補正が行われる。従って、有効画素出力期間においては、黒レベルが黒レベルターゲット値に設定されるようになるため、黒レベルの誤差に起因する不具合の発生を効果的に防止できる。

【0008】

また本発明では、前記アナログ処理回路は、ゲイン調整レジスタを有し、前記ゲイン調整レジスタに設定された前記ゲイン調整値に基づいて画像信号のゲイン調整を行うゲイン調整回路を含み、前記オフセット調整レジスタの前記オフセット調整値を1LSBだけ変化した時のA/D変換値の変化量に相当する量であって、前記ゲイン調整レジスタの前記ゲイン調整値によってその量が変化する補正量が設定される補正量レジスタを含み、前記演算回路は、前記補正量レジスタに設定された前記補正量と、前記黒レベルモニタ期間においてモニタされたA/D変換値と、前記ターゲットレジスタに設定された前記黒レベルターゲット値に基づいて、黒レベルの誤差補正処理を行ってもよい。

【0009】

このようにすれば、ゲイン調整値の設定が変化した場合に、それに応じて補正量も変化するようになる。従って、ゲイン調整値が反映された補正量を用いて、誤差補正処理が実現されるようになり、回路の簡素化や小規模化を図れる。

【0010】

また本発明では、前記演算回路は、前記黒レベルモニタ期間においてモニタされたA/D変換値と前記黒レベルターゲット値との差分値を求め、求められた差分値から前記補正量を減算する処理を、減算結果が0以下になるまで繰り返してもよい。

【0011】

このようにすれば、割り算回路等を用いなくても誤差補正処理を実現でき、回路の更なる簡素化や小規模化を図れる。

【0012】

また本発明では、A/D変換値を1だけ変化するオフセット調整値に相当する量であって、前記ゲイン調整レジスタの前記ゲイン調整値によってその量が変化する調整量が設定される調整量レジスタを含み、前記演算回路は、前記調整量レジスタに設定された前記調整量と、前記補正量レジスタに設定された前記補正量と、前記黒レベルモニタ期間においてモニタされたA/D変換値と、前記黒レベルターゲットレジスタに設定された前記黒レベルターゲット値に基づいて、黒レベルの誤差補正処理を行ってもよい。

【0013】

このようにすれば、ゲイン調整値の設定が変化した場合に、それに応じて調整量も変化するようになる。従って、ゲイン調整値が反映された調整量を用いて、オフセット調整値が設定されて、誤差補正処理が実現されるようになり、回路の簡素化や小規模化を図れる。

【0014】

また本発明では、前記黒レベルモニタ期間においてモニタされたA/D変換値と前記黒レベルターゲット値との差分値を求め、前記調整量の分だけ前記オフセット調整レジスタの前記オフセット調整値を変化させると共に前記差分値から前記補正量を減算する処理を、減算結果が0以下になるまで繰り返してもよい。

【0015】

このようにすれば、割り算回路等を用いなくとも誤差補正処理を実現でき、回路の更なる簡素化や小規模化を図れる。

【0016】

また本発明では、前記演算回路は、過補正モードにおいては、前記オフセット調整レジスタの前記オフセット調整値を、前記調整量のm倍（mは2以上の整数）だけ変化させる過補正の誤差補正処理を行ってもよい。

10

【0017】

このようにすれば、黒レベルが特定の変動方向に変動する場合に、その変動をキャンセルする誤差補正処理が先駆けて行われるようになるため、高速な誤差補正を実現できる。

【0018】

また本発明では、前記ゲイン調整回路により設定されるゲインGが所与の値よりも大きい場合には、前記補正量が1よりも大きな値に設定されると共に、前記調整量が1に設定され、前記ゲインGが所与の値よりも小さい場合には、前記補正量が1に設定されると共に、前記調整量が1よりも大きな値に設定されてもよい。

【0019】

20

このようにすれば、ゲインが所与の値よりも小さく、オフセット調整値を1LSBだけ変化させてもA/D変換値が変化しない場合にも、オフセット調整値の調整量の方を1よりも大きな値に設定して、誤差補正処理を実現できるようになる。

【0020】

また本発明では、前記オフセット調整レジスタの前記オフセット調整値を1LSBだけ変化させた時の電圧変化をVFとし、前記A/D変換器のビット数をkとし、前記A/D変換器のA/D変換範囲をADRとした場合に、前記ゲインGが所与の値よりも大きい場合には、前記補正量Aが $A = [\{ VF \times G \times (2^k - 1) \} / ADR]$ に設定されると共に、前記調整量BがB=1に設定され、前記ゲインGが所与の値よりも小さい場合には、前記補正量AがA=1に設定されると共に、前記調整量Bが $B = [ADR / \{ VF \times G \times (2^k - 1) \}]$ に設定されてもよい。

30

【0021】

このようにすれば、ゲイン調整値が変化した場合にも、誤差補正処理の内容は変化しないようになるため、回路の簡素化や小規模化を図れる。

【0022】

また本発明では、前記演算回路は、第1の検出モードでは、前記黒レベルモニタ期間におけるA/D変換値が、前記ターゲットレジスタの前記黒レベルターゲット値からずれた場合に、黒レベルの誤差補正処理を行い、第2の検出モードでは、前記黒レベルモニタ期間におけるA/D変換値が、前記黒レベルターゲット値に対して前記補正量を加算した上限値と前記補正量を減算した下限値との間の検出範囲から外れた場合に、黒レベルの誤差補正処理を行ってもよい。

40

【0023】

このような第2の検出モードを設ければ、黒レベルが変動したときに、その変動範囲が検出範囲内である場合には誤差補正は行われなくなるため、振動モード現象の発生等を低減できる。

【0024】

また本発明では、前記演算回路は、第1の補正目標モードでは、A/D変換値を、前記ターゲットレジスタの前記黒レベルターゲット値に一致させる黒レベルの誤差補正処理を行い、第2の補正目標モードでは、前記黒レベルターゲット値に前記補正量を加算した上限値又は前記補正量を減算した下限値に、A/D変換値を一致させる黒レベルの誤差補正

50

処理を行ってもよい。

【0025】

このようにすれば、黒レベルが特定の変動方向に変動する場合に、その変動をキャンセルする誤差補正処理が先駆けて行われるようになるため、高速な誤差補正を実現できる。

【0026】

また本発明では、前記演算回路は、第1の検出ライン数設定モードでは、前記イメージセンサの各ライン毎に黒レベルの誤差補正処理を行い、第2の検出ライン数設定モードでは、前記イメージセンサの連続する複数ラインにおいて同じ変動方向の黒レベル変動が検出された場合に、黒レベルの誤差補正処理を行ってもよい。

【0027】

このようにすれば、黒レベルが変動した場合に、直ぐには誤差が補正されないようになるため、振動モード現象の発生等を低減できる。

【0028】

また本発明は、上記のいずれかに記載のアナログフロントエンド回路と、前記イメージセンサとを含む電子機器に関係する。

【発明を実施するための最良の形態】

【0029】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0030】

1. イメージセンサ

図1(A)にイメージセンサ10の構成例を示す。このイメージセンサ10(例えばCCDラインセンサ)は、受光部202、転送ゲート204、転送部206(シフトレジスタ)を含む。また、受光部202は、光電変換を行う複数の受光素子(フォトダイオード、画素)を含む。

【0031】

受光部202の各受光素子(画素)は受光量に応じた電荷を生成して蓄積する。そして電荷蓄積に必要な所定の時間が経過した後にシフト信号SHがアクティブになり、転送ゲート204がオンになる。これにより、蓄積電荷が、転送ゲート204を介して転送部206のシフトレジスタ(各受光素子に対応して設けられたシフトレジスタ)に転送される。そして、各シフトレジスタに転送された蓄積電荷(画像信号)は2相の駆動クロックである1、2に基づいて、隣接するシフトレジスタ間を転送されて行く。これによりイメージセンサ10のCCQ端子から、各受光素子の蓄積電荷に対応する画像信号がシリアルに出力される。

【0032】

なお、イメージセンサ10の構成は図1(A)に限定されず、種々の変形実施が可能である。例えば図1(B)のように、奇数番目の画素用の転送ゲート204-1、転送部206-1と偶数番目の画素用の転送ゲート204-2、転送部206-2を設けることが望ましい。また、図1(A)、図1(B)の構成において、R(赤)、G(緑)、B(青)画像の読み取り用の受光部、転送ゲート、転送部を設けることが望ましい。なお図1(C)には転送部206のシフトレジスタの構成例を示す。

【0033】

2. アナログフロントエンド回路の構成

図2に本実施形態のアナログフロントエンド回路(画像処理プロセッサ、画像処理コントローラ)の構成例を示す。このアナログフロントエンド回路(AFE)は、アナログ処理回路20、A/D変換器40を含む。また演算回路50、ターゲットレジスタ100を含む。なお本実施形態のアナログフロントエンド回路は図2の構成に限定されず、その構成要素の一部を省略したり、他の構成要素(例えばタイミングジェネレータ、外部インターフェース、画像データの送信回路、PLL回路等)を追加するなどの種々の変形実施が

10

20

30

40

50

可能である。

【 0 0 3 4 】

アナログ処理回路 2 0 (アナログ信号処理回路)は、CCD等のイメージセンサ 1 0 (ラインセンサ)からアナログの入力画像信号 I M 1を受ける。そして入力画像信号 I M 1に対して所与の処理(A/D変換前の前処理)を行ってアナログの画像信号 I M 2を出力する。具体的にはアナログ処理回路 2 0は、所与の処理として、例えば画像信号 I M 1のオフセット調整やゲイン調整を行う。或いは、画像信号 I M 1を所与のクランプレベルに設定するクランプ処理や、相関二重サンプリング(CDS)や、画像信号のサンプル・ホールド処理などを行う。

【 0 0 3 5 】

アナログ処理回路 2 0はクランプ回路 2 1、オフセット調整回路 2 3、ゲイン調整回路 2 5を含む。なおこれらの構成要素の一部(例えばゲイン調整回路)を省略する構成としてもよい。

【 0 0 3 6 】

クランプ回路 2 1は、イメージセンサ 1 0からの入力画像信号 I M 1に対するクランプ処理を行う。具体的には画像信号 I M 1に対するラインクランプを行う。即ち有効画素出力期間の前のラインクランプ期間において、画像信号 I M 1の黒基準画素のレベルである黒レベルを、クランプレベルに引き込む(クランプレベルに設定する)。そして有効画素出力期間では、有効画素の画像信号レベルと、クランプレベルに引き込まれた黒レベルとの差分電圧のA/D変換が行われ、得られたA/D変換値がA/D変換器 4 0から出力される。この場合、ラインクランプはイメージセンサ 1 0(ラインセンサ)の各ライン毎に行われる。なお、クランプ回路 2 1は、モード設定に応じて画像信号 I M 1に対するビットクランプなどを行うことも可能である。ビットクランプの場合には、いわゆる相関二重サンプリングが行われる。

【 0 0 3 7 】

オフセット調整回路 2 3は、オフセット調整レジスタ 2 4を有し、オフセット調整レジスタ 2 4に設定されたオフセット調整値に基づいて画像信号のオフセット調整を行う。ゲイン調整回路 2 5は、ゲイン調整レジスタ 2 6を有し、ゲイン調整レジスタ 2 6に設定されたゲイン調整値に基づいて画像信号のゲイン調整を行う。具体的には例えばオフセット調整後の画像信号に対してゲイン調整を行う。なお、イメージセンサ 1 0がカラーの画像信号を出力する場合には、オフセット調整レジスタ 2 4に例えばR用、G用、B用のオフセット調整値を設定し、ゲイン調整レジスタ 2 6に例えばR用、G用、B用のゲイン調整値を設定すればよい。

【 0 0 3 8 】

A/D変換器 4 0は、アナログ処理回路 2 0からの画像信号 I M 2のA/D変換を行う。そしてデジタルの画像データであるA/D変換値 A D Vを出力する。このA/D変換器 4 0としては、例えば縦続接続された複数のパイプラインステージを有するパイプライン型A/D変換器を用いることができる。このパイプライン型A/D変換器では、その各パイプラインステージは、入力画像信号をサブA/D変換器で量子化してデジタルデータに変換し、このデジタルデータをサブD/A変換器によりD/A変換する。そして入力画像信号とサブD/A変換器で得られたアナログ信号の減算処理を行い、得られた信号を増幅して、次のパイプラインステージに出力する。なおA/D変換器 4 0はパイプライン型に限定されず、公知の他の方式のA/D変換器であってもよい。

【 0 0 3 9 】

ターゲットレジスタ 1 0 0には、黒レベルのターゲット値が設定される。この黒レベルターゲット値の設定は、例えば外部のCPU(CPU上で動作するファームウェア)等により行うことができる。

【 0 0 4 0 】

演算回路 5 0(補正処理回路)は、A/D変換器 4 0から出力されるA/D変換値 A D Vをモニタして、演算処理(補正処理)を行う。具体的には、クランプ回路 2 1によるラ

10

20

30

40

50

インクランプ期間の後であって有効画素出力期間の前の黒レベルモニタ期間において、ラインクランプ後の黒基準画素のA/D変換値ADVをモニタする。なお黒基準画素は、イメージセンサ10の光シールド領域の画素であってもよいし、原稿のランプを消したときの画素であってもよい。

【0041】

そして演算回路50は、A/D変換値ADV(ADVの平均値)をターゲットレジスタ100の黒レベルターゲット値TAVに設定するためのオフセット調整値(ADVをTAVに一致させるためのオフセット調整値)を、オフセット調整レジスタ24に書き込む。これにより、ラインクランプにおける黒レベルの誤差補正処理が実現される。即ちラインクランプによりクランプレベルに引き込んだはずの画像信号の黒レベルが、クランプレベルからずれた場合に、黒レベルのA/D変換値ADVを黒レベルターゲット値に一致させるためのオフセット調整値をオフセット調整レジスタ24に書き込む。これにより、黒レベルとクランプレベルのずれの誤差を無くす補正処理が実現される。

10

【0042】

なお演算回路50は、初期オフセット調整や初期ゲイン調整のための演算処理も行う。具体的にはA/D変換器40から入力範囲の下限値(最小値)に対応するA/D変換値が出力される下限値出力期間(狭義には黒基準画素出力期間)において、A/D変換値ADVをモニタ(監視)して取り出す。そしてA/D変換値ADV(ADVの平均値)を下限ターゲット値に近づくオフセット調整値(下限ターゲット値に一致させるオフセット調整値)を、オフセット調整レジスタ24に設定するオフセット設定処理(下限値設定処理)を行う。或いはA/D変換器40から入力範囲の上限値(最大値)に対応するA/D変換値が出力される上限値出力期間(狭義には白画素出力期間)において、A/D変換値ADVをモニタ(監視)して取り出す。そしてA/D変換値ADV(ADVの平均値)を上限ターゲット値に近づくゲイン調整値(上限ターゲット値に一致させるゲイン調整値)を、ゲイン調整レジスタ26に設定するゲイン設定処理(上限値設定処理)を行う。

20

【0043】

図3(A)にオフセット調整回路23におけるオフセット調整値とオフセット電圧の関係の一例を示す。例えば10ビット幅(広義にはnビット幅)のオフセット調整レジスタ24に0x200のオフセット調整値を設定すると、オフセット調整回路23において画像信号に対して加算されるオフセット電圧は0Vになる。一方、0x000、0x3FFのオフセット調整値を設定すると、画像信号に加算されるオフセット電圧は、各々、-300mV、+300mVになる。このように図3(A)では、オフセット調整値に対してオフセット電圧は単調増加の関数になっている。

30

【0044】

また図3(B)にゲイン調整回路25におけるゲイン調整値とゲインの関係の一例を示す。例えば8ビット幅のゲイン調整レジスタ26に0x080のゲイン調整値を設定すると、ゲイン調整回路25(プログラマブルゲインアンプPGA)でのゲインは4程度になり、0x0FFのゲイン調整値を設定するとゲインは16程度になる。このように図3(B)では、ゲイン調整値に対してゲインは単調増加の関数になっている。

40

【0045】

図3(A)、図3(B)のようなオフセット調整、ゲイン調整を行うことで、A/D変換器40の変換範囲をフルに発揮するための調整を実現できる。

【0046】

例えば図4において10ビットのA/D変換器40のA/D変換範囲は、0~1023(0~1023LSB)になっており、アナログの電圧範囲としては例えば0~2Vになっている。なおA/D変換器40のLSBを1と表している。一方、イメージセンサ10からの入力画像信号IM1の入力範囲は、100~512(100~512LSB)になっており、A/D変換範囲0~1023に比べて狭く、A/D変換器40の変換特性をフルに発揮していない。

【0047】

50

この点、図4では、A/D変換器40に入力される画像信号IM2の入力範囲の下限ターゲット値を例えば0に設定して、-100(-100LSB)のオフセット調整を行っている。これにより画像信号IM2の入力範囲の最小値(下限値)はオフセット調整により100から0にシフトする。この時、入力範囲の最大値(上限値)も512から412にシフトする。

【0048】

次に図4では、A/D変換器40に入力される画像信号IM2の入力範囲の上限ターゲット値を例えば824に設定して、2倍のゲイン調整を行っている。これにより画像信号IM2の入力範囲の最大値(上限値)はゲイン調整により412から824にシフトする。

10

【0049】

このようにすれば、画像信号IM2の入力範囲が100~512から0~824に拡大し、A/D変換範囲0~1023とほぼ同程度になるため、A/D変換器40の変換特性をフルに発揮できるようになる。

【0050】

3. 黒レベルの誤差補正

図5(A)にクランプ回路21の構成例を示し、図5(B)にラインクランプを説明するための信号波形例を示す。

【0051】

クランプ回路21はアンド回路AND1とスイッチング素子SA1を含む。アンド回路AND1は、図5(B)に示すような波形のクランプ信号CLMP、サンプリングクロックCK1が入力され、図5(B)に示すような波形のクランプタイミング信号CLMPTIMを出力する。スイッチング素子SA1は信号CLMPTIMによりオン・オフ制御される。即ち信号CLMPがアクティブ(Hレベル)になるラインクランプ期間において、信号CLMPTIMがアクティブになり、スイッチング素子SA1がオンになる。これにより、イメージセンサ10からの画像信号の黒レベルが、クランプレベルCLMPLVに引き込まれる。

20

【0052】

サンプル・ホールド回路28は、イメージセンサ10からの画像信号のサンプル・ホールドを行う。具体的には、画像信号のレベルと、クランプレベルに引き込まれた黒レベル(クランプレベルに設定された黒レベル)との差分電圧をサンプル・ホールドする。このサンプル・ホールド回路28は、実際にはオフセット調整回路23の後段側に設けることができるが、図5(A)では説明を簡単にするためにクランプ回路21の後段側に設けている。このサンプル・ホールド回路28は、オペアンプOPB1と、サンプル・ホールド用のスイッチング素子SB1、SB2、SB3、SB4と、サンプル・ホールド用のキャパシタCB1、CB2を含む。

30

【0053】

図5(A)では、アナログフロントエンド回路が内蔵するクランプレベル設定回路により生成されたクランプレベルが、CLMPLVとしてスイッチング素子SA2を介して入力され、ノードNA2に保持される。なおキャパシタCA2はクランプレベルCLMPLVを安定化するための外付けのキャパシタである。またクランプレベルを外部から入力する場合には、信号CLMPENによりスイッチング素子SA2をオフにすると共に、キャパシタCA2の一端側のノードからクランプレベルを入力すればよい。

40

【0054】

イメージセンサ10から出力される画像信号は、外付けのACカップリング用のキャパシタCA1を介して、そのAC成分が信号INPとしてノードNA1に入力される。サンプル・ホールド回路28は、ノードNA1の画像信号のレベルと、クランプレベルCLMPLVに引き込まれた黒レベルの差分電圧を、サンプル・ホールドする。

【0055】

即ち、イメージセンサ10から出力されるアナログの画像信号には、DCオフセット成

50

分が含まれている。そして画像信号の電圧レベルがアナログフロントエンド回路の入力許容範囲を超えないように、このDCオフセット成分を除去して、画像信号の電圧レベルを適正な電圧レベルに設定する必要がある。このために図5(A)では、イメージセンサ10の出力とアナログフロントエンド回路の入力の間ACカップリング用のキャパシタCA1が設けられると共に、クランプ回路21により、画像信号の黒レベルをクランプレベルCLMP LVに引き込むラインクランプが行われる。

【0056】

例えば図6のE1では、クランプレベルCLMP LVへの引き込み動作は行われていないが、E2、E3に示すようにクランプ信号CLMP、サンプリングクロックCK1がアクティブになると、スイッチング素子SA1がオンになり、ラインクランプが行われる。そしてE4に示すように、画像信号の黒レベルがクランプレベルCLMP LVに引き込まれて一致するようになり、ラインクランプが実現される。そして、ラインクランプ期間の後の有効画素出力期間では、サンプル・ホールド回路28により、画像信号のレベルと、クランプレベルCLMP LVに引き込まれた黒レベルの差分電圧が、サンプル・ホールドされて、A/D変換器40によりその差分電圧のA/D変換値が求められる。これにより黒レベルを基準とした画像信号のレベルのA/D変換値を求めることが可能になる。

【0057】

ここで、画像信号の黒レベルをクランプレベルCLMP LVに引き込むことが可能になるのは、ラインクランプ期間の後、スイッチング素子SA1がオフになり、図5(A)のノードNA1がハイインピーダンス状態に設定されるからである。

【0058】

ところが、このノードNA1に対して、例えばスイッチング素子SB2等を介してリーク電流が流れ込むと、図6のE4に示すようにクランプレベルCLMP LVに引き込まれず黒レベルが、ずれてしまい、黒レベルとクランプレベルCLMP LVの間に誤差が生じる。この結果、画像読み取りの際に原稿の急激な濃度変化(例えば白から黒への変化)が発生した場合等に、残像が残ってしまう不具合が生じる。

【0059】

そこで本実施形態では、図8のG1に示すラインクランプ期間の後であって、G2に示す有効画素出力期間(有効画素期間)の前の期間であるG3に示す黒レベルモニタ期間において、ラインクランプ後の黒基準画素のA/D変換値をモニタする。そして黒レベルモニタ期間でのA/D変換値を黒レベルターゲット値TAVに設定するためのオフセット調整値を、オフセット調整レジスタ24に書き込む。即ち黒レベルターゲット値TAV又はTAVにより設定される値(下限値、上限値)が、A/D変換値の補正目標となるように、オフセット調整値をオフセット調整レジスタ24に書き込み、図7のF1に示すラインクランプにおける黒レベルの誤差を補正する。このようにすれば、画像読み取りの際に原稿の急激な濃度変化が発生した場合に残像が残るといった不具合の発生等を防止できる。

【0060】

特に本実施形態は、図8のG1に示すラインクランプ期間において図6のE4に示すようにクランプレベルCLMP LVに引き込まれる黒レベルの誤差を、有効画素出力期間の前の黒レベルモニタ期間において、補正している点に特徴がある。即ち黒レベルモニタ期間において、黒レベルを黒レベルターゲット値TAVに一致させるための誤差補正を行っている点に特徴がある。このように有効画素出力期間の前の黒レベルモニタ期間において黒レベルの誤差補正を行えば、有効画素出力期間においては、黒レベルが黒レベルターゲット値TAVに適正に一致するようになるため、黒レベルの誤差に起因する画像読み取りの不具合の発生を効果的に防止できる。

【0061】

4. 詳細な構成例

図9にアナログフロントエンド回路の詳細な構成例を示す。なおアナログフロントエンド回路は図9の構成に限定されず、その構成要素の一部(例えば外部インターフェース等)を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 0 6 2 】

図9では、図2に対して補正量レジスタ102、調整量レジスタ104が更に設けられている。

【 0 0 6 3 】

補正量レジスタ102は、黒レベルの誤差補正処理のための補正量(A)が設定されるレジスタである。ここで補正量は、オフセット調整レジスタ24のオフセット調整値を1LSBだけ変化させた時のA/D変換値の変化量に相当する量である。そしてアナログ処理回路20にゲイン調整回路25を設けた場合には、この補正量は、ゲイン調整レジスタ26のゲイン調整値によってその量が変わる。

【 0 0 6 4 】

なおゲイン調整値により設定されるゲインが小さい場合には、オフセット調整値を1LSBだけ変化させた場合にも、A/D変換値の変化量が1以下になる場合があり、この場合には補正量は例えば1に設定される。

【 0 0 6 5 】

調整レジスタ104は、黒レベルの誤差補正処理のための調整量(B)が設定されるレジスタである。この調整量は、A/D変換器40のA/D変換値を1だけ変化させるオフセット調整値に相当する量である。そしてアナログ処理回路20にゲイン調整回路25を設けた場合には、この調整量は、ゲイン調整レジスタ26のゲイン調整値によってその量が変わる。なおゲイン調整値により設定されるゲインが大きい場合には、A/D変換値を1だけ変化させるオフセット調整値が1よりも小さくなる場合があり、この場合には調整量は例えば1に設定される。

【 0 0 6 6 】

また図9では、外部インターフェース110(CPUインターフェース、ホストインターフェース)が設けられている。CPU(ホストプロセッサ、ファームウェア)は、この外部インターフェース110を介してターゲットレジスタ100や補正量レジスタ102や調整量レジスタ104にアクセスすることができる。そしてCPUは、ターゲットレジスタ100に対して黒レベルターゲット値を設定したり、補正量レジスタ102や調整量レジスタ104に設定された補正量や調整量を確認することができる。

【 0 0 6 7 】

演算回路50は、監視回路51、解析回路54を含む。監視回路51はA/D変換器40から出力されるA/D変換値ADVのモニタ処理を行う。具体的には監視回路51は平均化回路52を含む。平均化回路52は、図8のG3に示す黒レベルモニタ期間において、黒基準画素のA/D変換値をモニタする。そして例えばイメージセンサ10の各処理ラインにおける複数の画素の画像信号のA/D変換値を取り出して平均化する。そして複数の画素についての平均化されたA/D変換値と、ターゲットレジスタ100に設定された黒レベルターゲット値との比較処理が行われるようになる。

【 0 0 6 8 】

解析回路54(演算回路50)は、A/D変換値を解析して、黒レベルの誤差補正処理を行う。例えば、補正量レジスタ102に設定された補正量と、黒レベルモニタ期間において監視回路51によりモニタされたA/D変換値(平均値)と、ターゲットレジスタ100に設定された黒レベルターゲット値TAVとに基づいて、黒レベルの誤差補正処理を行う。なお調整量レジスタ104を設けた場合には、調整量レジスタ104に設定された調整量と、補正量と、A/D変換値と、黒レベルターゲット値TAVとに基づいて、誤差補正処理を行う。

【 0 0 6 9 】

具体的には解析回路54は、黒レベルモニタ期間においてモニタされたA/D変換値(平均値)と黒レベルターゲット値TAVとの差分値(差分値の絶対値)を求める。そして求められた差分値から、補正量レジスタ102の補正量を減算する処理を、減算結果(差分値から補正量を減算した結果)が0以下になるまで繰り返す。即ち減算結果が0以下になるまで、差分値から補正量を順次減算して行く。なお調整量レジスタ104を設けた場

10

20

30

40

50

合には、A/D変換値と黒レベルターゲット値TAVとの差分値を求め、調整量の分だけオフセット調整レジスタ24のオフセット調整値を変化させると共に差分値から補正量を減算する処理を、減算結果が0以下になるまで繰り返す。

【0070】

解析回路54(演算回路50)は、補正量レジスタ102への補正量の設定処理や、調整量レジスタ104への調整量の設定処理も行う。具体的には、解析回路54は、ゲイン調整レジスタ26に設定されたゲイン調整値を受ける。そして解析回路54に設けられたデコーダ(テーブル)に基づいて、設定されたゲイン調整値に応じた補正量、調整量を求めて、補正量レジスタ102、調整量レジスタ104に書き込む。

【0071】

なお、A/D変換値をモニタし、モニタされたA/D変換値とゲイン調整値に基づいて、補正量、調整量を設定してもよい。例えばA/D変換値をモニタし、オフセット調整レジスタ24のオフセット調整値を1LSBだけ変化させた時のA/D変換値の変化量に相当する量を、補正量として検出し、検出された補正量を補正量レジスタ102に設定する。更に具体的には、オフセット調整値を1LSBだけ変化させた時のA/D変換値と、オフセット調整値を変化させる前のA/D変換値の差分値を求め、求められた差分値を補正量として検出して、補正量レジスタ102に設定する。

【0072】

5. 動作

図10に誤差補正処理における本実施形態の動作を説明するためのフローチャートを示す。まず黒レベルモニタ期間になった否かを判断する(ステップS1)。この判断は、黒基準画素出力期間や黒基準画素出力期間での黒レベルモニタ期間を指定するためのレジスタ情報(画素番号、画素数情報)に基づいて判断できる。そして黒レベルモニタ期間になると、演算回路50(監視回路51)は、黒レベルモニタ期間における黒基準画素のA/D変換値をモニタして、その平均値を求める(ステップS2)。

【0073】

次に、ステップS2で得られたA/D変換値の平均値と黒レベルターゲット値の差分値DFAを求める(ステップS3)。例えばA/D変換値の平均値から黒レベルターゲット値を減算し、その絶対値を求める。そしてオフセット調整レジスタ24のオフセット調整値を、調整量レジスタ104の調整量Bだけ変化させると共に、ステップS3で得られた差分値DFAから、補正量レジスタ102の補正量Aを減算する処理を行う(ステップS4)。

【0074】

次に、減算結果DFA-Aが0以下になったか判断し(ステップS5)、0以下ではない場合には、減算結果DFA-AをDFAに設定して(ステップS6)、ステップS4に戻り、ステップS4の処理を繰り返す。一方、0以下になった場合には処理を終了する。

【0075】

例えば図11(A)では、黒レベルモニタ期間でのA/D変換値が0x40(ヘキサ表示)であり、黒レベルターゲット値が0x20になっている。従って、差分値はDFA=0x40-0x20=0x20になる。また図11(A)では、補正量がA=8に設定され、調整量がB=1に設定されている。

【0076】

この場合には図11(B)に示すように、1回目の処理では、オフセット調整レジスタ24のオフセット調整値を調整量B=1だけ変化させる。また差分値DFA=0x20から補正量A=8を減算し、減算結果は0x18になる。そして減算結果が0以下ではないため、2回目の処理を行う。

【0077】

2回目の処理では、オフセット調整値を調整量B=1だけ変化させると共に、1回目の減算結果が設定された差分値DFA=0x18から補正量A=8を減算し、減算結果は0x10になる。そして減算結果が0以下ではないため、3回目の処理を行う。そして3回

10

20

30

40

50

目の処理が終わり、4回目の処理になると、減算結果が $0 \times 08 - 8 = 0 \times 00$ になり、0以下になるため、処理を終了する。なお、この時、例えば減算結果がマイナスになった場合にも、処理を終了することになる。

【0078】

このように本実施形態によれば、差分値を求めたり、差分値から補正量を減算する処理を行うだけで、黒レベルの誤差補正処理を実現できるため、演算回路50の処理を簡素化でき、回路を小規模化できる。例えば割り算回路を設けて、誤差補正処理を実現しようとすると、処理が複雑化したり、回路が大規模化するなど事態が生じるが、本実施形態によればこのような事態を防止できる。

【0079】

また本実施形態によれば、ゲイン調整値が反映された補正量や調整量を用いて、誤差補正処理を実現しているため、図4の初期ゲイン調整によりゲイン調整値の設定が変化した場合にも、図10の処理内容は変化しない。従って更に回路を簡素化でき、回路の小規模化を図れる。

【0080】

6. 補正量、調整量

図12に本実施形態の補正量A、調整量Bの設定例を示す。図12では、ゲインが $G > 2$ である場合（広義にはゲインが所与の値よりも大きい場合）には、補正量Aが1よりも大きな値に設定されると共に、調整量Bが1に設定される。一方、ゲインが $G < 2$ である場合（広義にはゲインが所与の値よりも小さい場合）には、補正量Aが1に設定されると共に、調整量Bが1よりも大きな値に設定される。

【0081】

具体的には、オフセット調整レジスタ24のオフセット調整値を1LSBだけ変化させた時の電圧変化をVFとし、A/D変換器40のビット数をkとし、A/D変換器40のA/D変換範囲をADRとしたとする。この場合、ゲインが $G > 2$ である場合には、補正量が $A = [\{ VF \times G \times (2^k - 1) \} / ADR]$ に設定されると共に、調整量が $B = 1$ に設定される。例えば $VF = 0.586 \text{ mV}$ 、 $G = 4$ 、 $k = 10$ 、 $ADR = 1.2 \text{ Vp-p}$ の場合には、 $A = 2$ になる。

【0082】

一方、ゲインが $G < 2$ である場合には、補正量が $A = 1$ に設定されると共に、調整量が $B = [ADR / \{ VF \times G \times (2^k - 1) \}]$ に設定される。例えば $VF = 0.586 \text{ mV}$ 、 $G = 0.5$ 、 $k = 10$ 、 $ADR = 1.2 \text{ Vp-p}$ の場合には、 $B = 4$ になる。

【0083】

即ちゲインGが大きい場合（ $G > 2$ ）には、オフセット調整値を1LSBだけ変化させることで、A/D変換値も変化する。従ってこの場合には調整量が $B = 1$ に設定され、図10のステップS4において、オフセット調整値を $B = 1$ だけ変化させると共に差分値DFAから補正量 $A = [\{ VF \times G \times (2^k - 1) \} / ADR]$ を減算する処理を繰り返すことで、誤差補正処理を実現する。

【0084】

一方、ゲインGが小さい場合（ $G < 2$ ）には、オフセット調整値を1LSBだけ変化させても、A/D変換値が変化しなくなる。そこで、この場合には、オフセット調整値の調整量Bが、1よりも大きな値である $B = [ADR / \{ VF \times G \times (2^k - 1) \}]$ に設定される。そして図10のステップS4において、オフセット調整値を $B = [ADR / \{ VF \times G \times (2^k - 1) \}]$ だけ変化させると共に差分値DFAから補正量 $A = 1$ を減算する処理を繰り返すことで、誤差補正処理を実現する。

【0085】

このようにすれば、図4に示す初期ゲイン調整によりゲイン調整値が変化した場合にも、図10の処理内容は変化しないようになる。従って、解析回路54（演算回路50）の構成を簡素化でき、回路の小規模化を図れる。

【0086】

10

20

30

40

50

7. 黒レベル変動検出の各種モード

本実施形態では黒レベル変動検出のモードとして、種々のモードを用意している。これらのモードは、アナログフロントエンド回路が有するレジスタの設定を変更することで、切り替えることができる。

【0087】

例えば図13(A)、図13(B)に検出ライン数についての設定モードの例を示す。図13(A)に示すように、第1の検出ライン数設定モードでは、イメージセンサ10の各ライン毎に黒レベルの誤差補正処理を行う。

【0088】

例えば第1のラインでの黒レベルモニタ期間(図8のG3)において、黒レベルの変動(図6のE4、図7のF1)が検出されると、黒レベルの誤差補正処理(図10)が行われる。そして第1のラインの有効画素出力期間(図8のG2)では、誤差補正された黒レベルを基準とした画像信号のレベルが求められる。即ち画像信号のレベルと、誤差補正された黒レベルの差分電圧のA/D変換が行われる。

【0089】

同様に、次の第2のラインでの黒レベルモニタ期間において、黒レベルの変動が検出されると、黒レベルの誤差補正処理が行われる。そして第2のラインの有効画素出力期間では、誤差補正された黒レベルを基準とした画像信号のレベルが求められる。それ以降の第3のライン、第4のライン・・・も同様である。

【0090】

一方、第2の検出ライン数設定モードでは、図13(B)に示すようにイメージセンサ10の連続する複数ラインにおいて同じ変動方向の黒レベル変動が検出された場合に、黒レベルの誤差補正処理を行う。

【0091】

例えば第1のラインでの黒レベルの変動方向がプラス方向であり、第2のラインでの黒レベルの変動方向もプラス方向であった場合には、黒レベルの誤差補正処理が行われる。そして第2のラインの有効画素出力期間では、誤差補正された黒レベルを基準とした画像信号のレベルが求められる。一方、この場合に、第2のラインでの黒レベルの変動方向がマイナス方向であった場合には、誤差補正処理は行われない。

【0092】

また第1のラインでの黒レベルの変動方向がマイナス方向であり、第2のラインでの黒レベルの変動方向もマイナス方向であった場合には、黒レベルの誤差補正処理が行われる。そして第2のラインの有効画素出力期間では、誤差補正された黒レベルを基準とした画像信号のレベルが求められる。一方、この場合に、第2のラインでの黒レベルの変動方向がプラス方向であった場合には、誤差補正処理は行われない。なお、変動方向がプラス方向であるとは、例えばA/D変換値から黒レベルターゲット値を減算した値がプラスである場合であり、変動方向がマイナス方向であるとは、A/D変換値から黒レベルターゲット値を減算した値がマイナスである場合である。

【0093】

例えば雑音等に起因して黒レベルが変動した場合に、直ぐに誤差を補正してしまうと、誤差補正により振動モード現象が発生する可能性がある。このような場合には、図13(B)の第2の検出ライン数設定モードにすることで、このような振動モード現象の発生を低減できる。

【0094】

特に本実施形態では図10に示すように減算だけを用いた簡素な処理で誤差補正処理を実現している。このため例えば第1のラインに対する図10のステップS5の処理で、減算結果がマイナスであった場合にも、処理が終了してしまう。従って、第2のラインにおいては、第1のラインと逆方向の補正処理が行われて、振動モード現象が発生してしまうおそれがある。

【0095】

10

20

30

40

50

この点、図13(B)のような第2の検出ライン数設定モードに設定すれば、このような振動モード現象の発生を低減できる。

【0096】

なお図13(B)では、2ライン連続して変動方向が同じである場合に誤差補正処理を行っているが、例えば3ライン以上連続して変動方向が同じである場合に誤差補正処理を行うようにしてもよい。

【0097】

図14(A)、図14(B)に検出範囲についての設定モードの例を示す。例えば図14(A)では、A/D変換値(平均値)が黒レベルターゲット値TAVよりも大きくなっている。そして第1の検出モードでは、黒レベルモニタ期間におけるA/D変換値が、黒レベルターゲット値TAVからずれた場合に、黒レベルの誤差補正処理を行う。即ちA/D変換値が、黒レベルターゲット値TAVとは異なる値になった場合に、その誤差を補正する。

10

【0098】

一方、第2の検出モードでは、A/D変換値が、 $TAV + A \sim TAV - A$ の検出範囲から外れた場合に黒レベルの誤差補正処理を行う。ここで $TAV + A$ は、黒レベルターゲット値TAVに対して補正量Aを加算した検出範囲の上限値である。また $TAV - A$ は、黒レベルターゲット値TAVから補正量Aを減算した検出範囲の下限値である。

【0099】

即ち第2の検出モードでは、A/D変換値が、 $TAV + A \sim TAV - A$ の検出範囲から外れた場合に、誤差補正処理を行い、 $TAV + A \sim TAV - A$ の検出範囲内である場合には、誤差補正処理は行わない。別の言い方をすれば、 $TAV + A \sim TAV - A$ の検出範囲を、誤差補正の不感帯に設定する。

20

【0100】

なお図12で説明したように $G < 2$ である場合には補正量は $A = 1$ に設定される。従って、 $G < 2$ である場合には図14(B)に示すように、検出範囲は $TAV + 1 \sim TAV - 1$ に設定されることになる。

【0101】

このような第2の検出モードによれば、雑音等に起因して黒レベルが変動したときに、その変動範囲が検出範囲内である場合には、誤差補正は行われなくなる。従って、誤差補正による振動モード現象の発生を低減できる。

30

【0102】

特に本実施形態では図10に示すように減算だけを用いた簡素な処理で誤差補正処理を実現しているため、図10のステップS5の処理で、減算結果がマイナスであった場合にも、処理が終了してしまう。従って、次のラインなどにおいて逆方向の補正処理が行われて、振動モード現象が発生してしまう可能性がある。

【0103】

この点、図14(A)、図14(B)の第2の検出モードに設定すれば、このような振動モード現象の発生を低減できる。

【0104】

8. 黒レベル補正の各種モード

本実施形態では黒レベル補正のモードとして、種々のモードを用意している。これらのモードは、アナログフロントエンド回路が有するレジスタの設定を変更することで、切り替えることができる。

40

【0105】

図15(A)に補正目標についての設定モードの例を示す。例えば第1の補正目標モードでは、A/D変換値を、黒レベルターゲット値TAVに一致させる黒レベルの誤差補正処理が行われる。即ち黒レベルターゲット値TAVを補正目標とする誤差補正処理が行われる。

【0106】

50

一方、第2の補正目標モードでは、黒レベルターゲット値 TAV に補正量 A を加算した上限値 $TAV + A$ 又は補正量 A を減算した下限値 $TAV - A$ に、 A/D 変換値を一致させる黒レベルの誤差補正処理が行われる。

【0107】

例えば A/D 変換値(平均値)が黒レベルターゲット値 TAV よりも大きい場合には、下限値 $TAV - A$ に A/D 変換値を一致させる誤差補正処理が行われる。一方、 A/D 変換値が黒レベルターゲット値 TAV よりも小さい場合には、上限値 $TAV + A$ に A/D 変換値を一致させる誤差補正処理が行われる。

【0108】

例えば特定の原因によって黒レベルに変動が生じている場合には、その変動方向が常に特定の増減方向(プラス方向又はマイナス方向)になる場合がある。このような場合には、第2の補正目標モードに設定することで、その特定の増減方向での増減をキャンセルする誤差補正処理が先駆けて行われるようになるため、高速な誤差補正を実現できる。

【0109】

図15(B)に過補正についての設定モードの例を示す。例えば通常の補正モードでは、オフセット調整レジスタ24のオフセット調整値を、調整量 B だけ変化させる誤差補正処理が行われる。例えば調整量が $B = 1$ である場合には、 LSB 分の補正が行われる。

【0110】

一方、過補正モードでは、調整量 B の2倍(広義には m 倍。 m は2以上の整数)だけ変化させる過補正の誤差補正処理が行われる。例えば調整量が $B = 1$ である場合には、 $2 \times$

【0111】

このような過補正モードに設定すれば、特定の増減方向での増減をキャンセルする誤差補正処理が先駆けて行われるようになるため、高速な誤差補正を実現できる。

【0112】

9. アナログ処理回路

図16にアナログ処理回路20の構成例を示す。なおアナログ処理回路20は図16の構成に限定されず、その構成要素の一部を省略するなどの種々の変形実施が可能である。

【0113】

アナログ処理回路20は、R用、G用、B用のクランプ回路 $CLPR$ 、 $CLPG$ 、 $CLPB$ を含む。これらのクランプ回路 $CLPR$ 、 $CLPG$ 、 $CLPB$ は、R、G、Bの画像信号のレベルを、クランプレベル設定回路22により設定されたクランプレベルにクランプするための回路である。

【0114】

またアナログ処理回路20は、R用、G用、B用のオフセット調整回路 $OF SR$ 、 $OF SG$ 、 $OF SB$ を含む。これらの各オフセット調整回路 $OF SR$ 、 $OF SG$ 、 $OF SB$ は、R用、G用、B用の D/A 変換器 $DACR$ 、 $DACG$ 、 $DACB$ や、アナログの加算回路 $ADDR$ 、 $ADDG$ 、 $ADDR$ を含む。そしてオフセット調整レジスタ24に設定されたオフセット調整データに基づいて、オフセット調整を行う。

【0115】

またアナログ処理回路20は、R用、G用、B用のサンプル・ホールド回路 SHR 、 SHG 、 SHB を含む。これらのサンプル・ホールド回路 SHR 、 SHG 、 SHB は、オフセット調整後の画像信号のサンプル・ホールドを行う。

【0116】

またアナログ処理回路20は、R用、G用、B用のゲイン調整アンプ $PGAR$ 、 $PGAG$ 、 $PGAB$ を含む。これらのゲイン調整アンプ $PGAR$ 、 $PGAG$ 、 $PGAB$ は、ゲイン調整レジスタ26に設定されたゲイン調整データに基づいて、ゲイン調整を行う。そしてゲイン調整アンプ $PGAR$ 、 $PGAG$ 、 $PGAB$ からのゲイン調整後の画像信号が、R用、G用、B用の A/D 変換器 $ADCR$ 、 $ADCG$ 、 $ADCB$ に入力されて、 A/D 変換が行われる。なお A/D 変換後のデジタルの画像データは、 $L V D S$ などの差動信号によ

10

20

30

40

50

り外部に出力するようにしてもよい。

【0117】

10. 電子機器

図17は、本実施形態のアナログフロントエンド回路(AFE)324を含む電子機器310の構成例を示す。なお電子機器310は、図17の全ての構成要素を含む必要はなく、その一部を省略する等の種々の変形実施が可能である。

【0118】

電子機器310(例えばフラットベッド型イメージスキャナ)は読み取り対象物312(例えば原稿)を載せるための載置台314と、載置台314を支持するフレーム315(例えば支持部材、ハウジング)を含む。矩形の載置台314は光透過性部材であるガラス等により形成され、この光透過性の載置台314の例えば上部に読み取り対象物312が載せられる。

10

【0119】

電子機器310は、イメージセンサ322及びアナログフロントエンド回路324が搭載されるヘッド側基板(キャリアッジ)320を含む。イメージセンサ322としてはCCD(Charge Coupled Device)、CIS(Contact Image Sensor)、又はBBDB(Bucket Brigade Device)などを使用できる。ヘッド側基板320には、読み取り対象物312(原稿)を照明するための光源326や、読み取り対象物312で反射された光源326からの光をイメージセンサ322に集光するレンズ328(集光部)などの光学系(光学ヘッド)も搭載される。

20

【0120】

電子機器310は、ヘッド側基板320を駆動して移動させる駆動装置330(駆動機構)を含み、駆動装置330は、モータ332(動力源)や、モータ332を駆動するモータドライバ334を含む。イメージセンサ322は、その長手方向が主走査方向と一致するように配置される。そして他方側がプーリ338に掛けられた駆動ベルトをモータ332により駆動することで、駆動ベルトに固定されたヘッド側基板320が副走査方向(主走査方向に直交する方向)に移動する。なお、ヘッド側基板320の移動方式としては種々の変形実施が考えられる。

【0121】

電子機器310はメイン基板350を含む。メイン基板350は電子機器310の各ブロックを制御するものである。具体的には、画像データの取得処理の制御や、ヘッド側基板320のサーボ制御や、アナログフロントエンド回路324の制御などを行う。

30

【0122】

メイン基板350は画像処理部360を含む。画像処理部360は、アナログフロントエンド回路324で取得された画像データの画像処理を行う。またメイン基板50はサーボコントローラ380を含む。サーボコントローラ380は、ヘッド側基板320を駆動(移動)する駆動装置330(モータ32)のサーボ制御(フィードバック制御)を行う。メイン基板350はCPU396(プロセッサ)やメモリ398(ROM、RAM)を含む。CPU396はメイン基板350の全体的な制御を行ったり、外部との情報のやり取りをする。またメモリ398は、プログラムや各種データを記憶したり、画像処理部360やサーボコントローラ380やCPU396の作業領域として機能する。

40

【0123】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語と共に記載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。またアナログフロントエンド回路、電子機器の構成、動作も本実施形態で説明したものに限定に限定されず、種々の変形実施が可能である。

【図面の簡単な説明】

50

【 0 1 2 4 】

【図 1】図 1 (A) ~ 図 1 (C) はイメージセンサの説明図。

【図 2】本実施形態のアナログフロントエンド回路の構成例。

【図 3】図 3 (A)、図 3 (B) はオフセット調整値 - オフセット電圧、ゲイン調整値 - ゲインの関係を示す図

【図 4】A / D 変換器の変換範囲の有効活用についての説明図。

【図 5】図 5 (A)、図 5 (B) はクランプ回路についての構成例や信号波形例。

【図 6】ラインクランプを説明するための信号波形例。

【図 7】ラインクランプにおいて発生する黒レベルの誤差の説明図。

【図 8】本実施形態の黒レベルの誤差補正処理の説明図。

10

【図 9】本実施形態のアナログフロントエンド回路の詳細な構成例。

【図 10】誤差補正処理における本実施形態の動作を説明するためのフローチャート。

【図 11】図 11 (A)、図 11 (B) は本実施形態の動作を説明するための図。

【図 12】補正量、調整量の設定手法の説明図。

【図 13】図 13 (A)、図 13 (B) は第 1、第 2 の検出ライン数設定モードの説明図

。

【図 14】図 14 (A)、図 14 (B) は第 1、第 2 の検出モードの説明図。

【図 15】図 15 (A)、図 15 (B) は第 1、第 2 の補正目標モードや過補正モードの説明図。

【図 16】アナログ処理回路の構成例。

20

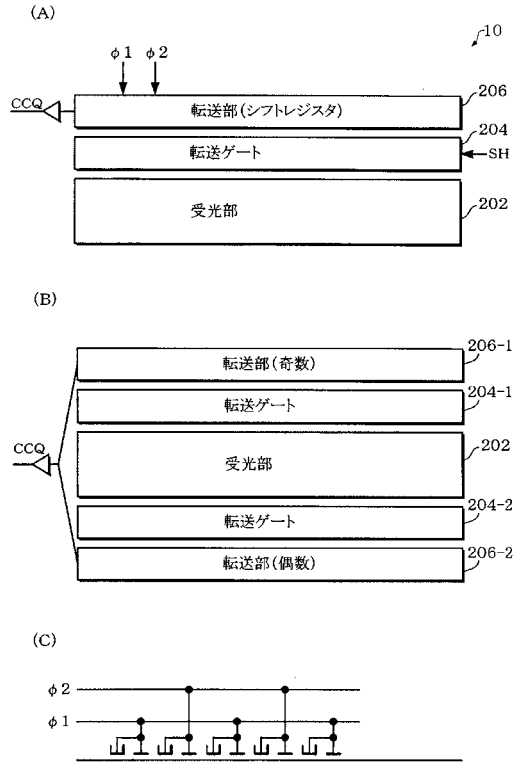
【図 17】電子機器の構成例。

【符号の説明】

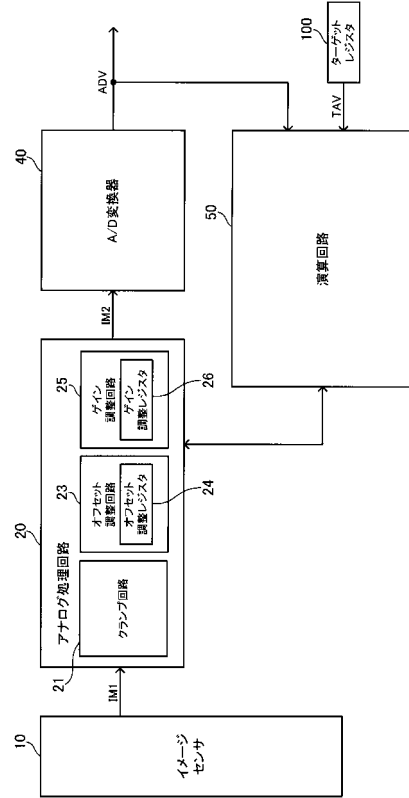
【 0 1 2 5 】

- 1 0 イメージセンサ、 2 0 アナログ処理回路、 2 1 クランプ回路、
- 2 2 クランプレベル設定回路、 2 3 オフセット調整回路、
- 2 4 オフセット調整レジスタ、 2 5 ゲイン調整回路、 2 6 ゲイン調整レジスタ、
- 2 8 サンプル・ホールド回路、 4 0 A / D 変換器、 5 0 演算回路、
- 5 1 監視回路、 5 2 平均化回路、 5 4 解析回路、 1 0 0 ターゲットレジスタ、
- 1 0 2 補正量レジスタ、 1 0 4 調整量レジスタ、 1 1 0 外部インターフェース

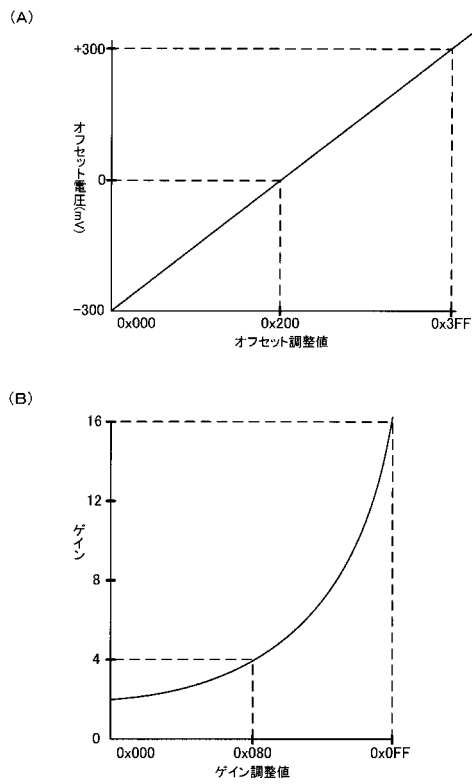
【図1】



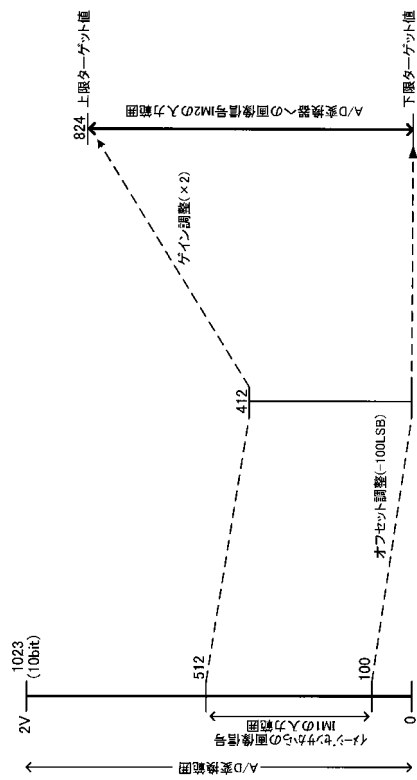
【図2】



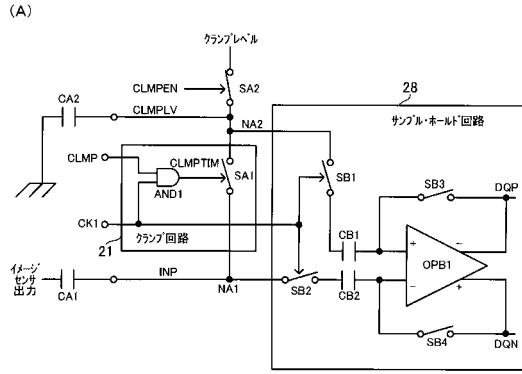
【図3】



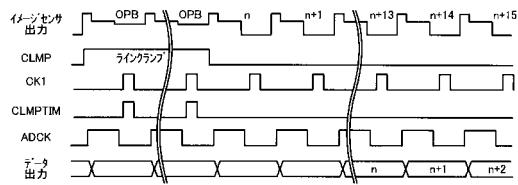
【図4】



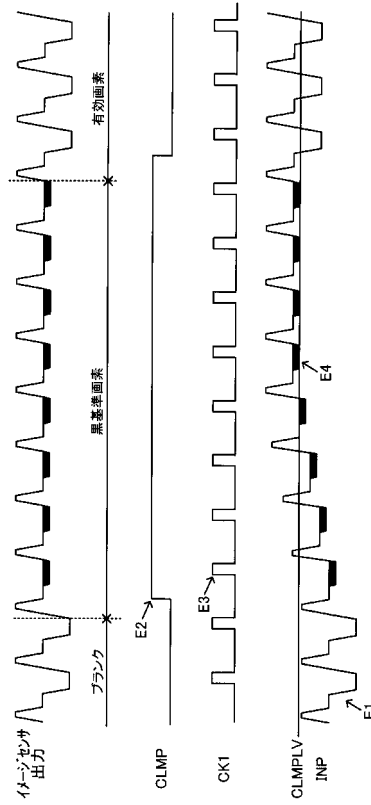
【図5】



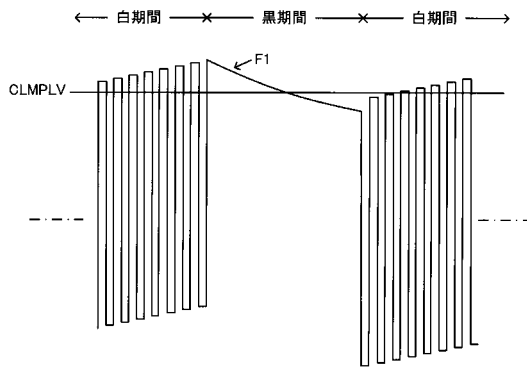
(B)



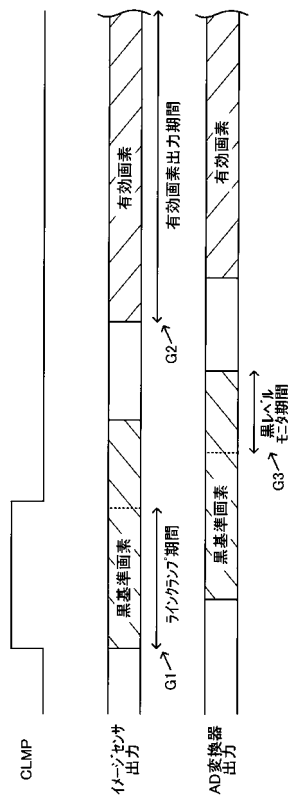
【図6】



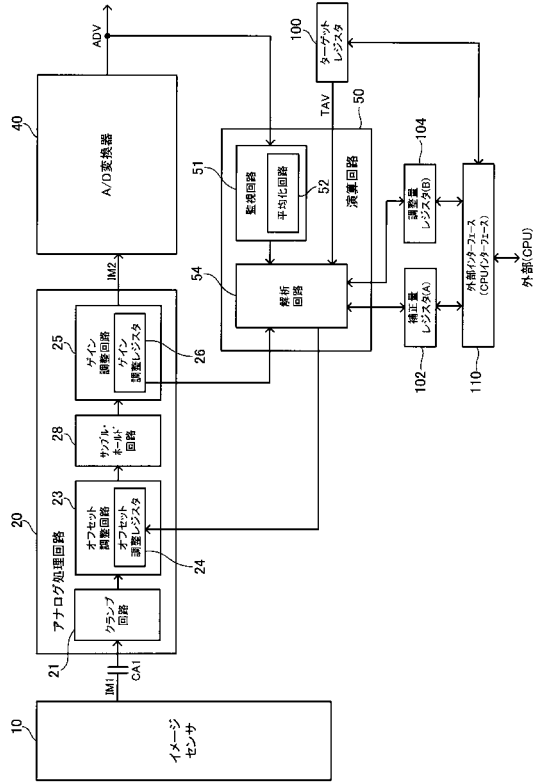
【図7】



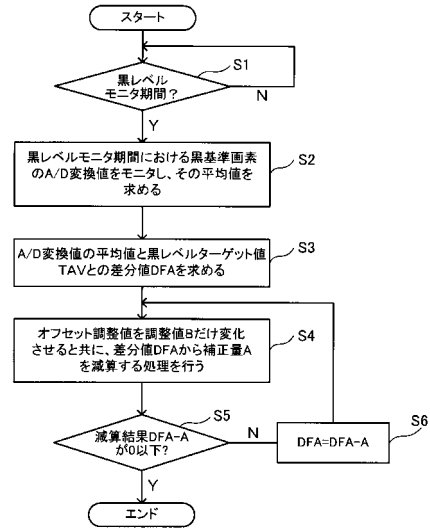
【図8】



【図9】



【図10】



【図11】

(A)

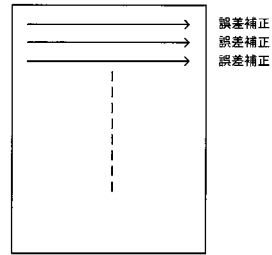
A/D変換値	0x40
黒ターゲット値	0x20
差分値	0x40-0x20=0x20
補正量A	8
調整量B	1

(B)

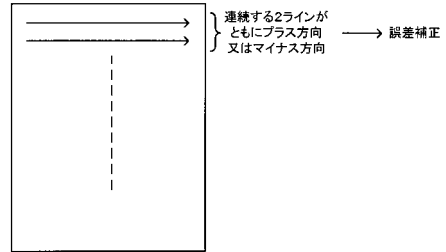
1回目	0x20-8=0x18
2回目	0x18-8=0x10
3回目	0x10-8=0x08
4回目	0x08-8=0x00

【図13】

(A) 第1の検出ライン数設定モード



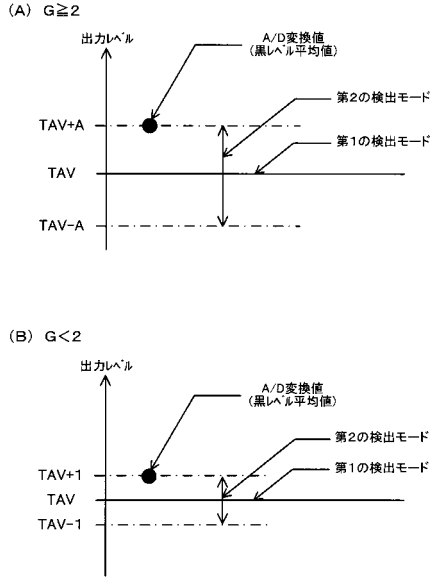
(B) 第2の検出ライン数設定モード



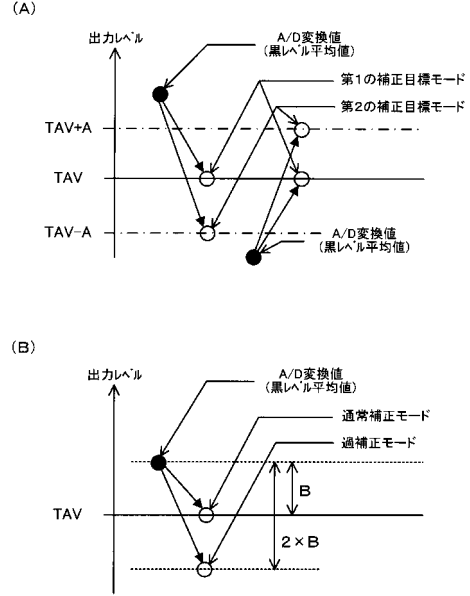
【図12】

ゲインG	補正量A	調整量B
16	$8(= \frac{VF \times G \times (2^k - 1)}{ADR})$	1
8	4	1
4	2	1
2	1	1
1	1	$2(= \frac{ADR}{VF \times G \times (2^k - 1)})$
0.5	1	4
0.25	1	8

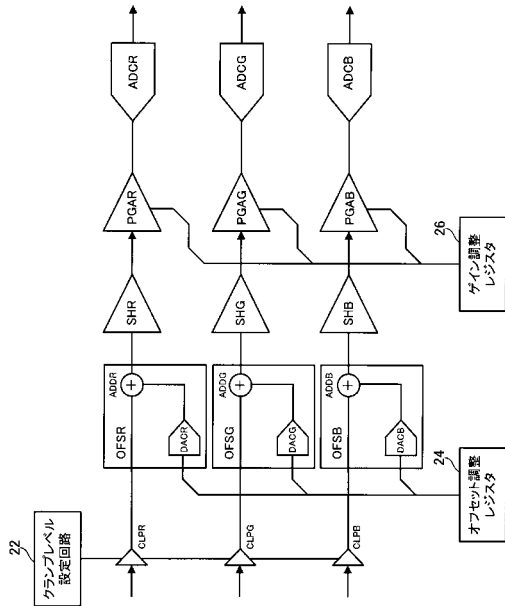
【図14】



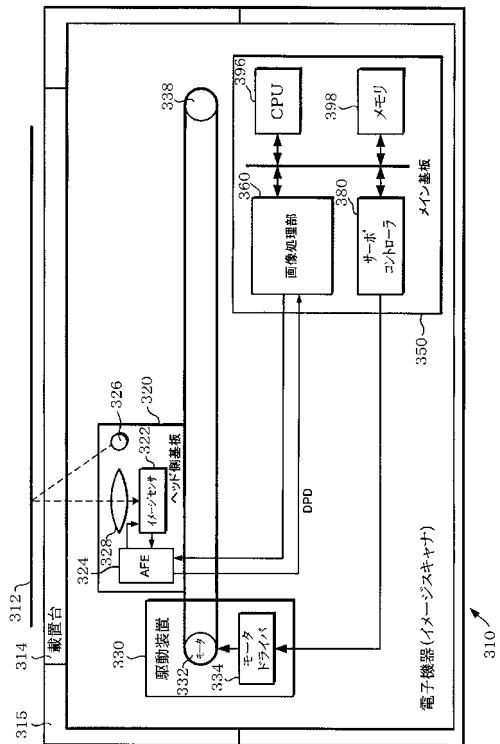
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.

F I

H 0 4 N 1/04 1 0 3 E

審査官 堀井 啓明

(56)参考文献 特開2006-186606(JP,A)
特開2000-278495(JP,A)
特開2006-217205(JP,A)
特開2005-051565(JP,A)
特開2003-209713(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 4 N 1 / 0 2 4 - 1 / 0 3 6
H 0 4 N 1 / 0 4 - 1 / 2 0 7
H 0 4 N 5 / 3 3 5