

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4910525号
(P4910525)

(45) 発行日 平成24年4月4日(2012.4.4)

(24) 登録日 平成24年1月27日(2012.1.27)

(51) Int. Cl. F I
HO2M 3/28 (2006.01) HO2M 3/28 Q
 HO2M 3/28 V

請求項の数 4 (全 18 頁)

<p>(21) 出願番号 特願2006-190451 (P2006-190451) (22) 出願日 平成18年7月11日(2006.7.11) (65) 公開番号 特開2008-22607 (P2008-22607A) (43) 公開日 平成20年1月31日(2008.1.31) 審査請求日 平成21年6月29日(2009.6.29)</p>	<p>(73) 特許権者 000106276 サンケン電気株式会社 埼玉県新座市北野3丁目6番3号 (74) 代理人 100082049 弁理士 清水 敬一 (72) 発明者 大坂 昇平 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 審査官 槻木澤 昌司</p>
---	---

最終頁に続く

(54) 【発明の名称】 共振型スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

直流電源に対して直列に接続された第1のスイッチング素子及び第2のスイッチング素子と、

前記第1のスイッチング素子又は第2のスイッチング素子と並列に且つ第1のコンデンサに対して直列に接続された第1の1次巻線を有する第1のトランスと、

該第1のトランスの2次巻線と第1の出力端子との間に接続された第1の整流平滑回路と、

前記第1のスイッチング素子又は第2のスイッチング素子と並列に且つ前記第1のコンデンサに対して直列に接続された単数又は複数の第n (nは、2以上の整数)の1次巻線を有する第nのトランスと、

該第nのトランスの2次巻線と第nの出力端子との間に接続された第nの整流平滑回路と、

前記第1のスイッチング素子及び第2のスイッチング素子にそれぞれ駆動信号を付与して、前記第1のスイッチング素子及び第2のスイッチング素子をオン・オフ動作させる制御回路とを備え、

前記第1のトランスの1次巻線は、前記第1のコンデンサ及び前記第1のトランスの1次巻線に直列に接続された第1の漏洩インダクタンス素子を備え、

前記第nのトランスの1次巻線は、前記第1のコンデンサ及び前記第nのトランスの1次巻線に直列に接続された第nの漏洩インダクタンス素子を備え、

10

20

前記第 n の漏洩インダクタンス素子のインダクタンスは、前記第 1 の漏洩インダクタンス素子のインダクタンスよりも大きいことを特徴とする共振型スイッチング電源装置。

【請求項 2】

前記第 n のトランスの 2 次巻線と前記第 n の整流平滑回路を構成する平滑コンデンサとの間に、それぞれ出力制御用スイッチング素子を接続し、

前記第 1 のスイッチング素子又は第 2 のスイッチング素子のスイッチング周波数に同期して前記出力制御用スイッチング素子をオン・オフすることにより、前記第 n の整流平滑回路を通じて前記第 n の出力端子から第 n の直流出力を取り出す請求項 1 に記載の共振型スイッチング電源装置。

【請求項 3】

前記制御回路は、前記第 1 の出力端子の電圧レベルに応じて前記第 1 のスイッチング素子及び第 2 のスイッチング素子のオン・オフを制御する請求項 1 又は 2 に記載の共振型スイッチング電源装置。

【請求項 4】

前記制御回路は、前記直流電源の電圧レベルの変動に応じて前記第 1 のスイッチング素子及び第 2 のスイッチング素子のオン・オフを制御する請求項 1 又は 2 に記載の共振型スイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の直流出力を発生する共振型スイッチング電源装置、特にトランスの 1 次巻線に流れる電流を低減し且つ 2 次側の各整流平滑回路に流れるピーク電流を抑制して電力変換効率を向上できると共に、複数の出力端子から所望の電圧レベルの直流出力を独立して得られる共振型スイッチング電源装置に関する。

【背景技術】

【0002】

スイッチング素子がスイッチングするときに流れる電流を共振回路で正弦波状にしてゼロ電流スイッチング (ZCS) することにより、スイッチング損失の低減を図った電流共振型スイッチング電源装置は、従来から低ノイズで且つ電力変換効率の高いスイッチング電源装置として広く知られている。例えば、図 6 に示す従来の共振型スイッチング電源装置は、直流電源 (3) に対して直列に接続された第 1 及び第 2 のスイッチング素子としての第 1 及び第 2 の主 MOS-FET (1,2) と、第 2 の主 MOS-FET (2) に対して並列に接続された電流共振用コンデンサ (4) 及びトランス (5) の漏洩インダクタンス (5d) 及び 1 次巻線 (5a) の直列回路と、第 2 の主 MOS-FET (2) のドレイン - ソース間に接続された電圧疑似共振用コンデンサ (7) と、トランス (5) の第 1 の 2 次巻線 (5b) の上端にアノードが接続された第 1 の出力整流ダイオード (8) と、第 1 の出力整流ダイオード (8) のカソードと第 1 の 2 次巻線 (5b) の下端との間に接続された第 1 の出力平滑コンデンサ (9) と、トランス (5) の第 2 の 2 次巻線 (5c) の一端にアノードが接続された第 2 の出力整流ダイオード (18) と、第 2 の出力整流ダイオード (18) のカソードと第 2 の 2 次巻線 (5c) の下端との間に接続された第 2 の出力平滑コンデンサ (19) と、第 2 の出力平滑コンデンサ (19) に接続された降圧チョッパ回路 (27) とを備えている。第 1 の出力整流ダイオード (8) 及び第 1 の出力平滑コンデンサ (9) は第 1 の整流平滑回路 (10) を構成し、第 1 の直流出力端子 (11,12) を介して第 1 の直流出力電圧 V_{O1} を発生する。第 2 の出力整流ダイオード (18) 及び第 2 の出力平滑コンデンサ (19) は第 2 の整流平滑回路 (20) を構成し、降圧チョッパ回路 (27) を介して第 2 の直流出力端子 (21,22) から第 2 の直流出力電圧 V_{O2} を発生する。

【0003】

トランス (5) は、1 次巻線 (5a) と等価的に直列に接続される漏洩インダクタンス (5d) と、1 次巻線 (5a) と等価的に並列に接続される励磁インダクタンス (5e) とを有し、漏洩インダクタンス (5d) は電流共振用リアクトルとして作用する。第 1 の整流平滑回路 (10) の第 1 の出力平滑コンデンサ (9) の両端には、第 1 の整流平滑回路 (10) から出力される第 1 の直

10

20

30

40

50

流出力電圧 V_{O1} を検出し、その検出電圧値を規定する基準電圧との誤差信号 V_{E1} を出力する第 1 の出力電圧検出回路 (13) が接続され、その誤差信号 V_{E1} はフォトカプラ (14) を構成する発光部 (14a) 及び受光部 (14b) を介して、主制御回路 (15) の帰還信号入力端子 (FB) に伝達される。

【 0 0 0 4 】

降圧チョッパ回路 (27) は、第 2 の整流平滑回路 (20) を構成する第 2 の出力整流ダイオード (18) 及び第 2 の出力平滑コンデンサ (19) の接続点にドレインが接続されたチョッパ用 MOS-FET (23) と、チョッパ用 MOS-FET (23) のソースと 2 次側接地端子との間に接続されたフライホイールダイオード (24) と、チョッパ用 MOS-FET (23) のソース及びフライホイールダイオード (24) のカソードの接続点に一端が接続されたフィルタリアクトル (25) と、フィルタリアクトル (25) の他端と 2 次側接地端子との間に接続されたフィルタコンデンサ (26) とから構成される。チョッパ制御回路 (28) は、第 2 の出力電圧値を規定する基準電圧 (図示せず) を内蔵し、フィルタコンデンサ (26) の両端に発生する電圧 V_{O2} と第 2 の出力電圧値を規定する基準電圧との誤差信号に基づいてパルス幅変調 (P W M) 信号 V_{S2} を出力する。降圧チョッパ回路 (27) は、チョッパ制御回路 (28) から出力されるパルス幅変調 (P W M) 信号 V_{S2} により、チョッパ用 MOS-FET (23) のオン・オフを制御して第 2 の整流平滑回路 (20) の第 2 の出力平滑コンデンサ (19) から入力される直流電圧よりも低い一定レベルの第 2 の直流出力電圧 V_{O2} を第 2 の直流出力端子 (21, 22) から出力する。

【 0 0 0 5 】

図 7 に示すように、主制御回路 (15) は、フォトカプラ (14) の発光部 (14a) 及び受光部 (14b) を介して帰還信号入力端子 (FB) に入力される第 1 の出力電圧検出回路 (13) の誤差信号 V_{E1} の電圧レベルに応じて変化する周波数を有するパルス信号 V_{PL} を出力する発振器 (29) と、発振器 (29) から出力されるパルス信号 V_{PL} の反転信号を出力する反転器 (30) と、発振器 (29) から反転器 (30) を介して出力されるパルス信号 V_{PL} の反転信号に一定時間のデッドタイムを付加して第 1 の駆動信号 V_{G1} を形成する第 1 のデッドタイム付加回路 (31) と、デッドタイムが付加された第 1 の駆動信号 V_{G1} の電圧レベルを変換するレベル変換回路 (32) と、レベル変換回路 (32) から出力される第 1 の駆動信号 V_{G1} を第 1 の主 MOS-FET (1) のゲートに付与するハイサイド側バッファ増幅器 (33) と、発振器 (29) から出力されるパルス信号 V_{PL} に一定時間のデッドタイムを付加して第 2 の駆動信号 V_{G2} を形成する第 2 のデッドタイム付加回路 (34) と、デッドタイムが付加された第 2 の駆動信号 V_{G2} を第 2 の主 MOS-FET (2) のゲートに付与するローサイド側バッファ増幅器 (35) とから構成される。周波数が変化するパルス信号 V_{PL} のパルス幅は、一定であるから、オフ期間が固定され且つ出力電圧検出回路 (13) の誤差信号 V_{E1} の電圧レベルに応じてオン期間が変化する第 1 の駆動信号 V_{G1} と、オン期間が固定され且つ出力電圧検出回路 (13) の誤差信号 V_{E1} の電圧レベルに応じてオフ期間が変化する第 2 の駆動信号 V_{G2} が主制御回路 (15) からそれぞれ第 1 及び第 2 の主 MOS-FET (1, 2) の各ゲートに付与され、第 1 の出力電圧検出回路 (13) の誤差信号 V_{E1} の電圧レベルに対応して第 1 及び第 2 の主 MOS-FET (1, 2) が交互にオン・オフ動作される。

【 0 0 0 6 】

次に、図 6 の共振型スイッチング電源装置の動作を図 8 に示すタイミングチャートに基づいて説明する。第 1 の主 MOS-FET (1) がオフ状態で、時刻 t_1 にて第 2 の主 MOS-FET (2) がオンからオフに切り換えられると、トランス (5) の漏洩インダクタンス (5d) と励磁インダクタンス (5e) に蓄積されたエネルギーが放出され、トランス (5) の励磁インダクタンス (5e) 同漏洩インダクタンス (5d) 電圧擬似共振用コンデンサ (7) 電流共振用コンデンサ (4) トランス (5) の励磁インダクタンス (5e) の経路で電流 I_{Ci} が電流共振用コンデンサ (4) に流れる。これにより、電圧擬似共振用コンデンサ (7) が充電され、第 1 の主 MOS-FET (1) のドレイン - ソース間電圧 V_{Q1} が降下すると共に、第 2 の主 MOS-FET (2) のドレイン - ソース間電圧 V_{Q2} が上昇する。

【 0 0 0 7 】

第1及び第2の主MOS-FET(1,2)が共にオフ状態で、時刻 t_2 にて電圧擬似共振用コンデンサ(7)の充電電圧が直流電源(3)の電圧Eに達すると、第1の主MOS-FET(1)のドレイン-ソース間電圧 V_{Q1} が略零になると共に、第2の主MOS-FET(2)のドレイン-ソース間電圧 V_{Q2} が直流電源(3)の電圧Eに略等しくなる。時刻 t_2 から時刻 t_3 までの期間は、トランス(5)の励磁インダクタンス(5e) 同漏洩インダクタンス(5d) 第1の主MOS-FET(1)の寄生ダイオード(1a) 直流電源(3) 電流共振用コンデンサ(4) トランス(5)の励磁インダクタンス(5e)の経路で電流 I_{Ci} が電流共振用コンデンサ(4)に流れ続ける。

【0008】

第2の主MOS-FET(2)がオフ状態で、時刻 t_3 にて第1の主MOS-FET(1)がオンすると、トランス(5)の漏洩インダクタンス(5d) 第1の主MOS-FET(1) 直流電源(3) 電流共振用コンデンサ(4) トランス(5)の励磁インダクタンス(5e)の経路で電流 I_{Ci} が電流共振用コンデンサ(4)に減少しながら流れ続け、時刻 t_4 にてトランス(5)の漏洩インダクタンス(5d)と励磁インダクタンス(5e)に蓄積されたエネルギーの放出が完了すると、電流共振用コンデンサ(4)に流れる電流 I_{Ci} が略零となる。

10

【0009】

時刻 t_4 にて、電流共振用コンデンサ(4)に流れていた電流 I_{Ci} が略零になると、電流共振用コンデンサ(4)が充電を開始し、直流電源(3) 第1の主MOS-FET(1) トランス(5)の漏洩インダクタンス(5d) 同励磁インダクタンス(5e) 電流共振用コンデンサ(4) 直流電源(3)の経路で電流 I_{Ci} が電流共振用コンデンサ(4)に流れる。即ち、時刻 t_4 から時刻 t_5 までの期間は、電流共振用コンデンサ(4)の電流 I_{Ci} が時刻 t_1 から時刻 t_4 までの期間とは逆方向に流れ、トランス(5)の1次巻線(5a)に発生する磁束をリセットする。

20

【0010】

第2の主MOS-FET(2)がオフ状態で、時刻 t_5 にて第1の主MOS-FET(1)がオンからオフに切り換えられると、電流共振用コンデンサ(4) 電圧擬似共振用コンデンサ(7) トランス(5)の漏洩インダクタンス(5d) 同励磁インダクタンス(5e) 電流共振用コンデンサ(4)の経路で電流 I_{Ci} が電流共振用コンデンサ(4)に流れる。これにより、電圧擬似共振用コンデンサ(7)が放電され、第1の主MOS-FET(1)のドレイン-ソース間電圧 V_{Q1} が上昇すると共に、第2の主MOS-FET(2)のドレイン-ソース間電圧 V_{Q2} が低下する。

30

【0011】

第1及び第2の主MOS-FET(1,2)が共にオフ状態で、時刻 t_6 にて電圧擬似共振用コンデンサ(7)の放電が完了すると、第2の主MOS-FET(2)のドレイン-ソース間電圧 V_{Q2} が略零になると共に、第1の主MOS-FET(1)のドレイン-ソース間電圧 V_{Q1} が直流電源(3)の電圧Eに略等しくなる。このとき、トランス(5)の励磁インダクタンス(5e) 電流共振用コンデンサ(4) 第2の主MOS-FET(2)の寄生ダイオード(2a) トランス(5)の漏洩インダクタンス(5d) 同励磁インダクタンス(5e)の経路で電流 I_{Ci} が電流共振用コンデンサ(4)に流れる。

【0012】

第1の主MOS-FET(1)がオフ状態で、時刻 t_7 にて第2の主MOS-FET(2)がオンすると、トランス(5)の励磁インダクタンス(5e) 電流共振用コンデンサ(4) 第2の主MOS-FET(2) トランス(5)の漏洩インダクタンス(5d)の経路で電流 I_{Ci} が電流共振用コンデンサ(4)に流れ続ける。

40

【0013】

時刻 t_8 にて、トランス(5)の1次側から2次側にエネルギーが伝達され、トランス(5)の第1の2次巻線(5b)に上端を正とする電圧が発生すると、第1の整流平滑回路(10)の第1の出力整流ダイオード(8)が順方向にバイアスされて導通状態となり、第1の出力整流ダイオード(8)の両端の電圧 V_{D1} が略零になると共に、トランス(5)の漏洩インダクタンス(5d)及び励磁インダクタンス(5e)と電流共振用コンデンサ(4)との共振作用によりトランス(5)の1次巻線(5a)に流れる循環電流と、トランス(5)の漏洩インダクタンス(5d)と電流共

50

振用コンデンサ(4)との共振作用によりトランス(5)の1次巻線(5a)に流れる共振電流とを重畳した電流 I_{C_i} がトランス(5)の1次巻線(5a)に流れる。これにより、トランス(5)の2次巻線(5b)には、トランス(5)の漏洩インダクタンス(5d)と電流共振用コンデンサ(4)の静電容量とで決まる共振周波数と略同一の周波数を有する正弦波状の負荷電流 I_{D_1} が第1の出力整流ダイオード(8)に流れ始める。

【0014】

時刻 t_9 にて、電流共振用コンデンサ(4)に流れていた電流 I_{C_i} が略零になると、トランス(5)の励磁インダクタンス(5e) 同漏洩インダクタンス(5d) 第2の主MOS-FET(2) 電流共振用コンデンサ(4)の経路で流れる循環電流と、トランス(5)の漏洩インダクタンス(5d)と電流共振用コンデンサ(4)との共振作用によりトランス(5)の1次巻線(5a)に流れる共振電流とを重畳した電流 I_{C_i} が電流共振用コンデンサ(4)に流れ、電流共振用コンデンサ(4)が放電される。このとき、トランス(5)の2次側の第1の出力整流ダイオード(8)に正弦波状の負荷電流 I_{D_1} が流れ続け、時刻 t_{10} にて零となる。時刻 t_8 から時刻 t_{10} までの期間に、トランス(5)の第1の2次巻線(5b)に発生した電圧は、第1の整流平滑回路(10)の第1の出力整流ダイオード(8)及び第1の出力平滑コンデンサ(9)により整流及び平滑化されて、第1の直流出力端子(11,12)に第1の直流出力電圧 V_{O_1} が発生する。

10

【0015】

時刻 t_{10} にて、トランス(5)の励磁インダクタンス(5e) 同漏洩インダクタンス(5d) 第2の主MOS-FET(2) 電流共振用コンデンサ(4)の経路で流れる循環電流により、トランス(5)の漏洩インダクタンス(5d)及び励磁インダクタンス(5e)にエネルギーが蓄積される。このとき、トランス(5)の第1の2次巻線(5b)に発生した電圧が第1の直流出力電圧 V_{O_1} 以下となり、第1の整流平滑回路(10)の第1の出力整流ダイオード(8)の両端に逆バイアス電圧 V_{D_1} が印加されて非導通状態となるため、第1の出力整流ダイオード(8)には電流 I_{D_1} が流れなくなる。主制御回路(15)から出力される第1の駆動信号 V_{G_1} の1周期が経過して時刻 t_{11} になると、第1の主MOS-FET(1)のオフを保持した状態で第2の主MOS-FET(2)がオンからオフに切り換えられ、それ以降は前記の動作が繰り返される。

20

【0016】

第1の直流出力端子(11,12)に発生する第1の直流出力電圧 V_{O_1} は、第1の出力電圧検出回路(13)により検出され、第1の出力電圧値を規定する基準電圧と第1の出力電圧検出回路(13)の検出電圧との誤差信号 V_{E_1} がフォトカップラ(14)の発光部(14a)及び受光部(14b)を介して主制御回路(15)の帰還信号入力端子(FB)に伝達される。主制御回路(15)は、帰還信号入力端子(FB)に入力される第1の出力電圧検出回路(13)の誤差信号 V_{E_1} の電圧レベルに基づいてパルス周波数が変調(PFM)された第1及び第2の駆動信号 V_{G_1} 、 V_{G_2} を第1及び第2の主MOS-FET(1,2)の各ゲートにそれぞれ付与し、第1の出力電圧検出回路(13)の誤差信号 V_{E_1} の電圧レベルに対応する周波数で第1及び第2の主MOS-FET(1,2)を交互にオン・オフ動作させる。これにより、第1の直流出力端子(11,12)から出力される第1の直流出力電圧 V_{O_1} が略一定値に制御される。

30

【0017】

第1及び第2の主MOS-FET(1,2)のオン・オフ動作により、トランス(5)の第2の2次巻線(5c)に誘起される電圧は、第2の整流平滑回路(20)に印加される。このとき、トランス(5)の第1の2次巻線(5b)と第2の2次巻線(5c)の巻数比に応じた直流電圧が第2の出力平滑コンデンサ(19)の両端に発生する。第2の出力平滑コンデンサ(19)の両端に発生する直流電圧は、降圧チョップ回路(27)に印加される。チョップ制御回路(28)は、フィルタコンデンサ(26)の両端に発生する電圧 V_{O_2} と第2の出力電圧値を規定する基準電圧とを比較して、それらの誤差に対応する誤差信号に基づくパルス幅変調(PWM)信号 V_{S_2} を発生する。チョップ制御回路(28)から出力されるパルス幅変調(PWM)信号 V_{S_2} により、降圧チョップ回路(27)は、チョップ用MOS-FET(23)のオン・オフを制御し、これにより、第2の出力平滑コンデンサ(19)に印加される直流電圧より低い一定レベルの第2の直流出力電圧 V_{O_2} を第2の直流出力端子(21,22)から出力する。

40

50

【 0 0 1 8 】

一般的なフライバック方式又はフォワード方式の多出力型スイッチング電源装置では、1次側に設けられる主スイッチング素子のオン・オフのデューティ比を変化させて、2次側から取り出す直流出力を制御するため、トランス(5)の1次側から2次側に電力を供給する期間が変動する。このため、一方の2次巻線側から出力される直流電圧で決定される前記のデューティ比により、他方の2次巻線から取り出す電力が制限され、他方の2次巻線側の出力電圧が低下する。これに対して、多出力の共振型スイッチング電源装置では、トランス(5)の1次側から2次側に電力を供給する期間は、1次側に設けられる電流共振用コンデンサ(4)及びトランス(5)の漏洩インダクタンス(5d)で決まる共振周波数により決定されるため、第1の直流出力端子(11,12)に接続される負荷が変動しても、トランス(5)の1次側から2次側に電力を供給する期間が殆ど変化しない。このため、負荷の大小に拘わらずトランス(5)の第2の2次巻線(5c)から必要な電力を取り出すことができるので、第2の整流平滑回路(20)の出力電圧が低下しない。ところが、実際には、トランス(5)が理想的な電磁結合を構成せず、また直流電源(3)からの入力電圧Eの変動又は第1の整流平滑回路(10)での電圧降下による影響を受けて、第2の整流平滑回路(20)の出力電圧が変動する。このため、図6に示す従来の共振型スイッチング電源装置では、第2の整流平滑回路(20)から出力される直流電圧を降圧チョッパ回路(27)により安定化して、第2の直流出力端子(21,22)から安定な第2の直流出力電圧 V_{O2} が得られる。即ち、第2の整流平滑回路(20)の後段に降圧チョッパ回路(27)を設けると、理想的なクロスレギュレーションを行える多出力の共振型スイッチング電源装置を実現することができる。クロスレギュレーションとは、多出力のスイッチング電源装置において、他の出力の負荷を規定の範囲で変化したときの出力電圧変動を云う。

10

20

【 0 0 1 9 】

また、下記の特許文献1に開示される共振型スイッチング電源は、周波数変調器により基準パルス信号を周波数変調してパルス列信号に変換し、パルス列信号により1次側のパワートランジスタをオン・オフさせてトランスの1次側巻線への印加電圧を制御し、複数の2次側巻線に発生する出力を各整流平滑回路により整流平滑して取り出すものである。この共振形スイッチング電源では、1次側制御手段を構成する比較器により、2次側に設けられる整流平滑回路の所定の出力信号に応じて周波数変調器から出力されるパルス列信号の周波数が制御される。また、2次側巻線に対する整流平滑回路の所定の出力信号に応じて2次側の制御回路によりスイッチングトランジスタをオン・オフさせ、スイッチングトランジスタの出力側に生ずるパルス列電圧のデューティサイクルが制御される。これにより、スイッチングトランジスタの出力側に生ずるパルス列電圧が、適当量間引かれて、2次側巻線に対する整流平滑回路の直流出力電圧を所定のレベルに調整することができる。

30

【 0 0 2 0 】

また、下記の特許文献2には、1次巻線及び電力変換を行う2つの2次巻線を有するトランスと、トランスの1次巻線に接続され且つスイッチ動作を行う電界効果トランジスタと、トランスの第1の2次巻線出力を安定化した後の出力電圧を検出する第1の電圧検出回路と、第1の電圧検出回路の検出出力を基準電圧と比較して電界効果トランジスタに出力するパルス制御信号のパルス幅を制御する第1のパルス幅制御回路と、トランスの第2の2次巻線の一端に接続されたスイッチ回路と、トランスの第2の2次巻線出力の整流平滑後の出力電圧を検出する第2の電圧検出回路と、第2の電圧検出回路の検出出力を基準電圧と比較してスイッチ回路に出力するパルス信号のパルス幅を制御する第2のパルス幅制御回路と、第2のパルス幅制御回路の出力を第1のパルス幅制御回路の出力に同期させる同期回路とで構成された多出力DC/DCコンバータが開示されている。この多出力DC/DCコンバータでは、メインのフィードバックを行わない出力系のトランスの第2の2次巻線出力にスイッチ回路を設け、メインのフィードバックを行わない出力系の出力電圧に合わせてスイッチ回路のオン時間を制御することにより、出力電圧を安定化させるためにメインのフィードバックを行う出力系の負荷変動が大きくても損失を少なくすること

40

50

ができる。

【0021】

【特許文献1】特開平3-7062号公報(第5頁、第1図)

【特許文献2】特開2000-217356公報(第5頁、図1)

【発明の開示】

【発明が解決しようとする課題】

【0022】

図6に示す従来の共振型スイッチング電源装置では、トランス(5)の1次巻線(5a)に流れる循環電流に共振電流を重畳した電流 I_{Ci} により、エネルギーがトランス(5)の2次側に伝達される。このとき、トランス(5)の2次側では、第1の出力整流ダイオード(8)により半波整流を行うため、2次側へ伝達されるエネルギーが増加すると、循環電流に重畳された共振電流も増加する。トランス(5)の1次巻線(5a)に流れる共振電流は交流成分のみであるから、トランス(5)の1次巻線(5a)に流れる共振電流の平均値は略零である。つまり、この共振電流の正の半周期と負の半周期の波形が示す面積は略同一となる。主制御回路(15)は、第1及び第2の主MOS-FET(1,2)のオン・オフの切り換え時に、各主MOS-FET(1,2)の寄生ダイオード(1a,2a)に電流が流れる状態でスイッチング動作を行うことにより、各主MOS-FET(1,2)のドレイン・ソース間の電圧変動が緩やかになるように制御するが、この電圧擬似共振の状態を維持してトランス(5)の2次側に最大のエネルギーを伝達できる条件は、循環電流の面積とトランス(5)の1次巻線(5a)に流れる共振電流の面積とが略等しいときとなる。したがって、より多くのエネルギーをトランス(5)の2次側へ伝達するためには、より多くの循環電流をトランス(5)の1次巻線(5a)に流す必要がある。このため、トランス(5)の1次巻線(5a)に流れる電流が増加して自己発熱が増大すると共に、大きな電力変換損失が発生して電力変換効率が低下する問題があった。

【0023】

上記の問題を解決するため、例えば図9に示す共振型スイッチング電源装置では、図6に示すトランス(5)の励磁インダクタンス(5e)よりも小さなインダクタンス値を有する励磁用リアクトル(34)がトランス(5)の漏洩インダクタンス(5d)及び励磁インダクタンス(5e)に対して並列に接続されている。これにより、トランス(5)の1次側に流れる循環電流の殆どが励磁用リアクトル(34)に流れるため、トランス(5)の1次巻線(5a)に流れる電流の実効値を抑制することが可能となる。しかしながら、図9の共振型スイッチング電源装置では、励磁用リアクトル(34)の分だけ部品数が増加するため、製造コストが高騰する問題がある。

【0024】

また、特許文献1及び2では、トランスの何れかの2次巻線に対してスイッチング素子を接続し、2次側のスイッチング素子をオン・オフ制御して直流出力電圧を調整するため、2次側のスイッチング素子のオン時に特定の出力に対して電流が集中し、他の出力には電流が流れない期間が生ずる。特に、出力電圧の高い昇圧型のスイッチング電源装置では、トランスの2次巻線に高電圧が誘起されて、出力平滑コンデンサが急激に充電されるため、充電時間が短く且つ充電電流が大きくなる。このため、出力平滑コンデンサの充電時に流れるピーク電流により、2次側のスイッチング素子のオン時に電流集中が発生し、電力変換損失が増大して電力変換効率が低下する問題があった。更に、前記の電流集中により、複数の出力端子から不均一な直流出力電圧が発生するため、複数の出力端子から所望の電圧レベルの安定した直流出力を独立して得ることは困難であった。

【0025】

そこで、本発明では、トランスの1次巻線に流れる電流を低減し且つ2次側の各整流平滑回路に流れるピーク電流を抑制して電力変換効率を向上できると共に、複数の出力端子から所望の電圧レベルの安定した出力を独立して得られる共振型スイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0026】

10

20

30

40

50

本発明による共振型スイッチング電源装置は、直流電源(3)に対して直列に接続された第1のスイッチング素子(1)及び第2のスイッチング素子(2)と、第1のスイッチング素子(1)又は第2のスイッチング素子(2)と並列に且つ第1のコンデンサ(4)に対して直列に接続された第1の1次巻線(5a)を有する第1のトランス(5)と、第1のトランス(5)の2次巻線(5b)と第1の出力端子(11,12)との間に接続された第1の整流平滑回路(10)と、第1のスイッチング素子(1)又は第2のスイッチング素子(2)と並列に且つ第1のコンデンサ(4)に対して直列に接続された単数又は複数の第n(nは、2以上の整数)の1次巻線(6a)を有する第nのトランス(6)と、第nのトランス(6)の2次巻線(6b)と第nの出力端子(21,22)との間に接続された第nの整流平滑回路(20)と、第1のスイッチング素子(1)及び第2のスイッチング素子(2)にそれぞれ駆動信号(V_{G1} , V_{G2})を付与して、第1のスイッチング素子(1)及び第2のスイッチング素子(2)をオン・オフ動作させる制御回路(15)とを備える。また、第1のトランス(5)の1次巻線(5a)は、第1のコンデンサ(4)及び第1のトランス(5)の1次巻線(5a)に直列に接続された第1の漏洩インダクタンス素子(5d)を備え、第nのトランス(6)の1次巻線(6a)は、第1のコンデンサ(4)及び第nのトランス(6)の1次巻線(6a)に直列に接続された第nの漏洩インダクタンス素子(6d)を備え、第nの漏洩インダクタンス素子(6d)のインダクタンスは、第1の漏洩インダクタンス素子(5d)のインダクタンスよりも大きい。

【0027】

制御回路(15)からの駆動信号(V_{G1} , V_{G2})により、第1のスイッチング素子(1)をオンに切り換えると、直流電源(3)から第1のスイッチング素子(1)、第1のトランス(5)の1次巻線(5a)及び第1のコンデンサ(4)を通じて直流電源(3)に循環電流が流れると同時に、直流電源(3)から第1のスイッチング素子(1)、第nのトランス(6)の1次巻線(6a)及び第1のコンデンサ(4)を通じて直流電源(3)に共振電流が流れる。次に、制御回路(15)からの駆動信号(V_{G1} , V_{G2})により、第1のスイッチング素子(1)をオフに切り換えて、第2のスイッチング素子(2)をオンに切り換えると、第1のトランス(5)に蓄積されたエネルギーは、第1のトランス(5)の1次巻線(5a)から第2のスイッチング素子(2)及び第1のコンデンサ(4)を通じて共振電流が流れると同時に、第nのトランス(6)の1次巻線(6a)から第2のスイッチング素子(2)及び第1のコンデンサ(4)を通じて電流が流れて、第nのトランス(6)にエネルギーが蓄積される。また、第1のスイッチング素子(1)又は第2のスイッチング素子(2)のオン時に同期して、第1のトランス(5)の2次巻線(5b)から第1の整流平滑回路(10)を通じて第1の出力端子(11,12)から第1の負荷に電流が供給されると共に、第nのトランス(6)の2次巻線(6b)から第nの整流平滑回路(20)を通じて第nの出力端子(21,22)から第nの負荷に電流が供給される。このように、第1のスイッチング素子(1)又は第2のスイッチング素子(2)と並列に且つ第1のコンデンサ(4)に対して直列に第1のトランス(5)の第1の1次巻線(5a)と、単数又は複数の第nのトランス(6)の第nの1次巻線(6a)とを同時に接続するため、第1のトランス(5)の第1の1次巻線(5a)～第nのトランス(6)の第nの1次巻線(6a)が並列に接続され合成インダクタンスを形成する。これにより、第1のスイッチング素子(1)又は第2のスイッチング素子(2)がオン・オフした際に、第1のトランス(5)の第1の1次巻線(5a)～第nのトランス(6)の第nの1次巻線(6a)の合成インダクタンスと第1のコンデンサ(4)との共振作用による循環電流が第1～第nのトランス(5～6)の各1次巻線(5a～6a)に分散して流れるため、第1～第nのトランス(5～6)の各1次巻線(5a～6a)に流れる電流の実効値が低減され、各トランス(5～6)の発熱を抑制し、電力変換効率を向上することができる。また、第1～第nのトランス(5～6)の各1次巻線(5a～6a)は、第1のコンデンサ(4)及び第1～第nのトランス(5～6)の各1次巻線(5a～6a)に直列に接続された第1～第nの漏洩インダクタンス素子(5d～6d)を個別に有するため、第1～第nのトランス(5～6)が個別に動作し、第1～第nのトランス(5～6)の各2次巻線(5b～6b)には互いに独立して第1～第nの出力電流(I_{D1} ～ I_{Dn})が流れる。したがって、第1の出力端子(11,12)～第nの出力端子(21,22)の何れかに電流が集中しない。これにより、第1の出力端子(11,12)～第nの出力端子(21,22)から所望の電圧レベルの安定した直流出力を独立して得られると共に、第1の整流平滑回路(10)～第nの整流平滑回路(20)に流れるピ

10

20

30

40

50

ーク電流が抑制されるため、電力変換損失を抑制して電力変換効率を向上することができる。したがって、単一のトランスを共用して複数の出力端子から直流出力を得る従来の共振型スイッチング電源装置の複数の出力端子からの不均一な出力電圧の発生を防止することができる。

【発明の効果】

【0028】

本発明では、第1又は第2のスイッチング素子がオン・オフした際に、第1～第n（nは2以上の整数）のトランスの各1次巻線の合成インダクタンスと共振用の第1のコンデンサとの共振作用による循環電流が各々のトランスの1次巻線にそれぞれ分散して流れるので、各トランスの1次巻線に流れる電流の実効値を低減して電力変換効率を向上することができる。また、第1～第nのトランスが個別に動作し、第1～第nのトランスの各2次巻線に互いに独立して出力電流が流れるので、第1の出力端子～第nの出力端子の何れかに電流が集中しない。このため、第1～第nの出力端子から所望の電圧レベルの安定した直流出力を独立して得られると共に、第1～第nの整流平滑回路に流れるピーク電流を抑制して電力変換効率を向上することができる。したがって、単一のトランスを共用する複数の出力端子から直流出力を得る従来の共振型スイッチング電源装置の複数の出力端子から不均一な出力電圧が発生することを防止することができる。

10

【発明を実施するための最良の形態】

【0029】

以下、本発明による共振型スイッチング電源装置の実施の形態を図1～図5に基づいて説明する。但し、図1～図5では、図6～図9に示す箇所と実質的に同一の部分には同一の符号を付し、その説明を省略する。

20

【0030】

本実施の形態の共振型スイッチング電源装置は、図1に示すように、直流電源(3)に対して直列に接続された第1のスイッチング素子としての第1の主MOS-FET(1)及び第2のスイッチング素子としての第2の主MOS-FET(2)と、第2の主MOS-FET(2)と並列に且つ第1のコンデンサとしての電流共振用コンデンサ(4)に対して直列に接続された1次巻線(5a)を有する第1のトランス(5)と、第1のトランス(5)の2次巻線(5b)と第1の直流出力端子(11,12)との間に接続された第1の出力整流ダイオード(8)及び第1の出力平滑コンデンサ(9)から成る第1の整流平滑回路(10)と、第2の主MOS-FET(2)と並列に且つ電流共振用コンデンサ(4)に対して直列に接続された1次巻線(6a)を有する第2のトランス(6)と、第2の主MOS-FET(2)と並列に接続された電圧擬共振用コンデンサ(7)と、第2のトランス(6)の2次巻線(6b)と第2の直流出力端子(21,22)との間に接続された第2の出力整流ダイオード(18)及び第2の出力平滑コンデンサ(19)から成る第2の整流平滑回路(20)と、第1及び第2のMOS-FET(1,2)の各ゲートにそれぞれ第1及び第2の駆動信号 V_{G1} 、 V_{G2} を付与して、第1及び第2の主MOS-FET(1,2)をオン・オフ動作させる主制御回路(15)とを備える。第1及び第2のトランス(5,6)は、各々の1次巻線(5a,6a)と等価的に直列に接続される第1及び第2の漏洩インダクタンス素子としての第1及び第2の漏洩インダクタンス(5d,6d)と、各々の1次巻線(5a,6a)と等価的に並列に接続される第1及び第2の励磁インダクタンス(5e,6e)とを有し、第1及び第2の漏洩インダクタンス(5d,6d)は電流共振リアクトルとして作用する。第2の整流平滑回路(20)を構成する第2の出力整流ダイオード(18)と第2の出力平滑コンデンサ(19)の間には、出力制御用MOS-FET(41)が接続され、出力制御回路(42)により第1の主MOS-FET(1)のオン期間に同期して且つ同一のスイッチング周波数でオン・オフ動作される。また、主制御回路(15)は、第2の主MOS-FET(2)のオン期間を固定すると共に、第1の整流平滑回路(10)の出力電圧 V_{O1} に応じて第1の主MOS-FET(1)のオン期間を変化させることにより、第2の主MOS-FET(2)のオン・デューティを制御する。

30

40

【0031】

出力制御回路(42)は、図2に示すように、第2の主MOS-FET(2)のオン及びオフ時に第2のトランス(6)の2次巻線(6b)に発生する電圧 V_{T22} の立ち上り及び立ち下り時の検

50

出信号 V_{TD} を出力する電圧変動検出回路(43)と、電圧変動検出回路(43)の検出信号 V_{TD} の反転信号 $-V_{TD}$ を出力する反転器(44)と、第2の出力平滑コンデンサ(19)の電圧 V_{O2} を検出してその検出電圧と第2の出力電圧値を規定する基準電圧との誤差信号 V_{E2} を出力する第2の出力電圧検出回路(45)と、電圧変動検出回路(43)の検出信号 V_{TD} により駆動され且つ第2の出力電圧検出回路(45)の誤差信号 V_{E2} に基づいて制御されるデューティ比を有するパルス列信号 V_{PT} を出力するPWM制御回路(46)と、PWM制御回路(46)のパルス列信号 V_{PT} によりセットされ且つ電圧変動検出回路(43)から反転器(44)を介して出力される検出信号 V_{TD} の反転信号 $-V_{TD}$ によりリセットされるRSフリップフロップ(47)と、RSフリップフロップ(47)の出力信号により出力制御用MOS-FET(41)のゲートに2次側駆動信号 V_{S2} を付与する駆動回路(48)とから構成される。その他の構成は、図6に示す従来の共振型スイッチング電源装置と略同様である。

10

【0032】

本実施の形態の共振型スイッチング電源装置の動作の際に、第2の主MOS-FET(2)がオフ状態で第1の主MOS-FET(1)がオンすると、第2のトランス(6)の1次巻線(6a)に電流が流れて電圧が発生すると共に、第2のトランス(6)の2次巻線(6b)に正極性の電圧 V_{T22} が誘起される。これと同時に、第1のトランス(5)の1次巻線(5a)にも電流が流れて電圧が発生するが、第1のトランス(5)の2次巻線(5b)には負極性の電圧が誘起されるため、第1の整流平滑回路(10)内の第1の出力整流ダイオード(8)に逆バイアス電圧が印加されて非導通状態となり、第1の出力整流ダイオード(8)には電流 I_{D1} が流れない。一方、第2のトランス(6)の2次巻線(6b)に誘起された正極性の電圧 V_{T22} は、第2の整流平滑回路(20)に入力されて出力制御用MOS-FET(41)のオン時に第2の出力整流ダイオード(18)を導通状態にすると共に、出力制御回路(42)内の電圧変動検出回路(43)に入力される。このとき、電圧変動検出回路(43)から高電圧(H)レベルの検出信号 V_{TD} が出力されてPWM制御回路(46)が駆動されると共に、反転器(44)を介してRSフリップフロップ(47)のリセット端子(R)に低電圧(L)レベルの検出信号 $-V_{TD}$ が入力され、RSフリップフロップ(47)のリセットが解除される。PWM制御回路(46)から高電圧(H)レベルのパルス列信号 V_{PT} がRSフリップフロップ(47)のセット端子(S)に入力されると、RSフリップフロップの出力端子(Q)から駆動回路(48)を介して出力制御用MOS-FET(41)のゲートに高電圧(H)レベルの2次側駆動信号 V_{S2} が付与され、出力制御用MOS-FET(41)がオンする。これにより、第2のトランス(6)の2次巻線(6b)から第2の整流平滑回路(20)内の第2の出力整流ダイオード(18)に電流 I_{D2} が流れ、第2の出力平滑コンデンサ(19)が充電されて両端子間の電圧 V_{O2} が上昇する。

20

30

【0033】

出力制御用MOS-FET(41)がオンすると、第2のトランス(6)の2次巻線(6b)の電圧 V_{T22} は、第2の整流平滑回路(20)内の第2の出力整流ダイオード(18)の順方向電圧降下と、第2の出力平滑コンデンサ(19)の電圧 V_{O2} との和に等しい電圧にクランプされる。第2の漏洩インダクタンス(6d)を有する第2のトランス(6)を使用する図1の回路では、第2のトランス(6)の第2の漏洩インダクタンス(6d)により、第2のトランス(6)の1次巻線(6a)に印加される電圧の巻数比倍の第2のトランス(6)の2次巻線(6b)に励起される電圧と、第2の整流平滑回路(20)内の第2の出力整流ダイオード(18)の順方向電圧降下及び第2の出力平滑コンデンサ(19)の電圧 V_{O2} の和の電圧との差を吸収することができる。その後、第1の主MOS-FET(1)がオンからオフに切り換えられると、第2のトランス(2)の2次巻線(6b)に負極性の電圧 V_{T22} が励起され、第2の出力整流ダイオード(18)に逆バイアス電圧が印加されて非導通状態となるため、第2の出力整流ダイオード(19)に流れる電流 I_{D2} が略零となる。このとき、電圧変動検出回路(43)から低電圧(L)レベルの検出信号 V_{TD} が出力され、PWM制御回路(46)に入力されると共に、反転器(44)を介してRSフリップフロップ(47)のリセット端子(R)に高電圧(H)レベルの検出信号 $-V_{TD}$ が入力され、RSフリップフロップ(47)がリセットされる。これにより、RSフリップフロップの出力端子(Q)から駆動回路(48)を介して出力制御用MOS-FET(41)のゲートに低電圧(L)レベルの2次側駆動信号 V_{S2} が付与され、出力制御用MOS-FET(41)がオンからオフ

40

50

に切り換えられる。

【 0 0 3 4 】

次に、第 1 の主 MOS-FET (1) がオフ状態で第 2 の主 MOS-FET (2) がオンすると、第 1 のトランス (5) の 2 次巻線 (5b) に正極性の電圧が誘起され、第 1 の整流平滑回路 (10) 内の第 1 の出力整流ダイオード (8) が順方向にバイアスされて導通状態となる。これにより、第 1 のトランス (5) の 2 次巻線 (5b) から第 1 の整流平滑回路 (10) 内の第 1 の出力整流ダイオード (8) に電流 I_{D1} が流れ、第 1 の出力平滑コンデンサ (9) が充電されて両端子間の電圧 V_{O1} が上昇する。その後、第 2 の主 MOS-FET (2) がオフして第 1 の主 MOS-FET (1) がオンすると、第 2 のトランス (6) の 2 次巻線 (6b) に正極性の電圧 V_{T22} が誘起され、続いて PWM 制御回路 (46) から高電圧 (H) レベルのパルス列信号 V_{PT} が出力されると、出力制御用 MOS-FET (41) がオフからオンに切り換えられ、第 2 のトランス (6) の 2 次巻線 (6b) から第 2 の整流平滑回路 (20) 内の第 2 の出力整流ダイオード (18) に電流 I_{D2} が流れ、第 2 の出力平滑コンデンサ (19) が充電されて両端子間の電圧 V_{O2} が上昇する。

【 0 0 3 5 】

第 2 の整流平滑回路 (20) から出力される第 2 の直流出力電圧 V_{O2} は、出力制御回路 (42) 内の第 2 の出力検出回路 (45) により検出され、その検出電圧と第 2 の直流出力電圧 V_{O2} の基準値を規定する基準電圧との誤差信号 V_{E2} が PWM 制御回路 (46) に入力される。PWM 制御回路 (46) は、電圧変動検出回路 (43) から入力される高電圧 (H) レベルの検出信号 V_{TD} により駆動され、第 2 の出力電圧検出回路 (45) の誤差信号 V_{E2} の電圧レベルに基づいて出力するパルス列信号 V_{PT} のデューティ比を制御する。即ち、第 2 の整流平滑回路 (20) から出力される第 2 の直流出力電圧 V_{O2} が基準電圧よりも高いときは、PWM 制御回路 (46) からデューティ比の小さいパルス列信号 V_{PT} が RS フリップフロップ (47) のセット端子 (S) に入力され、RS フリップフロップ (47) の出力端子 (Q) から駆動回路 (48) を介して出力制御用 MOS-FET (41) のゲートに狭いパルス幅の 2 次側駆動信号 V_{S2} が付与される。これにより、出力制御用 MOS-FET (41) のオン期間が短くなるため、第 2 の整流平滑回路 (20) の第 2 の出力平滑コンデンサ (19) に充電電流が流れる期間が短縮され、第 2 の出力平滑コンデンサ (19) の電圧 V_{O2} が低下する。また、第 2 の整流平滑回路 (20) から出力される第 2 の直流出力電圧 V_{O2} が基準電圧よりも低いときは、PWM 制御回路 (46) からデューティ比の大きいパルス列信号 V_{PT} が RS フリップフロップ (47) のセット端子 (S) に入力され、RS フリップフロップ (47) の出力端子 (Q) から駆動回路 (48) を介して出力制御用 MOS-FET (41) のゲートに広いパルス幅の 2 次側駆動信号 V_{S2} が付与される。これにより、出力制御用 MOS-FET (41) のオン期間が長くなるため、第 2 の整流平滑回路 (20) の第 2 の出力平滑コンデンサ (19) に充電電流が流れる期間が延長され、第 2 の出力平滑コンデンサ (19) の電圧 V_{O2} が上昇する。以上のように、第 2 の整流平滑回路 (20) から出力される第 2 の直流出力電圧 V_{O2} に応じて、出力制御用 MOS-FET (41) のオン期間を第 1 の主 MOS-FET (1) のオン期間に同期して制御することにより、第 2 の直流出力端子 (21, 22) から略一定の第 2 の直流出力電圧 V_{O2} を取り出すことができる。なお、上記以外の基本的な動作は、図 6 に示す従来の共振型スイッチング電源装置の動作と略同様であるため、説明は省略する。

【 0 0 3 6 】

図 3 は、図 1 の回路動作時の第 2 の主 MOS-FET (2) のドレイン - ソース間電圧 V_{Q2} 、電流共振用コンデンサ (4) に流れる電流 I_{Ci} 、第 2 のトランス (6) の第 2 の漏洩インダクタンス (6d) に流れる電流 I_{L2} 、第 1 のトランス (1) の第 1 の漏洩インダクタンス (5d) に流れる電流 I_{L1} 、出力制御用 MOS-FET (41) に流れる電流 I_{D2} 及び出力制御用 MOS-FET (41) のゲートに付与される 2 次側駆動信号 V_{S2} の各波形を示す。図 3 において、(A) は第 1 及び第 2 の直流出力電圧 V_{O1} 、 V_{O2} が共に定格負荷付近の状態、即ち重負荷状態の場合を示し、(B) は第 1 の直流出力電圧 V_{O1} が重負荷状態で第 2 の直流出力電圧 V_{O2} が軽負荷状態の場合を示し、(C) は第 1 の直流出力電圧 V_{O1} が軽負荷状態で第 2 の直流出力電圧 V_{O2} が重負荷状態の場合を示し、(D) は第 1 及び第 2 の直流出力電圧 V_{O1} 、 V_{O2} が共に軽負荷状態の場合を示す。また、第 1 のトランス (5) の励磁インダクタンス (5e) は、第 1

の主MOS-FET(1)のオン期間中に第1のトランス(5)の励磁電流があまり流れない程度に図6の場合よりも大きな値に選択され、第1のトランス(5)の漏洩インダクタンス(5d)は、図6の場合と略同一の値に選択され、第2のトランス(6)の励磁インダクタンス(6e)は、第1及び第2の直流出力端子(11,12;21,22)に接続される全ての負荷に出力電力を供給するのに十分な電流共振用コンデンサ(4)の充電電流が得られる程度に小さな値に選択され、第2のトランス(6)の漏洩インダクタンス(6d)は、第1のトランス(5)の漏洩インダクタンス(5d)よりも大きな値に選択される。

【0037】

第1の主MOS-FET(1)がオンで且つ第2の主MOS-FET(2)がオフのとき、第1及び第2のトランス(5,6)の漏洩インダクタンス(5d,6d)及び励磁インダクタンス(5e,6e)に流れる電流 I_{L1} 、 I_{L2} の総和の電流 I_{Ci} が電流共振用コンデンサ(4)に流れるが、第1のトランス(5)の励磁インダクタンス(5e)は第2のトランス(6)の励磁インダクタンス(6e)よりも大きいため、電流共振用コンデンサ(4)を充電する電流 I_{Ci} の大部分が第2のトランス(6)の漏洩インダクタンス(6d)及び励磁インダクタンス(6e)から流れ、第1のトランス(5)の漏洩インダクタンス(5d)及び励磁インダクタンス(5e)からは殆ど流れない。したがって、第1のトランス(5)では、励磁電流による電力損失を抑制することができる。このとき、第2のトランス(6)の漏洩インダクタンス(6d)と電流共振用コンデンサ(4)との共振作用による共振電流が、2次側の出力制御用MOS-FET(41)のオン期間だけ図示しない負荷に電力を供給するため、出力制御用MOS-FET(41)のオン期間中に流れる第2の出力電流 I_{D2} によって第2の直流出力電圧 V_{O2} が制御される。第2のトランス(6)の漏洩インダクタンス(6d)と電流共振用コンデンサ(4)との共振の半周期は、第1の主MOS-FET(1)のオン期間よりも長く設定すれば、第1の主MOS-FET(1)のオン期間全体に亘って出力制御用MOS-FET(41)のオン期間による制御が有効となり、第2の直流出力電圧 V_{O2} の制御範囲を拡張することができる。次に、第1の主MOS-FET(1)がオフして第2の主MOS-FET(2)がオンすると、電流共振用コンデンサ(4)が放電され、これによって第1及び第2のトランス(5,6)の各1次巻線(5a,6a)に逆方向に電圧が印加され、第1及び第2のトランス(5,6)は第1の主MOS-FET(1)がオンするときと略同様の励磁状態までリセットされる。このとき、第1のトランス(5)では、第1の漏洩インダクタンス(5d)と電流共振用コンデンサ(4)との共振電流によるエネルギーが2次側に伝達され、第1の直流出力端子(11,12)に接続される図示しない負荷に供給される。

【0038】

図3(A)に示す負荷状態において、第1の主MOS-FET(1)がオンで且つ第2の主MOS-FET(2)がオフのとき、第1のトランス(5)の漏洩インダクタンス(5d)には電流 I_{L1} が殆ど流れず、第2のトランス(6)の漏洩インダクタンス(6d)には、出力制御用MOS-FET(41)がオンする以前は第2のトランス(6)の励磁電流 I_{L2} のみが流れ、出力制御用MOS-FET(41)がオンした後は前記の励磁電流に2次側に伝達される共振電流を重畳した電流 I_{L2} が流れる。このとき、電流共振用コンデンサ(4)には、第1及び第2のトランス(5,6)の各漏洩インダクタンス(5d,6d)に流れる電流 I_{L1} 、 I_{L2} の総和の電流 I_{Ci} が流れ、電流共振用コンデンサ(4)が充電される。また、第1の主MOS-FET(1)がオフで且つ第2の主MOS-FET(2)がオンのとき、第1のトランス(5)の漏洩インダクタンス(5d)には、2次側に伝達する正弦波状の共振電流 I_{L1} が流れ、第2のトランス(6)の漏洩インダクタンス(6d)には、第2の漏洩インダクタンス(6d)及び第2の励磁インダクタンス(6e)の蓄積エネルギーによって電流共振用コンデンサ(4)を放電する電流 I_{L2} が流れる。この場合も、電流共振用コンデンサ(4)から各トランス(5,6)の漏洩インダクタンス(5d,6d)及び励磁インダクタンス(5e,6e)に放電電流 I_{L1} 、 I_{L2} が流れるが、第2のトランス(6)の漏洩インダクタンス(6d)及び励磁インダクタンス(6e)の総和が第1のトランス(5)の漏洩インダクタンス(5d)及び励磁インダクタンス(5e)の総和よりも大きいため、電流共振用コンデンサ(4)から流れる放電電流の殆どが第2のトランス(6)の漏洩インダクタンス(6d)及び励磁インダクタンス(6e)に流れる。

【0039】

10

20

30

40

50

図3(B)に示す負荷状態のときは、出力制御用MOS-FET(41)のオン期間が短くなるため、第1の主MOS-FET(1)がオンで且つ第2の主MOS-FET(2)がオフのときに第2のトランス(6)の漏洩インダクタンス(6d)に流れる電流 I_{L2} の殆どが、第2のトランス(6)の励磁電流のみとなる。

【0040】

図3(C)に示す負荷状態において、第1の主MOS-FET(1)がオンで且つ第2の主MOS-FET(2)がオフのときは、第1のトランス(5)の漏洩インダクタンス(5d)には電流 I_{L1} が殆ど流れず、第2のトランス(6)の漏洩インダクタンス(6d)には、出力制御用MOS-FET(41)がオンする以前は第2のトランス(6)の励磁電流 I_{L2} のみが流れ、出力制御用MOS-FET(41)がオンした後は前記の励磁電流に2次側に伝達される共振電流を重畳した電流 I_{L2} が流れる。また、第1の主MOS-FET(1)がオフで且つ第2の主MOS-FET(2)がオンのときは、第1のトランス(5)の漏洩インダクタンス(5d)には、2次側に伝達される極めて僅かな共振電流 I_{L1} が流れ、第2のトランス(6)の漏洩インダクタンス(6d)には、漏洩インダクタンス(6d)及び励磁インダクタンス(6e)の蓄積エネルギーによって電流共振用コンデンサ(4)を放電する電流 I_{L2} が流れる。

10

【0041】

図3(D)に示す負荷状態のときは、第1のトランス(5)の漏洩インダクタンス(5d)に電流 I_{L1} が殆ど流れないと共に、出力制御用MOS-FET(41)のオン期間が短くなるため、第1の主MOS-FET(1)がオンで且つ第2の主MOS-FET(2)がオフのときに第2のトランス(6)の漏洩インダクタンス(6d)に流れる電流 I_{L2} の殆どが第2のトランス(6)の励磁電流のみとなる。よって、この場合は、第2のトランス(6)の漏洩インダクタンス(6d)及び励磁インダクタンス(6e)に流れる励磁電流 I_{L2} により、電流共振用コンデンサ(4)が充電及び放電を繰り返すのみで、2次側への共振電流の伝達は殆ど行われない。

20

【0042】

以上のように、第1のトランス(5)の励磁インダクタンス(5e)を大きくして、第1の漏洩インダクタンス(5d)及び第1の励磁インダクタンス(5e)に励磁電流 I_{L1} が殆ど流れないようにしても、第2のトランス(6)の漏洩インダクタンス(6d)及び励磁インダクタンス(6e)に流れる励磁電流 I_{L2} で電流共振用コンデンサ(4)を充電及び放電することにより、第1及び第2のトランス(5,6)の2次側への電力伝達時に各々の図示しない負荷の状態に応じた出力電流 I_{D1} , I_{D2} が流れるので、十分な容量の第1及び第2の直流出力を各々の負荷に供給することができる。したがって、負荷への供給電力が小さいトランス(6)の励磁電流 I_{L2} が大きくなるように、それぞれの負荷の比率に応じて各トランス(5,6)の励磁インダクタンス(5e,6e)を設定すると、負荷への供給電力が大きいトランス(5)では、電流共振用コンデンサ(4)を充電するときも、電流共振用コンデンサ(4)を放電して負荷に電力を伝達するときも1次巻線(5a)に流れる電流を小さくすることができるので、小容量の小形トランスを使用しても電力変換効率が低下しない。また、第1の直流出力電圧 V_{O1} に応じて第1のMOS-FET(1)のオン期間を調整し、第2の直流出力電圧 V_{O2} に応じて出力制御用MOS-FET(41)のオン期間を調整することにより、第1及び第2の直流出力電圧 V_{O1} , V_{O2} を個別に安定化できる。

30

【0043】

本実施の形態では、第2の主MOS-FET(2)と並列に且つ電流共振用コンデンサ(4)に対して直列に第1のトランス(5)の1次巻線(5a)、漏洩インダクタンス(5d)及び励磁インダクタンス(5e)と、第2のトランス(6)の1次巻線(6a)、漏洩インダクタンス(6d)及び励磁インダクタンス(6e)とを同時に接続するので、各トランス(5,6)の1次巻線(5a,6a)に流れる循環電流が、各トランス(5,6)の漏洩インダクタンス(5d,6d)と励磁インダクタンス(5e,6e)との和の比率に合わせて分散して流れる。このため、第1及び第2のトランス(5,6)の各1次巻線(5a,6a)に流れる電流の実効値が低減され、各トランス(5,6)の発熱を抑制し、電力変換効率が向上することができる。また、第1のトランス(5)及び第2のトランス(6)は個別に漏洩インダクタンス(5d,6d)を有するので、第1のトランス(5)と第2のトランス(6)とが個別に動作し、第1及び第2のトランス(5,6)の各2次巻線(5b,6b)には互

40

50

いに独立して第1及び第2の出力電流 I_{D1} , I_{D2} が流れる。したがって、第1の直流出力端子(11,12)又は第2の直流出力端子(21,22)に電流が集中しない。このため、第1の直流出力端子(11,12)及び第2の直流出力端子(21,22)から所望のレベルの安定な直流出力電圧 V_{O1} , V_{O2} を独立して得られると共に、第1及び第2の整流平滑回路(10,20)に流れるピーク電流が抑制されるので、電力変換損失を抑制して電力変換効率を向上することができる。よって、単一のトランスを共用して複数の出力端子から直流出力を得る従来の共振型スイッチング電源装置の複数の出力端子からの不均一な出力電圧の発生を防止できる。また、電流共振用コンデンサ(4)と第1及び第2のトランス(5,6)の各1次巻線(5a,6a)に対して直列に接続される第1及び第2の共振用インダクタンス素子として、各トランス(5,6)の1次巻線(5a,6a)に対してそれぞれ等価的に直列に接続される第1及び第2の漏洩インダクタンス(5d,6d)を使用するので、それぞれコア及び巻線の構造や大きさの異なるトランスを使用することができる。図1に示す実施の形態では、第1の主MOS-FET(1)がオンし且つ出力制御用MOS-FET(41)がオンしているときに第2の出力電流 I_{D2} が流れ、第2の主MOS-FET(2)がオンしているときに第1の出力電流 I_{D1} が流れるので、第1のトランス(5)とは異なる構成及び大きさの1次巻線(6a)及びコアを有する第2のトランス(6)を適宜使用することができる。また、第2のトランス(6)の励磁インダクタンス(6e)を第1のトランス(5)の励磁インダクタンス(5e)よりも小さな値に選択したため、第2の主MOS-FET(2)がオンした際に流れる共振電流を合わせても第1のトランス(5)に流れる電流を小さくできるので、第1のトランス(5)を小型化することができる。つまり、各々の直流出力端子(11,12;21,22)に接続される負荷の大きさに応じて、各トランス(5,6)の漏洩インダクタンス(5d,6d)及び励磁インダクタンス(5e,6e)の値を適宜選択することにより、各1次巻線(5a,6a)に流すべき循環電流の比率を調整できるので、負荷の大きさに応じてコストパフォーマンスの良好なトランスを使用することができる。更に、第2の整流平滑回路(20)を構成する第2の出力整流ダイオード(18)と第2の出力平滑コンデンサ(19)との間に出力制御用MOS-FET(41)を接続し、第1の主MOS-FET(1)のオン期間に同期して且つ同一のスイッチング周波数でオン・オフさせるので、出力制御用MOS-FET(41)での零電流スイッチング(ZCS)を達成すると共に、出力制御用MOS-FET(41)に流れる電流を抑制できるので、スイッチング損失を低減することができる。

【0044】

図1に示す共振型スイッチング電源装置は変更が可能である。例えば、図4に示す実施の形態の共振型スイッチング電源装置は、第1のトランス(5)及び第2のトランス(6)の各2次巻線(5b,6b)の極性を同一としたものである。この場合は、第2の主MOS-FET(2)のオン期間中に、第1のトランス(5)及び第2のトランス(6)の各2次巻線(5b,6b)から第1及び第2の整流平滑回路(10,20)を介して各直流出力端子(11,12;21,22)から第1及び第2の直流出力電圧 V_{O1} , V_{O2} を同時に発生させることができる。また、図5に示す実施の形態の共振型スイッチング電源装置は、主制御回路(15)により、直流電源(3)の電圧Eのレベルの変動に応じて第1の主MOS-FET(1)及び第2の主MOS-FET(2)のオン・オフを制御するものである。この場合は、負荷が変動しても第1及び第2のトランス(5,6)の1次側から2次側に電力を供給する期間は殆ど変化しないため、主制御回路(15)により直流電源(3)の電圧Eのレベルの変動に応じて、第1及び第2の主MOS-FET(1,2)のオン・オフを制御することにより、第1及び第2のトランス(5,6)の各1次巻線(5a,6a)に印加される電圧を一定に制御できる。したがって、第1及び第2のトランス(5,6)の各2次側に出力制御用MOS-FET(51,41)を設け、各直流出力電圧 V_{O1} , V_{O2} に応じて各出力制御用MOS-FET(51,41)のオン・オフをそれぞれの出力制御回路(52,42)で個別に制御することにより、互いに電圧値の異なる2つの直流出力電圧 V_{O1} , V_{O2} を得ることができる。また、2次側の直流出力回路の構成部品を全て同一にして、部品の種類を削減し、製造コストを更に低減できると共に、保守互換性が向上する利点がある。

【0045】

本発明の実施態様は前記の各実施の形態に限定されず、更に種々の変更が可能である。

例えば、上記の実施の形態では、出力制御回路(42)内の第2の出力電圧検出回路(45)の誤差信号 V_{E2} に応じたデューティ比で出力されるPWM制御回路(46)のパルス列信号 V_{PT} により出力制御用MOS-FET(41)をオフからオンに切り換え、第1の主MOS-FET(1)がオフした後に出力制御用MOS-FET(41)をオンからオフに切り換えたが、第2の主MOS-FET(2)がオンすると略同時に出力制御用MOS-FET(41)をオフからオンに切り換え、出力制御回路(42)内の第2の出力電圧検出回路(45)の誤差信号 V_{E2} に応じたデューティ比で出力されるPWM制御回路(46)のパルス列信号 V_{PT} により出力制御用MOS-FET(41)をオンからオフに切り換えてもよい。また、上記の実施の形態では、第2の整流平滑回路(20)を構成する第2の出力整流ダイオード(18)と第2の出力平滑コンデンサ(19)との間に出力制御用MOS-FET(41)を接続したが、第2のトランス(6)の2次巻線(6b)と第2の出力平滑コンデンサ(19)との間の任意の位置に出力制御用MOS-FET(41)を接続してもよい。また、上記の実施の形態では、各整流平滑回路(10,20)を1つの出力整流ダイオード(8,18)と出力平滑コンデンサ(9,19)から成る半波整流型で構成したが、両波整流型又は全波整流ブリッジ型等で構成してもよく、或いは前記の各整流方式を混在させてもよい。また、第1のトランス(5)に複数の2次巻線を設けて、各2次巻線にそれぞれ整流平滑回路を接続して複数の直流出力電圧を得てもよい。また、上記の実施の形態では、第2の主MOS-FET(2)と並列に且つ電流共振用コンデンサ(4)に対して直列に第1及び第2のトランス(5,6)の各1次巻線(5a,6a)を接続したが、第1の主MOS-FET(1)と並列に且つ電流共振用コンデンサ(4)に対して直列に第1及び第2のトランス(5,6)の各1次巻線(5a,6a)を接続してもよい。また、上記の実施の形態では、第2のトランス(6)の励磁インダクタンス(6e)を第1のトランス(5)の励磁インダクタンス(5e)よりも小さな値に選択したが、第1のトランス(5)の励磁インダクタンス(5e)と第2のトランス(6)の励磁インダクタンス(6e)を同一値に選択してもよく、第2のトランス(6)の励磁インダクタンス(6e)を第1のトランス(5)の励磁インダクタンス(5e)よりも大きな値に選択してもよい。更に、第1のトランス(5)の1次巻線(5a)に対して並列に2つ以上のトランス(6)の各1次巻線(6a)を接続し、2つ以上のトランス(6)の各2次巻線(6b)にそれぞれ整流平滑回路(20)及び出力制御用MOS-FET(41)を接続して、3つ以上の安定化された直流出力を得てもよい。

【産業上の利用可能性】

【0046】

本発明は、独立した複数の直流出力を発生する共振型スイッチング電源装置に良好に適用できる。

【図面の簡単な説明】

【0047】

【図1】本発明による共振型スイッチング電源装置の第1の実施の形態を示す電気回路図

【図2】出力制御回路の内部構成を示す回路ブロック図

【図3】図1の回路動作時の各部の電圧及び電流を示す波形図

【図4】本発明の第2の実施の形態を示す電気回路図

【図5】本発明の第3の実施の形態を示す電気回路図

【図6】従来の共振型スイッチング電源装置を示す電気回路図

【図7】主制御回路の内部構成を示す回路ブロック図

【図8】図6の回路動作時における各部の電圧及び電流のタイミングチャート

【図9】従来の共振型スイッチング電源装置の変更例を示す電気回路図

【符号の説明】

【0048】

(1)・・・第1の主MOS-FET(第1のスイッチング素子)、(2)・・・第2の主MOS-FET(第2のスイッチング素子)、(3)・・・直流電源、(4)・・・電流共振用コンデンサ(第1のコンデンサ)、(5)・・・第1のトランス(トランス)、(5a)・・・1次巻線、(5b)・・・第1の2次巻線(2次巻線)、(5c)・・・第2の2次巻線、(5d)・・・第1の漏洩インダクタンス(第1の漏洩インダクタンス素子)、(5e)・・・第1の励磁イ

10

20

30

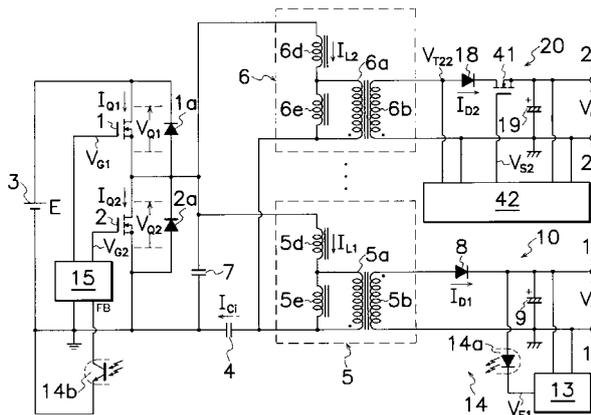
40

50

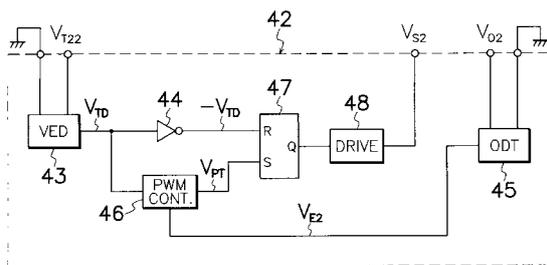
ンダクタンス、 (6)・・・第2のトランス(第nのトランス)、 (6a)・・・1次巻線、 (6b)・・・2次巻線、 (6d)・・・第2の漏洩インダクタンス(第nの漏洩インダクタンス素子)、 (6e)・・・第2の励磁インダクタンス、 (7)・・・電圧擬似共振用コンデンサ、 (8)・・・第1の出力整流ダイオード、 (9)・・・第1の出力平滑コンデンサ、 (10)・・・第1の整流平滑回路、 (11,12)・・・第1の直流出力端子(第1の出力端子)、 (13)・・・第1の出力電圧検出回路、 (14)・・・フォトカプラ、 (14a)・・・発光部、 (14b)・・・受光部、 (15)・・・主制御回路、 (18)・・・第2の出力整流ダイオード、 (19)・・・第2の出力平滑コンデンサ、 (20)・・・第2の整流平滑回路(第nの整流平滑回路)、 (21,22)・・・第2の直流出力端子(第nの出力端子)、 (23)・・・チョッパ用MOS-FET、 (24)・・・フライホイールダイオード、 (25)・・・フィルタリアクトル、 (26)・・・フィルタコンデンサ、 (27)・・・降圧チョッパ回路、 (28)・・・チョッパ制御回路、 (29)・・・発振器、 (30)・・・反転器、 (31)・・・第1のデッドタイム付加回路、 (32)・・・レベル変換回路、 (33)・・・ハイサイド側バッファ増幅器、 (34)・・・第2のデッドタイム付加回路、 (35)・・・ローサイド側バッファ増幅器、 (36)・・・励磁用リアクトル、 (41,51)・・・出力制御用MOS-FET(出力制御用スイッチング素子)、 (42,52)・・・出力制御回路、 (43)・・・電圧変動検出回路、 (44)・・・反転器、 (45)・・・第2の出力電圧検出回路、 (46)・・・PWM制御回路、 (47)・・・RSフリップフロップ、 (48)・・・駆動回路、

10

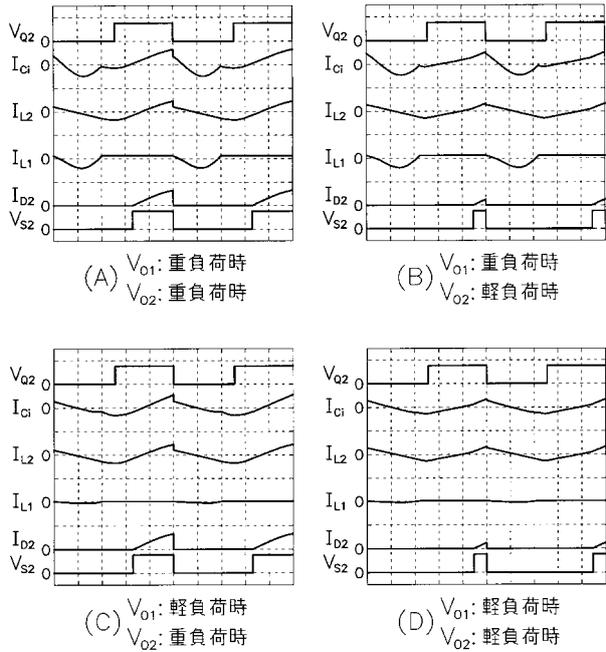
【図1】



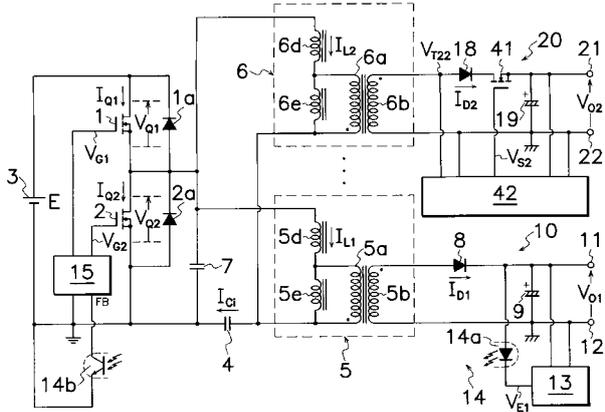
【図2】



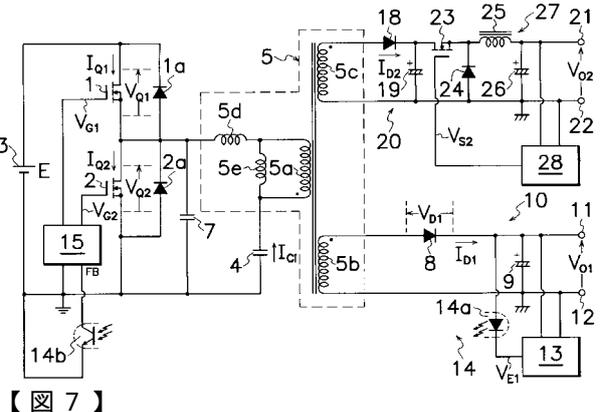
【図3】



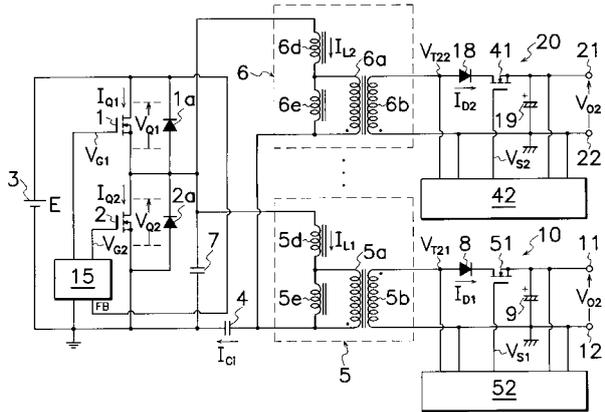
【 図 4 】



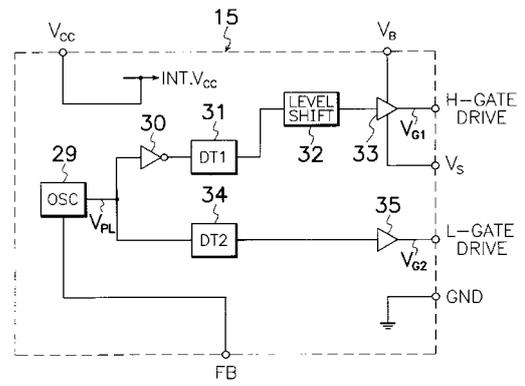
【 図 6 】



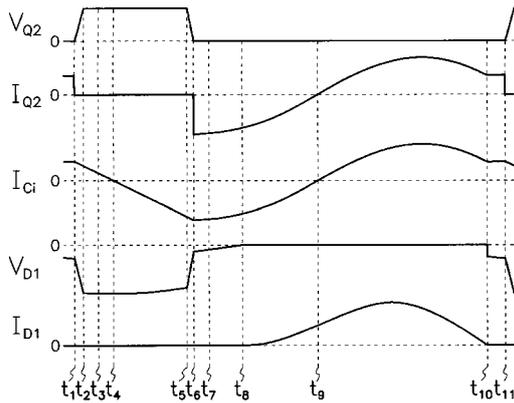
【 図 5 】



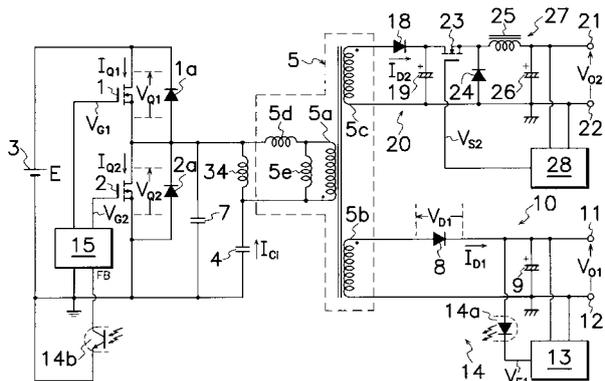
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (56)参考文献 特開2002-058244(JP,A)
国際公開第2006/061924(WO,A1)
特開2002-209382(JP,A)
特開2004-254440(JP,A)
特開平09-322533(JP,A)
国際公開第2007/040227(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/28