



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0032225
(43) 공개일자 2009년04월01일

(51) Int. Cl.

H01L 23/48 (2006.01) H01L 21/60 (2006.01)

(21) 출원번호 10-2007-0097247

(22) 출원일자 2007년09월27일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

강태민

서울 성북구 정릉1동 181-32

(74) 대리인

강성배

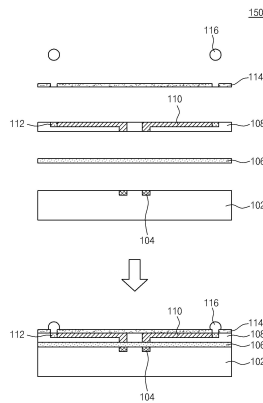
전체 청구항 수 : 총 7 항

(54) 웨이퍼 레벨 칩 스케일 패키지 및 그의 제조방법

(57) 요약

본 발명에 따른 웨이퍼 레벨 칩 스케일 패키지 및 그의 제조방법은, 본딩 패드를 구비한 반도체 칩과, 상기 반도체 칩 상에 부착되며, 일단이 상부 반도체 칩의 본딩 패드와 연결되고 타단부에 볼 랜드가 구비된 재배선을 갖는 제1필름과, 상기 제1필름 상에 부착되며, 상기 재배선의 볼 랜드를 노출시키는 개구부를 갖는 제2필름과, 상기 제2필름의 개구부에 의해 노출된 상기 재배선의 볼 랜드 상에 부착된 외부 접속 단자를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

본딩 패드를 구비한 반도체 칩;

상기 반도체 칩 상에 부착되며, 일단이 상기 반도체 칩의 본딩 패드와 연결되고 타단부에 볼 랜드가 구비된 재배선을 갖는 제1필름;

상기 제1필름 상에 부착되며, 상기 재배선의 볼 랜드를 노출시키는 개구부를 갖는 제2필름; 및

상기 제2필름의 개구부에 의해 노출된 상기 재배선의 볼 랜드 상에 부착된 외부 접속 단자;

를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

청구항 2

제 1 항에 있어서,

상기 반도체 칩과 상기 제1필름 사이에 개재되어 상기 반도체 칩의 본딩 패드와 제1필름의 재배선 간을 선택적으로 연결시키는 이방성 도전 필름(Anisotropic Conductive Film : ACF)을 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

청구항 3

제 1 항에 있어서,

상기 외부 접속 단자는 솔더 볼로 이루어진 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

청구항 4

본딩 패드를 구비한 반도체 칩들로 이루어진 웨이퍼 상에 일단이 상기 반도체 칩의 본딩 패드와 연결되고 타단부에 볼 랜드가 구비된 재배선을 갖는 제1필름을 부착하는 단계;

상기 제1필름 상에 상기 재배선의 볼 랜드를 노출시키는 개구부를 갖는 제2필름을 부착하는 단계;

상기 제2필름의 개구부에 의해 노출된 상기 재배선의 볼 랜드에 외부 접속 단자를 부착하는 단계; 및

상기 외부 접속 단자가 부착된 웨이퍼를 반도체 칩 레벨로 쏘잉하는 단계;

를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조방법.

청구항 5

제 4 항에 있어서,

상기 반도체 칩과 상기 제1필름 사이에, 상기 반도체 칩의 본딩 패드와 제1필름의 재배선 간을 선택적으로 연결시키는 이방성 도전 필름(Anisotropic Conductive Film : ACF)을 형성하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조방법.

청구항 6

제 4 항에 있어서,

상기 외부 접속 단자는 솔더 볼로 형성하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조방법.

청구항 7

제 4 항에 있어서,

상기 제1필름을 부착하는 단계 내지 상기 외부 접속 단자를 부착하는 단계는,

열 압착 방식으로 수행하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조방법.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 웨이퍼 레벨 칩 스케일 패키지 및 그의 제조방법에 관한 것으로, 보다 자세하게는, 패키지의 신뢰성을 향상시키고 아울러, 패키지 제조 공정을 단순화 및 간소화시킬 수 있는 웨이퍼 레벨 칩 스케일 패키지 및 그의 제조방법에 관한 것이다.

배경기술

- <2> 오늘날 전자 산업의 추세는 경량화, 소형화, 고속화, 다기능화, 고성능화되고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 달성을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 조립 기술이다.
- <3> 상기와 같은 패키지 조립 기술은 웨이퍼 조립 공정을 거쳐 집적회로가 형성된 반도체 칩이 외부 환경으로부터의 보호와 용이한 실장 및 동작 신뢰성 확보 등을 위하여 패키지 형태를 갖게 된다.
- <4> 아울러, 최근 개발되어 제안되고 있는 새로운 패키지 형태의 하나가 칩 스케일 패키지(Chip scale package) 또는 칩 사이즈 패키지(Chip size package)이다. 칩 스케일 패키지는 전형적인 플라스틱 패키지에 비하여 많은 장점들을 가지고 있으며, 일반적으로 칩 스케일 패키지는 칩 크기의 1.2배 이내의 패키지 크기를 가진다.
- <5> 한편, 상기와 같은 칩 스케일 패키지가 크기 면에서 절대적인 이점을 가지고 있는 반면, 기존의 플라스틱 패키지에 비하여 신뢰성의 확보가 어렵고, 칩 스케일 패키지의 제조에 추가로 투입되는 제조 설비가 소요되는 원부 자재가 많고 제조 단가가 높아 가격 경쟁력이 떨어진다는 단점이 있다.
- <6> 이와 같은 문제점을 해결하기 위하여 웨이퍼 레벨 칩 스케일 패키지(Wafer level chip scale package)라는 제조 기술이 제안되었다. 이러한 웨이퍼 레벨 칩 스케일 패키지는 개별 반도체 칩으로 분리된 상태에서 조립이 진행되지 않고 웨이퍼 상태에서 재배선 작업과 볼 형태의 외부 접속 단자의 형성 및 개별 반도체 칩 분리 작업을 거쳐 제조된다.
- <7> 이하에서는, 주지된 종래의 웨이퍼 레벨 칩 스케일 패키지의 제조방법에 대해 간략하게 설명하도록 한다.
- <8> 상면에 회로패턴이 형성된 반도체칩 상면 전체에 절연막을 형성하고 포토 공정을 통하여 본딩 패드를 노출시키고, 상기 절연막으로 형성된 반도체칩 상면 일부에 전기적 신호연결을 위하여 메탈층을 증착시킨다.
- <9> 다음으로, 다시 포토 공정을 이용하여 상기 반도체 칩 상에 증착된 메탈층과 볼 랜드를 도금한 후, 상기 메탈층을 식각하여 솔더 범프가 형성될 영역을 노출시키며, 상기 솔더 범프가 형성될 영역과 본딩 패드 간에 전기적으로 연결되도록 재배선층을 형성한다.
- <10> 그런 다음, 상기 솔더 범프가 형성될 영역을 제외한 전 부분에 솔더 마스크를 형성시키고, 상기 노출된 솔더 범프 자리에 솔더를 부착하여 마운팅(mounting)하며, 각각의 패키지로 쏘잉(sawing)하여 웨이퍼 레벨 칩 스케일 패키지를 제조한다.
- <11> 그러나, 자세하게 도시하고 설명하지는 않았지만, 종래의 웨이퍼 레벨 칩 스케일 패키지는, 상기와 같은 여러 단계의 공정을 거쳐 수행하기 때문에 전체 공정 소요 시간이 증가하며, 또한, 공정 자체가 복잡하다는 문제점이 있다.
- <12> 게다가, 본딩 패드와 볼 랜드 간의 전기적인 연결을 하기 위해 상기와 같은 재배선을 형성하기 위해 수행하는 포토 공정에서, 고온 경화 및 화학 작업과 같은 여러 단계의 공정을 거치기 때문에, 그로 인해 후속 공정 수행 후, 전체 패키지의 신뢰성이 저하되게 된다.

발명의 내용

해결하고자하는 과제

- <13> 본 발명은 공정을 간소화시킬 수 있는 웨이퍼 레벨 칩 스케일 패키지 및 그의 제조방법을 제공한다.

<14> 또한, 본 발명은 전체 패키지의 신뢰성을 향상시킬 수 있는 웨이퍼 레벨 칩 스케일 패키지 및 그의 제조방법을 제공한다.

과제 해결수단

<15> 본 발명에 따른 웨이퍼 레벨 칩 스케일 패키지는, 본딩 패드를 구비한 반도체 칩; 상기 반도체 칩 상에 부착되며, 일단이 상기 반도체 칩의 본딩 패드와 연결되고 타단부에 볼 랜드가 구비된 재배선을 갖는 제1필름; 상기 제1필름 상에 부착되며, 상기 재배선의 볼 랜드를 노출시키는 개구부를 갖는 제2필름; 및 상기 제2필름의 개구부에 의해 노출된 상기 재배선의 볼 랜드 상에 부착된 외부 접속 단자;를 포함한다.

<16> 상기 반도체 칩과 상기 제1필름 사이에 개재되어 상기 반도체 칩의 본딩 패드와 제1필름의 재배선 간을 선택적으로 연결시키는 이방성 도전 필름(Anisotropic Conductive Film : ACF)을 더 포함한다.

<17> 상기 외부 접속 단자는 솔더 볼로 이루어진 것을 특징으로 한다.

<18> 또한, 본 발명에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조방법은, 본딩 패드를 구비한 반도체 칩들로 이루어진 웨이퍼 상에 일단이 상기 반도체 칩의 본딩 패드와 연결되고 타단부에 볼 랜드가 구비된 재배선을 갖는 제1필름을 부착하는 단계; 상기 제1필름 상에 상기 재배선의 볼 랜드를 노출시키는 개구부를 갖는 제2필름을 부착하는 단계; 상기 제2필름의 개구부에 의해 노출된 상기 재배선의 볼 랜드에 외부 접속 단자를 부착하는 단계; 및 상기 외부 접속 단자가 부착된 웨이퍼를 반도체 칩 레벨로 쏘잉하는 단계;를 포함한다.

<19> 상기 반도체 칩과 상기 제1필름 사이에, 상기 반도체 칩의 본딩 패드와 제1필름의 재배선 간을 선택적으로 연결시키는 이방성 도전 필름(Anisotropic Conductive Film : ACF)을 형성한다.

<20> 상기 외부 접속 단자는 솔더 볼로 형성한다.

<21> 상기 제1필름을 부착하는 단계 내지 상기 외부 접속 단자를 부착하는 단계는, 열 압착 방식으로 수행한다.

효과

<22> 본 발명은, 웨이퍼 상에 이방성 전도 필름과 금속 필름 및 솔더 마스크를 차례로 부착하여 웨이퍼 레벨 칩 스케일 패키지를 형성함으로써, 그에 따른 웨이퍼 레벨 칩 스케일 패키지를 형성하기 위한 여러 단계의 공정을 감소시킬 수 있으므로, 웨이퍼 레벨 칩 스케일 패키지의 공정을 단순화 및 간소화시킬 수 있다.

<23> 또한, 본 발명은 상기와 같이 웨이퍼의 반도체 칩 상에서 재배선을 형성하지 않음으로써, 종래의 웨이퍼 레벨 칩 스케일 패키지의 재배선을 형성하기 위한 포토 공정에서의 고온 경화 및 화학 용액에 의한 반도체 칩의 데미지(Damage)를 방지할 수 있어, 그에 따른 전체 패키지의 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<24> 본 발명은, 반도체 칩으로 이루어진 웨이퍼 상에 이방성 전도 필름과 배선 패턴이 형성된 금속 필름 및 솔더 마스크를 차례로 부착하여 재배선을 형성하고, 상기 공정에 의해 형성된 재배선의 볼 랜드에 외부 접속 단자를 부착하여 웨이퍼 레벨 칩 스케일 패키지를 형성한다.

<25> 이렇게 하면, 웨이퍼의 반도체 칩 상에서 포토 공정, 도금 공정 및 화학 용액을 이용한 제거 공정 등을 수행하여 형성하는 종래의 웨이퍼 레벨 칩 스케일 패키지의 제조방법과 달리, 상기와 같이 웨이퍼 상에 이방성 전도 필름 배선과 패턴이 형성된 금속 필름 및 솔더 마스크와 같은 필름들을 차례로 부착하여 재배선을 형성하고 웨이퍼 레벨 칩 스케일 패키지를 형성함으로써, 그에 따른 웨이퍼 레벨 칩 스케일 패키지를 형성하기 위한 공정을 단순화 및 간소화시킬 수 있다.

<26> 또한, 상기와 같이 웨이퍼의 반도체 칩 상에서 재배선을 형성하지 않고, 공정이 수행된 필름들을 차례로 부착하여 재배선을 형성함으로써, 종래의 웨이퍼 레벨 칩 스케일 패키지에서 재배선을 형성하기 위한 포토 공정의 고온 경화 및 화학 용액에 의한 반도체 칩의 데미지(Damage)를 방지할 수 있으므로, 그에 따른 전체 패키지의 신뢰성을 향상시킬 수 있다.

<27> 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<28> 도 1은 본 발명의 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 설명하기 위한 단면도로서, 이를 설명하면 다음과 같다.

- <29> 도시된 바와 같이, 본 발명의 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지(150)는, 다수의 본딩 패드(104)를 구비한 반도체 칩(102)과 상기 반도체 칩(102) 상에, 일단이 상비 반도체 칩(102)의 본딩 패드(104)와 연결되고 타단부에 볼 랜드(112)가 구비된 재배선(110)을 갖는 제1필름(108)이 부착된다.
- <30> 이때, 상기 반도체 칩(102)과 상기 제1필름(108) 사이에는 상기 반도체 칩(102)의 본딩 패드(112)와 제1필름(108)의 재배선(110) 간을 전기적으로 연결시키는 이방성 도전 필름(Anisotropic Conductive Film : ACF : 106)이 개재되어 부착된다.
- <31> 또한, 상기 제1필름(108) 상에는 상기 재배선(110)의 볼 랜드(112)를 노출시키며, 개구부를 갖는 솔더 마스크스와 같은 제2필름(114)이 부착되고, 상기 제2필름(114)의 개구부에 의해 노출된 상기 재배선(110)의 볼 랜드(112) 상에는 솔더 볼과 같은 다수의 외부 접속 단자(116)가 부착된다.
- <32> 여기서, 본 발명은 상기와 같이 다수의 반도체 칩들로 이루어진 웨이퍼 상에 이방성 전도 필름과 배선 패턴이 형성된 금속 필름 및 솔더 마스크가 차례로 부착되어 재배선이 형성되고, 재배선의 볼 랜드에 외부 접속 단자가 부착되어 웨이퍼 레벨 칩 스케일 패키지가 형성됨으로써, 웨이퍼 레벨 칩 스케일 패키지의 공정을 단순화 및 간소화시킬 수 있다.
- <33> 또한, 상기와 같이 웨이퍼의 반도체 칩 상에서 재배선이 형성되지 않음으로써, 종래의 포토 공정에서의 고온 경화 및 화학 용액에 의한 반도체 칩의 데미지(Damage)를 방지할 수 있으므로, 그에 따른 전체 패키지의 신뢰성을 향상시킬 수 있다.
- <34> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.
- <35> 도 2a를 참조하면, 일면에 다수의 본딩 패드(104)를 구비한 다수의 반도체 칩(102)들로 이루어진 웨이퍼(100)를 마련한다.
- <36> 도 2b를 참조하면, 상기와 같이 마련된 웨이퍼(100)의 전면 상에 이방성 도전 필름을 부착한다. 여기서, 상기 이방성 도전 필름(106)을 웨이퍼(100) 상에의 부착은 열 압착 방식을 이용하여 부착하는 것이 바람직하다.
- <37> 도 2c를 참조하면, 상기 이방성 도전 필름(106)이 부착된 웨이퍼(100) 상에 배선 패턴(110) 및 볼 랜드(112)가 형성된 제1필름(108)을 부착한다. 이때, 상기 배선 패턴(110) 및 볼 랜드(112)가 형성된 제1필름(108)을 웨이퍼(100) 상에의 부착은 상기 반도체 칩(102)의 본딩 패드(104)와 상기 금속 필름(108)의 배선 패턴(100)간이 서로 대응되어 전기적으로 연결되도록 부착한다. 상기 금속 필름(108)의 부착은 열 압착 방식을 이용한다.
- <38> 도 2d를 참조하면, 상기 배선 패턴(110) 및 볼 랜드(112)를 포함한 금속 필름(108)이 부착된 웨이퍼(100)의 상기 제1필름(108) 전면 상에 상기 볼 랜드(112) 만을 노출시키는 솔더 마스크와 같은 제2필름(114)을 열 압착 방식으로 부착한다.
- <39> 도 2e를 참조하면, 상기 제2필름(114)에 노출된 상기 제1필름(108)의 볼 랜드에 솔더 볼과 같은 외부 접속 단자(116)를 다수 개 부착한다.
- <40> 이후, 도시하지는 않았지만, 상기 솔더 볼과 같은 외부 접속 단자가 부착된 반도체 칩으로 이루어진 웨이퍼를 반도체 칩 레벨로 쏘잉하여 본 발명의 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 완성한다.
- <41> 전술한 바와 같이 본 발명은, 웨이퍼 상에 이방성 전도 필름과 배선 패턴이 형성된 금속 필름 및 솔더 마스크를 차례로 부착하여 재배선을 형성하고, 상기 공정에 의해 형성된 재배선의 볼 랜드에 외부 접속 단자를 부착하여 웨이퍼 레벨 칩 스케일 패키지를 형성함으로써, 그에 따른 웨이퍼 레벨 칩 스케일 패키지를 형성하기 위한 공정을 감소시켜 웨이퍼 레벨 칩 스케일 패키지의 공정을 단순화 및 간소화시킬 수 있다.
- <42> 또한, 상기와 같이 웨이퍼의 반도체 칩 상에서 재배선을 형성하지 않음으로써, 종래의 웨이퍼 레벨 칩 스케일 패키지의 재배선을 형성하기 위한 포토 공정에서의 고온 경화 및 화학 용액에 의한 반도체 칩의 데미지(Damage)를 방지할 수 있으므로, 그에 따른 전체 패키지의 신뢰성을 향상시킬 수 있다.
- <43> 이상, 전술한 본 발명의 실시예들에서는 특정 실시예에 관련하고 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

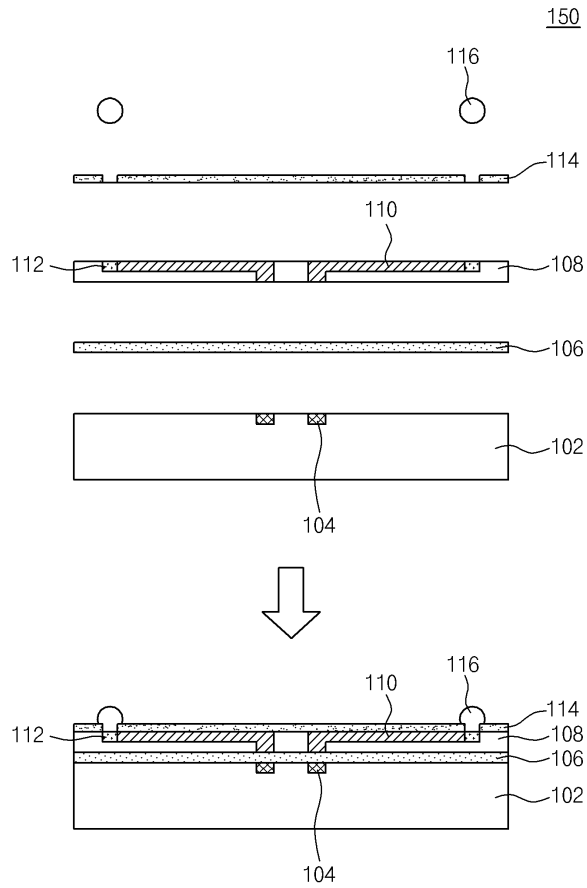
도면의 간단한 설명

<44> 도 1은 본 발명의 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 설명하기 위한 단면도.

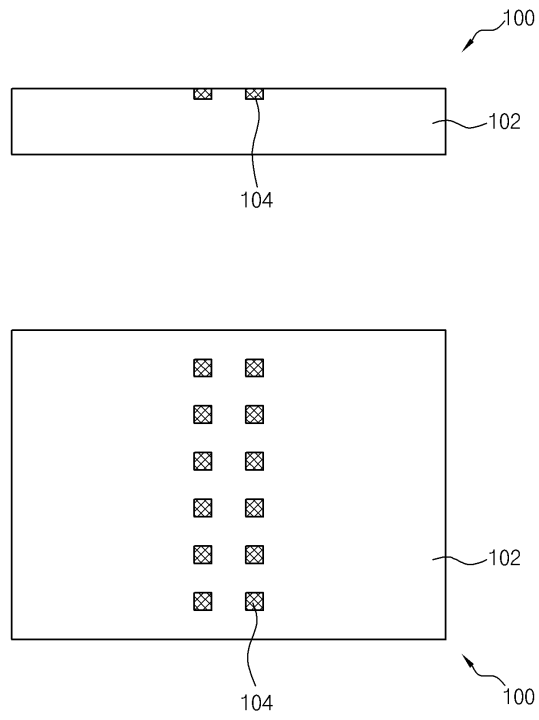
<45> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조방법을 설명하기 위한 공정별 단면도.

도면

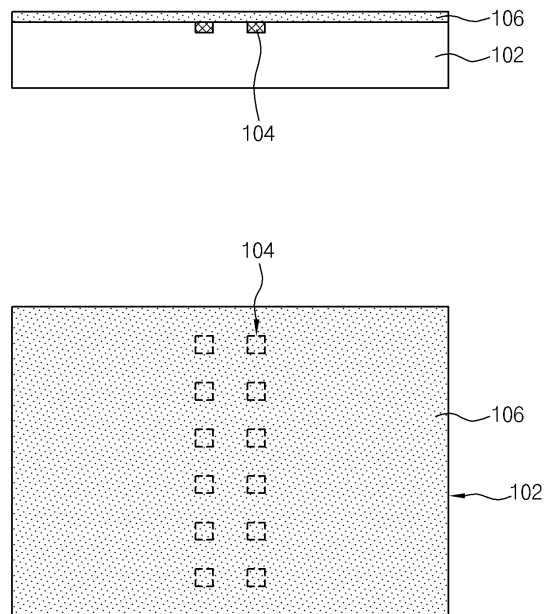
도면1



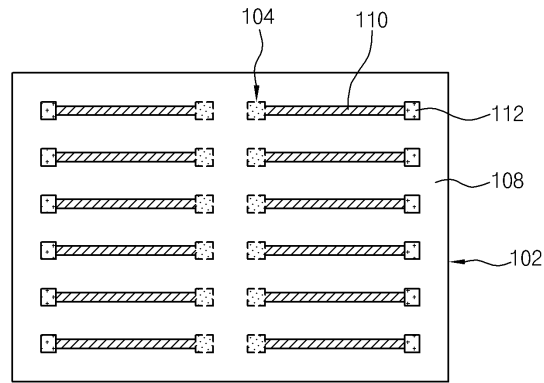
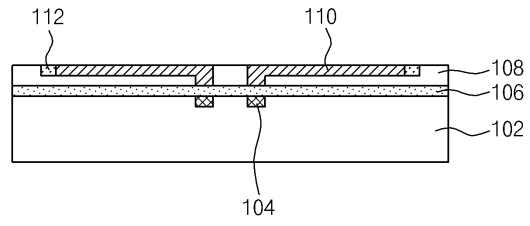
도면2a



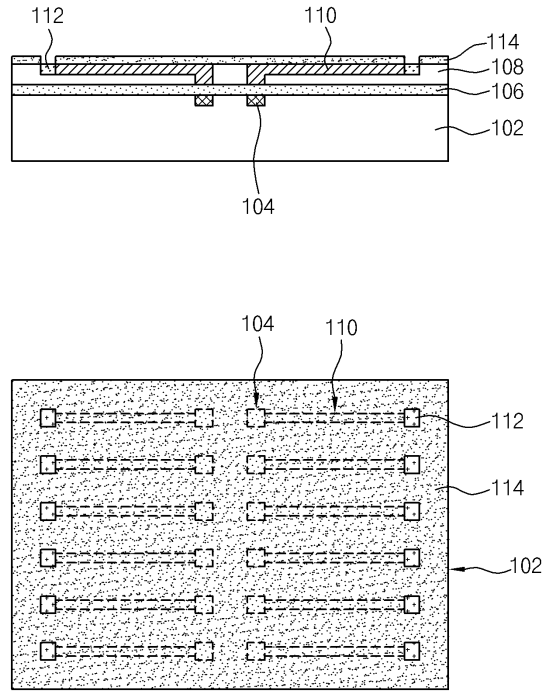
도면2b



도면2c



도면2d



도면2e

150

