

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-87229

(P2010-87229A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3 1 1 S	5 F 0 4 4
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 F	

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2008-254412 (P2008-254412)  
 (22) 出願日 平成20年9月30日 (2008. 9. 30)

(71) 出願人 000001889  
 三洋電機株式会社  
 大阪府守口市京阪本通2丁目5番5号  
 (74) 代理人 100131071  
 弁理士 ▲角▼谷 浩  
 (72) 発明者 岡山 芳央  
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
 (72) 発明者 中里 真弓  
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
 Fターム(参考) 5F044 KK01 KK19 LL11 QQ02 QQ03 QQ04

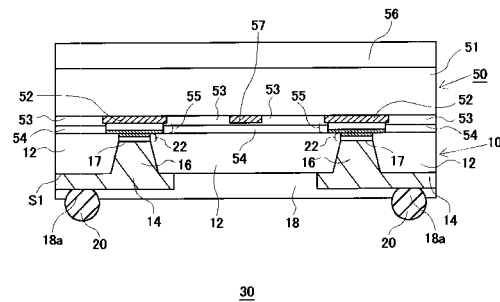
(54) 【発明の名称】 半導体モジュール、半導体モジュールの製造方法および携帯機器

(57) 【要約】

【課題】半導体素子に設けられた電極と突起電極との接続信頼性を向上させる。

【解決手段】半導体モジュール30は、素子搭載用基板10およびこれに搭載された半導体素子50を備える。素子搭載用基板10は、絶縁樹脂層12と、絶縁樹脂層12の一方の主表面S1に設けられた配線層14と、配線層14と電気的に接続され、配線層14から絶縁樹脂層12側に突出している突起電極16とを備える。半導体素子50は、半導体基板51と突起電極16のそれぞれに対向する素子電極52とを有する。素子電極52の上に設けられた金属層55の表面が凹凸形状を有するので、絶縁樹脂層12との接着性が向上する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板に形成された半導体素子と、  
前記半導体素子を絶縁層を介して搭載した素子搭載用基板とを備え、  
前記半導体素子の素子電極は、複数の金属層からなり、それらの金属層のうち、最も前記半導体基板から遠い金属層の表面の凹凸の深さが、前記複数の金属層のうちの他の金属層の表面の凹凸の深さよりも深く、前記絶縁層が素子電極の凹凸形状と接していることを特徴とする半導体モジュール。

## 【請求項 2】

前記素子搭載用基板は、絶縁層と、前記絶縁層の一方の主表面に設けられた配線層と、  
前記配線層と電氣的に接続されるとともに、前記配線層から前記絶縁層とは反対側に突出した突起電極と、を備え、  
前記突起電極と前記半導体素子の素子電極とが電氣的に接続されており、前記絶縁層が前記素子電極の凹凸形状と接していることを特徴とする請求項 1 に記載の半導体モジュール。

10

## 【請求項 3】

前記素子電極が Ni / Au 層を含むことを特徴とする請求項 1 または 2 に記載の半導体モジュール。

## 【請求項 4】

前記配線層および突起電極は一体的に形成されていることを特徴とする請求項 2 または 3 に記載の半導体モジュール。

20

## 【請求項 5】

前記突起電極の頂部面に Ni / Au 層が設けられていることを特徴とする請求項 2 乃至 3 のうちいずれか 1 項に記載の半導体モジュール。

## 【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体モジュールを搭載することを特徴とする携帯機器。

## 【請求項 7】

半導体基板に形成された素子電極は複数の金属層からなっており、それらの金属層のうち、最も前記半導体基板から遠い金属層の表面の凹凸深さが、前記複数の金属層のうちの他の金属層の表面の凹凸の深さよりも深い半導体素子を用意する工程と、

30

複数の突起電極が突設された金属板を準備する工程と、

前記突起電極が絶縁樹脂層側に向くようにして前記金属板を絶縁樹脂層の一方の主表面に配置するとともに前記突起電極を前記絶縁樹脂層に貫通させて前記絶縁樹脂層の他方の主表面から露出させる工程と、

前記素子電極が設けられた前記半導体素子を前記絶縁樹脂層の他方の主表面に配置し、前記突起電極とこれに対応する素子電極とを電氣的に接続させる工程と、

前記金属板を選択的に除去して配線層を形成する工程と、

を備えることを特徴とする半導体モジュールの製造方法。

## 【発明の詳細な説明】

40

## 【技術分野】

## 【0001】

本発明は、半導体素子が搭載された半導体モジュール、半導体モジュールの製造方法および携帯機器に関する。

## 【背景技術】

## 【0002】

近年、電子機器の小型化、高機能化に伴い、電子機器に使用される半導体素子のさらなる小型化が求められている。半導体素子の小型化に伴い、配線基板に実装するための電極間の狭ピッチ化が不可欠となっている。半導体素子の表面実装方法として、半導体素子の電極にはんだボールを形成し、はんだボールと配線基板の電極パッドとをはんだ付けするフ

50

リップチップ実装方法が知られている。フリップチップ実装方法では、はんだボール自体の大きさや、はんだ付け時のブリッジ発生などが制約となり、電極の狭ピッチ化に限界があった。このような限界を克服するための構造として、基材をハーフエッチすることによって形成した突起構造を電極またはビアとし、基材にエポキシ樹脂などの絶縁樹脂を介して半導体素子を装着し、突起構造に半導体素子の電極を接続する構造が知られている（特許文献1および特許文献2参照）。

【0003】

一方、特許文献3には、絶縁層に形成された開口部に露出している電極が設けられた半導体素子が開示されている。この半導体素子では、電極の周囲に絶縁層の側壁が位置している。

10

【特許文献1】特開平9-289264号公報

【特許文献2】特開2000-68641号公報

【特許文献3】特開2001-7252号公報

【特許文献4】特開2000-156378号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献4には金属からなる配線層と絶縁性樹脂との密着性不良を解決するために、配線層として導電性樹脂層内に金属粉を混合した導電性樹脂層を用いる技術が開示されているが、半導体基板に形成された素子電極と絶縁性樹脂層との密着性は低いという課題があった。

20

【0005】

本発明はこうした課題に鑑みてなされたものであり、その目的は、半導体素子に設けられた電極と突起電極との接続信頼性を向上させる技術の提供にある。

【課題を解決するための手段】

【0006】

本発明のある態様は、半導体モジュールである。当該半導体モジュールは、半導体基板に形成された半導体素子と、前記半導体素子を絶縁層を介して搭載した素子搭載用基板とを備え、前記半導体素子の素子電極は、複数の金属層からなり、それらの金属層のうち、最も前記半導体基板から遠い金属層の表面の凹凸の深さが、前記複数の金属層のうちの他の金属層の表面の凹凸の深さよりも深く、前記絶縁層が素子電極の凹凸形状と接していることを特徴とする。

30

【0007】

また、前記素子搭載用基板は、絶縁層と、前記絶縁層の一方の主表面に設けられた配線層と、前記配線層と電氣的に接続されるとともに、前記配線層から前記絶縁層とは反対側に突出した突起電極と、を備え、前記突起電極と前記半導体素子の素子電極とが電氣的に接続されており、前記絶縁層が前記素子電極の凹凸形状と接していることを特徴とする請求項1に記載の半導体モジュール。

【0008】

この態様によれば、素子電極の表面に形成された凹凸形状に絶縁層が入り込むので、絶縁層と素子電極との剥離を防止できるとともに、素子電極と突起電極との電氣的接続も向上させることができる。

40

【0009】

この態様の半導体素子において、素子電極がNi/Au層を含んでもよい。

【0010】

この態様の半導体モジュールにおいて、配線層および突起電極は一体的に形成されていてもよい。また、突起電極の頂部面にNi/Au層が設けられていてもよい。

【0011】

本発明のさらに他の態様は、携帯機器である。当該携帯機器は、上述したいずれかの半導体モジュールを搭載することを特徴とする。

50

## 【0012】

本発明のさらに他の態様は、半導体モジュールの製造方法である。当該半導体モジュールの製造方法は、半導体基板に形成された素子電極は複数の金属層からなっており、それらの金属層のうち、最も前記半導体基板から遠い金属層の表面の凹凸深さが、前記複数の金属層のうちの他の金属層の表面の凹凸の深さよりも深い半導体素子を用意する工程と、複数の突起電極が突設された金属板を準備する工程と、前記突起電極が絶縁樹脂層側に向くようにして前記金属板を絶縁樹脂層の一方の主表面に配置するとともに前記突起電極を前記絶縁樹脂層に貫通させて前記絶縁樹脂層の他方の主表面から露出させる工程と、前記素子電極が設けられた前記半導体素子を前記絶縁樹脂層の他方の主表面に配置し、前記突起電極とこれに対応する素子電極とを電氣的に接続させる工程と、前記金属板を選択的に除去して配線層を形成する工程と、を備えることを特徴とする。

10

## 【0013】

なお、上述した各要素を適宜組み合わせたものも、本件特許出願によって特許による保護を求める発明の範囲に含まれる。

## 【発明の効果】

## 【0014】

本発明によれば、素子搭載用基板側に設けられた突起電極と半導体素子に設けられた素子電極との接続信頼性を向上させることができる。

## 【発明を実施するための最良の形態】

## 【0015】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

20

## (実施の形態)

図1は、実施の形態に係る半導体素子50および半導体モジュール30の構造を示す断面図である。半導体モジュール30は、素子搭載用基板10およびこれに搭載された半導体素子50を備える。

## 【0016】

素子搭載用基板10は、絶縁樹脂層12と、絶縁樹脂層12の一方の主表面S1に設けられた配線層14と、配線層14と電氣的に接続され、配線層14から絶縁樹脂層12側に突出している突起電極16とを備える。

30

## 【0017】

絶縁樹脂層12は、絶縁性の樹脂からなり、たとえば加圧したときに塑性流動を引き起こす材料で形成されている。加圧したときに塑性流動を引き起こす材料としては、エポキシ系熱硬化型樹脂が挙げられる。絶縁樹脂層12に用いられるエポキシ系熱硬化型樹脂は、たとえば、温度160、圧力8Mpaの条件下で、粘度が1kPa・sの特性を有する材料であればよい。また、このエポキシ系熱硬化型樹脂は、たとえば温度160の条件下で、5~15Mpaで加圧した場合に、加圧しない場合と比較して、樹脂の粘度が約1/8に低下する。これに対して、熱硬化前のBステージのエポキシ樹脂は、ガラス転移温度Tg以下の条件下では、樹脂を加圧しない場合と同程度に、粘性がなく、加圧しても粘性は生じない。また、このエポキシ系熱硬化型樹脂は、約3~4の誘電率を有する誘電体である。

40

## 【0018】

配線層14は、絶縁樹脂層12の一方の主表面S1に設けられており、導電材料、好ましくは圧延金属、さらには圧延銅により形成される。あるいは電解銅などで形成してもよい。配線層14には、絶縁樹脂層12側に突起電極16が突設されている。本実施の形態においては、配線層14と突起電極16とは一体的に形成されており、それにより配線層14と突起電極16との接続が確実になっている。そのため、素子電極52に電氣的に接

50

続する際に配線層 14 の圧着時に同時に実施することができることから工程が増大しないという効果を奏することができる。ただし、本発明は配線層 14 と突起電極 16 とが一体的に形成された構造に限定されない。配線層 14 の絶縁樹脂層 12 と反対側の主表面には、配線層 14 の酸化などを防ぐための保護層 18 が設けられている。保護層 18 としては、ソルダーレジスト層などが挙げられる。保護層 18 の所定の領域には開口部 18a が形成されており、開口部 18a によって配線層 14 の一部が露出している。開口部 18a 内には外部接続電極としてのはんだボール 20 が形成され、はんだボール 20 と配線層 14 とが電氣的に接続されている。はんだボール 20 を形成する位置、すなわち開口部 18a の形成領域は、たとえば再配線で引き回した先の端部である。

【0019】

突起電極 16 はその全体的な形状が、先端に近づくにつれて径が細くなっている。言い換えると、突起電極 16 の側面はテーパ状となっている。突起電極 16 の頂部面 17 に金属層 22 が設けられている。金属層 22 として、Ni/Auめっき層が好適である。

【0020】

上述の構成を備えた素子搭載用基板 10 に半導体素子 50 が搭載されて半導体モジュール 30 が形成されている。本実施の形態の半導体モジュール 30 は、素子搭載用基板 10 の突起電極 16 と、半導体素子 50 の素子電極 52 とが金属層 22 および金属層 55 を介して電氣的に接続された構造である。

【0021】

半導体素子 50 は、半導体基板 51 と突起電極 16 のそれぞれに対向する素子電極 52 とを有する。絶縁樹脂層 12 に接する側の半導体素子 50 の主表面には、素子電極 52 が露出するように開口が設けられた絶縁層 53 および保護層 54 が積層されている。素子電極 52 の表面には、金属層 55 が被覆されている。半導体基板 51 の所定箇所にアライメントマーク 57 が設けられている。アライメントマーク 57 は光学的に視認可能であれば、本実施の形態のように絶縁層 53 に被覆されていてもよく、別の形態では、絶縁層 53 および保護層 54 の開口部に設けられていてもよい。また、半導体基板 51 の裏面には、絶縁層 56 が設けられている。なお、素子電極 52 と金属層 55 とを合わせて素子電極と呼ぶことがある。

【0022】

本実施の形態では、金属層 55 (素子電極)の表面が凹凸形状であり、その凹凸形状に絶縁樹脂層 12 が接している。

【0023】

半導体素子 50 の具体例としては、集積回路 (IC)、大規模集積回路 (LSI) などの半導体チップが挙げられる。絶縁層 53 の具体例としては、SiN膜が挙げられる。保護層 54 の具体例としては、ポリイミド層が挙げられる。また、素子電極 52 には、たとえばアルミニウム (Al) が用いられる。金属層 55 として、Ni/Auめっき層が好適である。絶縁層 56 の具体例としては、エポキシ樹脂膜が挙げられる。

【0024】

ここで、素子電極表面に形成する凹凸形状について説明する。

【0025】

図 10 及び図 11 に、素子電極に近い方から順に、ニッケル (Ni)、金 (Au) の金属層 55 を積層した状態の素子電極 52 の表面の状態を示す。

【0026】

図 10 (A) は、金属層 55 の表面にプラズマ処理を施していない表面状態を示す AFM 像であり、図 10 (B)、図 11 (A) 及び図 11 (B) は、金属層 55 の表面にプラズマ処理を施したアルゴン (Ar) プラズマ処理を施した表面状態を示す AFM 像である。

【0027】

それぞれのプラズマ処理の条件は、図 10 (B) はプラズマ処理時間 5 分間で表面粗さが 2.1 nm で、図 11 (A) はプラズマ処理時間 10 分間で表面粗さが 2.5 nm で、

10

20

30

40

50

図 1 1 ( B ) はプラズマ処理時間 1 5 分間で表面粗さは 4 . 8 n m である。なお、表面粗さは、任意の断面における中央線における平均粗さをいう。

【 0 0 2 8 】

金属層 5 5 の表面のプラズマ処理を施していない図 1 0 ( A ) に示す表面状態に比べ、プラズマ処理を施した金属層 5 5 の表面の方が粗さが増していることがわかる。

【 0 0 2 9 】

図 1 2 ( A ) にプラズマ処理を施していない金属層 5 5 を含む断面写真を示し、図 1 2 ( B ) にプラズマ処理を施した金属層 5 5 を含む断面写真を示す。

【 0 0 3 0 】

同図に示すように、プラズマ処理を施していない A u の表面に比べて、プラズマ処理を施した A u の表面の方が凹凸が大きくなっていることがわかる。また、最表面の A u 膜の表面の表面粗さに比べて、その A u 膜の下層の N i 膜の表面の表面粗さの方が大きいこともわかる。金属層 5 5 と密着する層として突起電極 1 6 と絶縁層 1 2 があるが、金属層 5 5 の最表面の表面粗さが大きいことにより、突起電極 1 6 との電気的接続が向上するとともに、荒れた表面に絶縁樹脂が入り込むことにより絶縁樹脂との密着性が向上できる。

10

【 0 0 3 1 】

以下に、金属層表面の凹凸による密着強度の評価について説明する。

【 0 0 3 2 】

図 1 3 に密着強度の評価方法について示し、図 1 4 にその表面粗さ R a と密着強度との関係を表すグラフを示す。

20

【 0 0 3 3 】

密着強度の評価は、シリコン基板上に、N i 膜、A u 膜、絶縁樹脂を順に積層し、スタッドパンを絶縁樹脂の表面に形成しておき、その後スタッドパンを上を引っ張り、絶縁樹脂と A u 膜とが剥離したときの力を単位面積当たりの力に換算することにより密着強度を測定する。

【 0 0 3 4 】

その結果を示した図 1 4 は、横軸の表面粗さと、縦軸の密着強度との関係を示している。同図に示すように、表面粗さが 2 n m ~ 2 . 5 n m のときに最も密着強度が高いことがわかる。

【 0 0 3 5 】

( 半導体素子および半導体モジュールの製造方法 )

ここで、半導体素子および半導体モジュールの製造方法について説明する。

30

【 0 0 3 6 】

図 2 ( A ) ~ ( C ) は、半導体素子の形成方法を示す工程断面図である。

【 0 0 3 7 】

まず、図 2 ( A ) に示すように、素子電極の一部を構成する素子電極 5 2 が設けられた半導体基板 5 1 を用意する。半導体基板 5 1 はたとえば、S i 基板であり、集積回路 ( I C )、大規模集積回路 ( L S I ) などが形成されている。素子電極 5 2 は、たとえば A l をパターニングすることにより形成することができる。また、半導体基板 5 1 の所定位置にアライメントマーク 5 7 が設けられている。アライメントマーク 5 7 は、たとえば、素子電極 5 2 用の A l をパターニングする際に同時に形成することができる。すなわち、この場合のアライメントマーク 5 7 は A l で形成される。ただし、アライメントマーク 5 7 は光学的に視認できればよく、他の材料または工程によって形成されてもよい。

40

【 0 0 3 8 】

次に、図 2 ( B ) に示すように、素子電極 5 2 の周囲の半導体基板 5 1 の表面を被覆するように、フォトリソ法を用いて絶縁層 5 3 および保護層 5 4 を形成する。絶縁層 5 3 として、たとえば窒化シリコン ( S i N ) を用いることができる。また、保護層 5 4 として、たとえばポリイミドを用いることができる。

【 0 0 3 9 】

次に、図 2 ( C ) に示すように、無電解めっき法により素子電極 5 2 の上に N i / A u

50

めっき層からなる金属層 55 を形成する。

【0040】

ここで、金属層 55 の表面が凹凸形状になるように、金属層 55 の表面に対してプラズマ処理を行う。具体的には、例えばアルゴンガス (Ar) によるプラズマを 10 分間行う。そうすることにより、素子電極 52、即ち金属層 55 の表面に約 2.5 nm の凹凸形状が形成できる。

以上の工程により、半導体素子 50 が形成される。

【0041】

図 3 (A) ~ (D) は、突起電極の形成方法を示す工程断面図である。

【0042】

図 3 (A) に示すように、図 1 に示したような突起電極 16 の高さと同配線層 14 の高さとの和より少なくとも大きい厚さを有する金属板としての銅板 13 を用意する。銅板 13 の厚さは、たとえば 125 μm である。

【0043】

次に、図 3 (B) に示すように、リソグラフィ法により、突起電極 16 の形成予定領域に対応したパターンに合わせてレジスト 70 を選択的に形成する。具体的には、ラミネーター装置を用いて銅板 13 に所定膜厚のレジスト膜を貼り付け、突起電極 16 のパターンを有するフォトリソマスクを用いて露光した後、現像することによって、銅板 13 の上にレジスト 70 が選択的に形成される。なお、レジストとの密着性向上のために、レジスト膜のラミネート前に、銅板 13 の表面に研磨、洗浄等の前処理を必要に応じて施すことが望ましい。

【0044】

次に、図 3 (C) に示すように、レジスト 70 をマスクとして、銅板 13 に所定のパターンの突起電極 16 を形成する。

【0045】

次に、図 3 (D) に示すように、レジスト 70 を剥離剤を用いて剥離する。以上説明した工程により、銅板 13 に突起電極 16 が形成される。本実施形態の突起電極 16 における基底部の径、頂部の径、高さは、たとえばそれぞれ、100 ~ 140 μm、50 μm、20 ~ 25 μm である。

【0046】

図 4 (A) ~ (D) は、突起電極の頂部面に金属層を形成する方法を示す工程断面図である。

【0047】

図 4 (A) に示すように、ラミネート装置を用いて、突起電極 16 が設けられた側の銅板 13 の表面に耐金レジスト 60 を積層する。

【0048】

次に、図 4 (B) に示すように、O<sub>2</sub> プラズマエッチングを用いて、突起電極 16 の頂部面 17 が露出するように耐金レジスト 60 を薄膜化する。

【0049】

次に、図 4 (C) に示すように、無電解めっき法を用いて、突起電極 16 の頂部面 17 に Ni/Au 層からなる金属層 22 を形成した後、耐金レジスト 60 を除去する。

【0050】

次に、図 4 (D) に示すように、突起電極 16 が設けられた側と反対側の銅板 13 の表面をエッチバックすることにより銅板 13 を薄膜化した後、レジスト (図示せず) を用いて銅板 13 の所定領域をエッチングすることによりアライメントマークとなる凹部 62 を形成する。

【0051】

図 5 (A) ~ (B) は、突起電極の頭出し方法を示す工程断面図である。

【0052】

図 5 (A) に示すように、真空ラミネート法を用いて、突起電極 16 が設けられた側の

10

20

30

40

50

銅板 13 の表面に絶縁樹脂層 12 を積層する。絶縁樹脂層 12 としては、たとえば、エポキシ系熱硬化型樹脂を用いることができる。

【0053】

次に、図 5 (B) に示すように、 $O_2$  プラズマエッチングを用いて、突起電極 16 の頂部面 17 に設けられた金属層 22 が露出するように絶縁樹脂層 12 を薄膜化する。本実施の形態では、金属層 22 の表面として Au が露出する。

【0054】

図 6 (A) ~ (C) は、半導体素子と突起電極が設けられた基板 (素子搭載用基板) との貼り合わせ方法を示す工程断面図である。

【0055】

図 6 (A) に示すように、アライメント装置などを用いて、銅板 13 に設けられた凹部 62 と半導体基板 51 に設けられたアライメントマーク 57 とを位置合わせする。

【0056】

次に、図 6 (B) に示すように、銅板 13 の中央部分 (凹部 62 が設けられた領域) において、絶縁樹脂層 12 と半導体素子 50 とを仮接着する。

【0057】

次に、図 6 (C) に示すように、半導体素子 50 の裏面に銅箔 72 付きの絶縁層 56 を貼り合わせつつ、絶縁樹脂層 12 および金属層 22 と半導体素子 50 とを真空圧着により貼り合わせる。本実施の形態では、素子搭載用基板 10 側の突起電極 16 に設けられた金属層 22 と半導体素子 50 側の素子電極 52 に設けられた金属層 55 との間で金 - 金接合が生じる。

【0058】

また、金属層 55 の表面に凹凸形状を設けていることから、絶縁樹脂層 12 と接する領域においては、その凹凸部分に絶縁樹脂層 12 が入り込んで密着性が高まるとともに、金属層 22 と電氣的に接続される領域においては、金属層 22 との接続が確実にできるのである。

【0059】

また、半導体素子 50 の裏面に銅箔 72 付きの絶縁層 56 を貼り合わせておくことにより、銅板 13 による反りが銅箔 72 の反りによって相殺されるため、全体として反りの発生を抑制することができる。銅箔 72 の厚さは、銅板 13 の厚さと同等であることが望ましい。

【0060】

図 7 (A) ~ (B) は、再配線加工を示す工程断面図である。

【0061】

図 7 (A) に示すように、フォトリソグラフィ法およびエッチング法を用いて銅板 13 を選択的に除去することにより、配線層 14 (再配線層ともいう) を形成する。

【0062】

次に、図 7 (B) に示すように、配線層 14 および絶縁樹脂層 12 の上に保護層 (フォトリソグラーレジスト層) 18 を積層した後、フォトリソグラフィ法により保護層 18 の所定領域 (はんだボール搭載領域) に開口を設け、この開口部分にスクリーン印刷法によりはんだボール 20 を搭載する。

【0063】

以上の工程により、実施の形態に係る半導体モジュール 30 を製造することができる。なお、以上の工程をウエハレベルで行う場合には、ダイシングにより個片化を行う。

【0064】

また、半導体素子 50 側の素子電極 52 と突起電極 16 との接続信頼性が向上するため、半導体モジュール 30 の信頼性が向上する。また、半導体モジュール 30 の製造歩留まりを向上させることができ、ひいては、半導体モジュール 30 の製造コストを低減することができる。

【0065】

10

20

30

40

50



(実施の形態 2)

次に、本発明の半導体モジュールを備えた携帯機器について説明する。なお、携帯機器として携帯電話に搭載する例を示すが、たとえば、個人用携帯情報端末(PDA)、デジタルビデオカメラ(DVC)、及びデジタルスチルカメラ(DSC)といった電子機器であってもよい。

【0066】

図8は本発明の実施の形態に係る半導体モジュール30を備えた携帯電話の構成を示す図である。携帯電話111は、第1の筐体112と第2の筐体114が可動部120によって連結される構造になっている。第1の筐体112と第2の筐体114は可動部120を軸として回動可能である。第1の筐体112には文字や画像等の情報を表示する表示部118やスピーカ部124が設けられている。第2の筐体114には操作ボタンなどの操作部122やマイク部126が設けられている。なお、本発明の各実施形態に係る半導体モジュール30はこうした携帯電話111の内部に搭載されている。

10

【0067】

図9は図8に示した携帯電話の部分断面図(第1の筐体112の断面図)である。本発明の実施の形態に係る半導体モジュール30は、はんだボール20を介してプリント基板128に搭載され、こうしたプリント基板128を介して表示部118などと電氣的に接続されている。また、半導体モジュール30の裏面側(はんだボール20とは反対側の面)には金属基板などの放熱基板116が設けられ、たとえば、半導体モジュール30から発生する熱を第1の筐体112内部に籠もらせることなく、効率的に第1の筐体112の外部に放熱することができるようになっている。

20

【0068】

本発明の実施形態に係る半導体モジュール30によれば、半導体モジュール30のプリント配線基板への実装信頼性が向上する。そのため、こうした半導体モジュール30を搭載した本実施形態に係る携帯機器については、その信頼性が向上する。

【0069】

本発明は、上述の各実施の形態に限定されるものではなく、当業者の知識に基づいて各種の設計変更等の変形を加えることも可能であり、そのような変形が加えられた実施の形態も本発明の範囲に含まれるものである。

【0070】

たとえば、上述の実施形態では、素子搭載用基板の配線層は単層であったが、これに限定されず、配線層はさらに多層化したものであってもよい。

30

【0071】

また、上述の実施形態では、素子搭載用基板10の突起電極16と、半導体素子50の素子電極52とが金-金接合を介して電氣的に接続されているが、金-スズ接合により電氣的に接続されていてもよい。

【0072】

また、本発明の構成は、ウエハレベルCSP(Chip Size Package)プロセスと呼ばれる半導体パッケージの製造プロセスに適用することができる。これによれば、半導体モジュールの薄型化・小型化を図ることができる。

40

【図面の簡単な説明】

【0073】

【図1】実施の形態に係る半導体素子および半導体モジュールの構成を示す概略断面図である。

【図2】半導体素子の形成方法を示す工程断面図である。

【図3】突起電極の形成方法を示す工程断面図である。

【図4】突起電極の頂部面に金属層を形成する方法を示す工程断面図である。

【図5】突起電極の頭出し方法を示す工程断面図である。

【図6】半導体素子と突起電極が設けられた基板(素子搭載用基板)との貼り合わせ方法を示す工程断面図である。

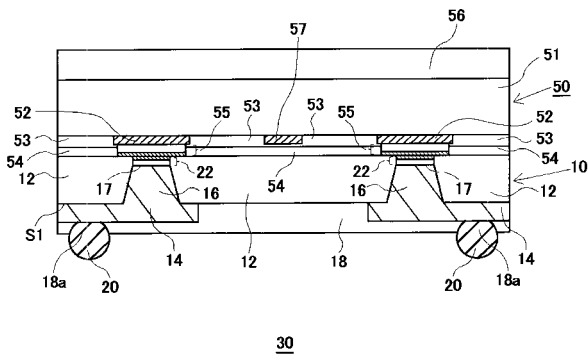
50

- 【図7】再配線加工を示す工程断面図である。
- 【図8】実施の形態2に係る携帯電話の構成を示す図である。
- 【図9】携帯電話の部分断面図である。
- 【図10】金属層の表面状態を示すAFM像図である。
- 【図11】金属層の表面状態を示すAFM像図である。
- 【図12】金属層を含む表面を状態を示す断面図である。
- 【図13】密着強度評価の方法を示す断面図である。
- 【図14】表面粗さと密着強度との関係を示す図である。
- 【符号の説明】

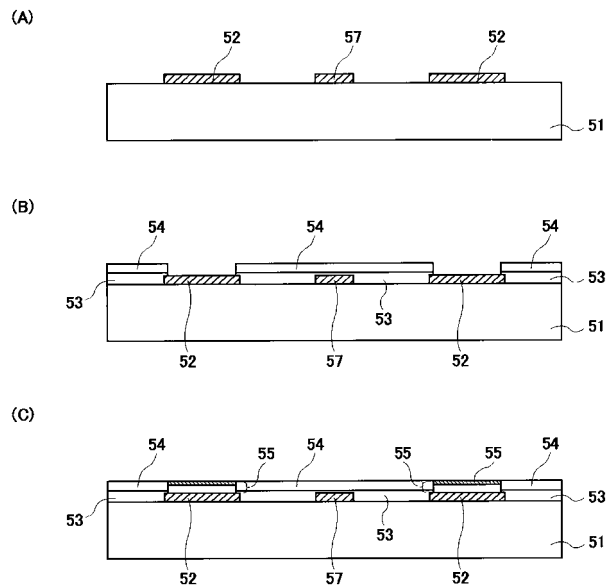
【0074】

10 素子搭載用基板、12 絶縁樹脂層、14 配線層、16 突起電極、18 保護層、20 はんだボール、30 半導体モジュール、50 半導体素子、52 素子電極、54 保護層、56 絶縁樹脂層、57 配線層、58 突起電極、59 保護層

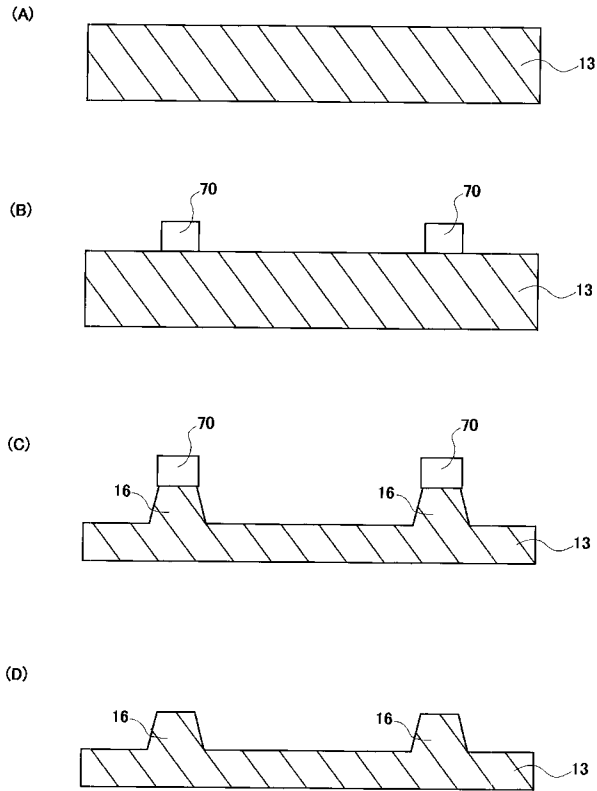
【図1】



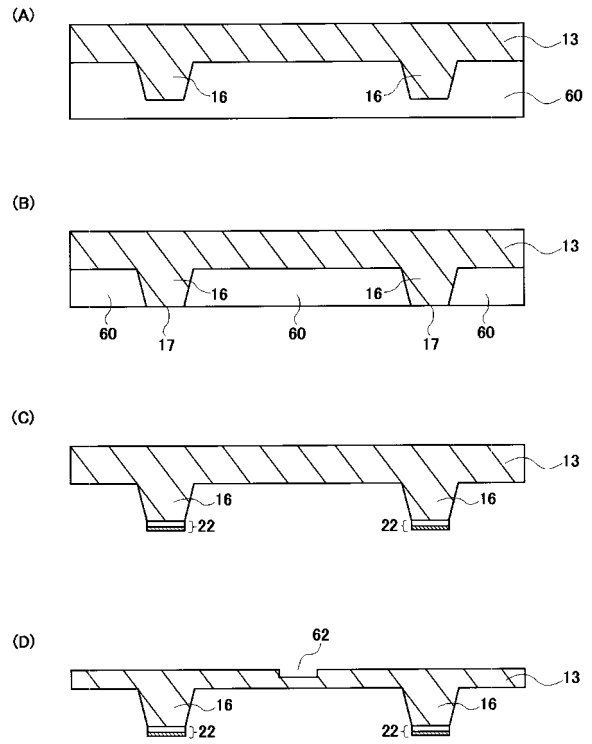
【図2】



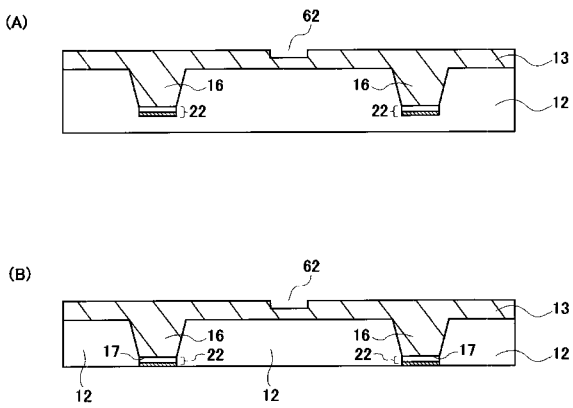
【 図 3 】



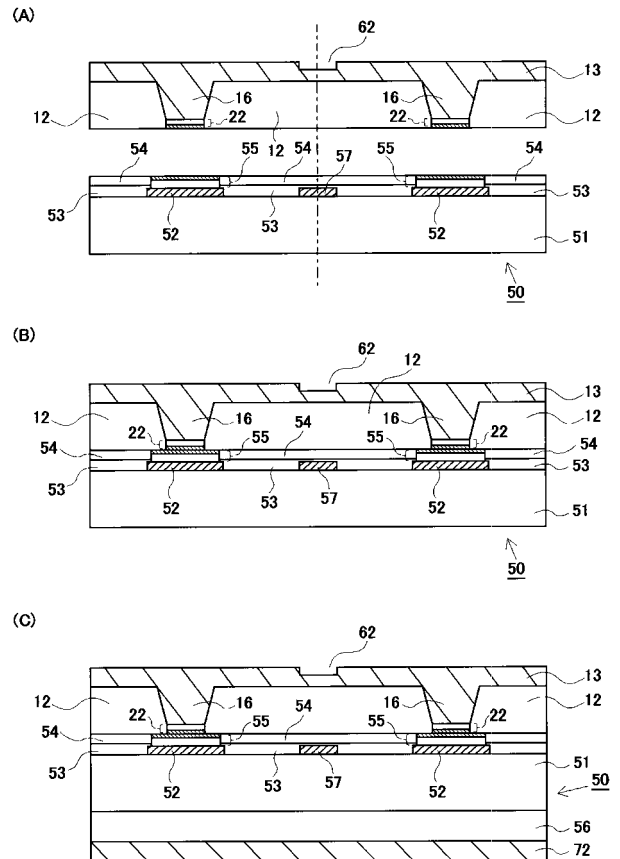
【 図 4 】



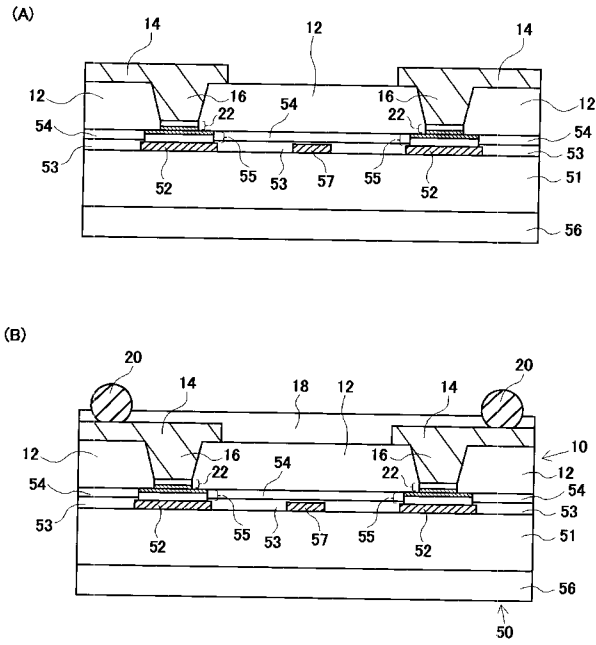
【 図 5 】



【 図 6 】

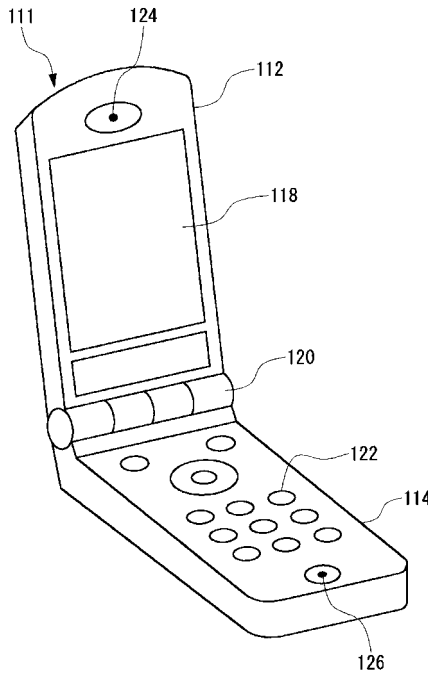


【 図 7 】

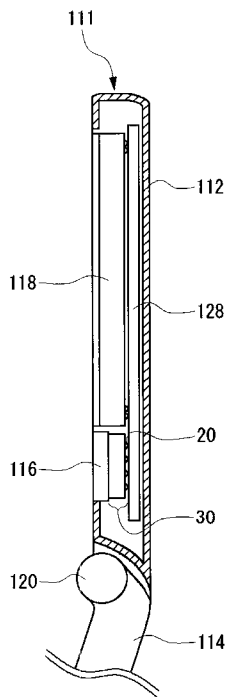


30

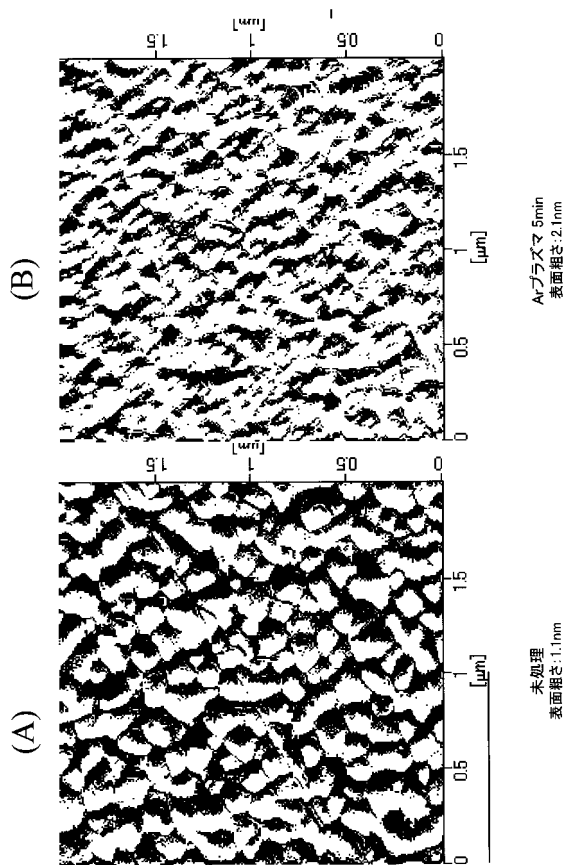
【 図 8 】



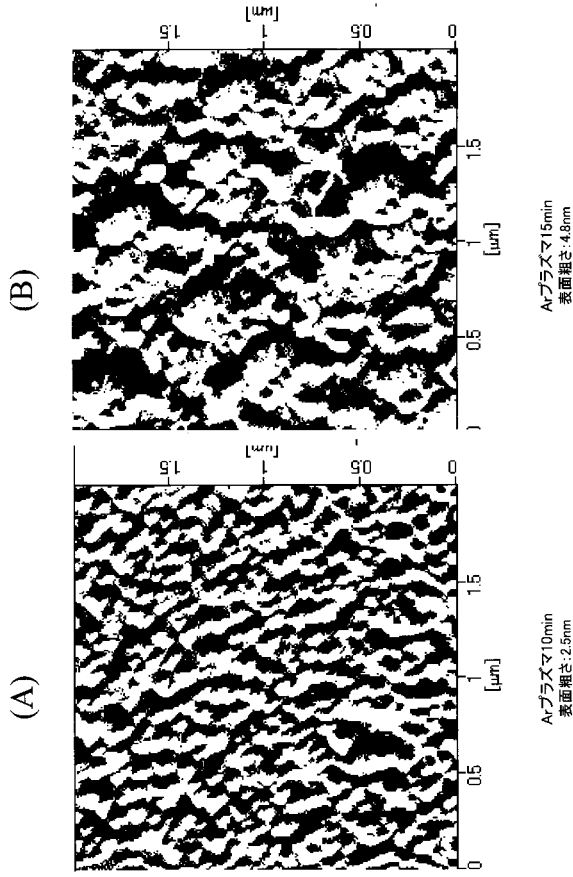
【 図 9 】



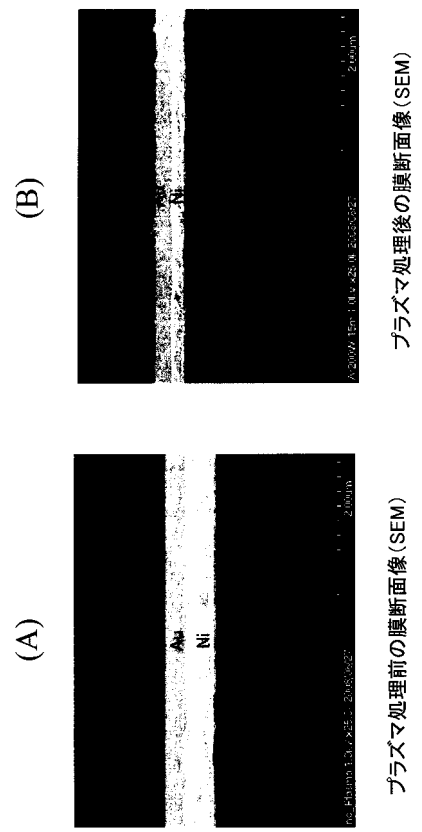
【 図 10 】



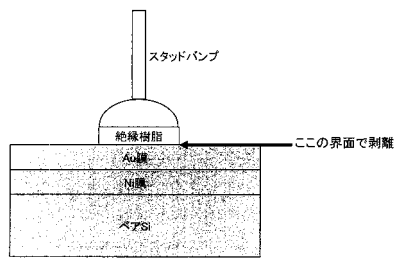
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



【 図 1 4 】

