



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0085077
(43) 공개일자 2021년07월08일

(51) 국제특허분류(Int. Cl.) G09G 3/3266 (2016.01) (52) CPC특허분류 G09G 3/3266 (2013.01) G09G 2300/0421 (2013.01) (21) 출원번호 10-2019-0177728 (22) 출원일자 2019년12월30일 심사청구일자 없음	(71) 출원인 엘지디스플레이 주식회사 서울특별시 영등포구 여의대로 128(여의도동) (72) 발명자 김동현 경기도 파주시 월롱면 엘지로 245 (74) 대리인 이승찬
--	--

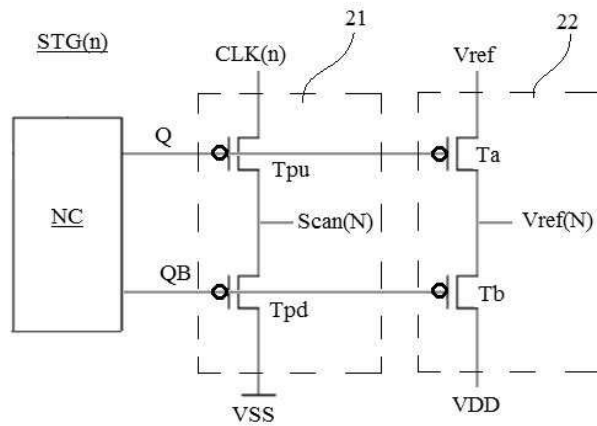
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 게이트 구동회로 및 이를 이용한 전계 발광 표시 장치

(57) 요약

본 발명은 게이트 구동 회로에서 기준 전압 공급 라인을 통해 고전위 전원 전압을 공급할 수 있도록 구성하여 고전위 전원 전압(VDD) 라인을 메시(Mesh) 구조로 형성하고, 고전위 전원 전압(VDD) 공급 라인을 리페어 할 수 있는 게이트 구동회로 및 이를 이용한 전계 발광 표시 장치에 관한 것으로, 본 발명에 따른 게이트 구동회로는, 종속적으로 연결되는 복수개의 스테이지들을 구비하고, n번째 스테이지는, 제1 노드 및 제2 노드의 전압을 제어하는 노드 제어부와, 상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 표시 패널의 스캔 라인에 스캔 신호를 출력하는 스캔 신호 발생부와, 상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 상기 표시 패널의 기준 전압 라인에 기준 전압 또는 고전위 전원 전압을 출력하는 기준 전압/고전위 전원 전압 출력부를 포함한다.

대표도 - 도4



(52) CPC특허분류

G09G 2300/0439 (2013.01)

G09G 2300/0809 (2013.01)

G09G 2310/0243 (2013.01)

G09G 2310/0264 (2013.01)

명세서

청구범위

청구항 1

종속적으로 연결되는 복수개의 스테이지들을 구비하고,

(n, n은 자연수)번째 스테이지는,

제1 노드 및 제2 노드의 전압을 제어하는 노드 제어부;

상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 표시 패널의 스캔 라인에 스캔 신호를 출력하는 스캔 신호 발생부; 및

상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 상기 표시 패널의 기준 전압 라인에 기준 전압 또는 고전위 전원 전압을 출력하는 기준 전압/고전위 전원 전압 출력부를 포함하는 게이트 구동 회로.

청구항 2

제 1 항에 있어서,

(n)번째 스테이지는, 상기 표시 패널의 발광 제어 라인에 발광 제어 신호를 출력하는 발광 제어신호 발생부를 더 포함하는 게이트 구동 회로.

청구항 3

제 1 항에 있어서,

상기 기준 전압/고전위 전원 전압 출력부는 초기화 기간 및 샘플링 기간에 상기 기준 전압을 출력하고, 발광 기간에 상기 고전위 전원 전압을 출력하는 게이트 구동 회로.

청구항 4

복수개의 화소들이 배치되어 영상을 표시하는 표시 패널;

외부로부터 입력되는 디지털 비디오 데이터를 상기 표시 패널의 해상도에 맞게 재정렬한 영상 데이터, 데이터 제어 신호 및 게이트 제어 신호를 발생하는 타이밍 컨트롤러;

상기 데이터 제어 신호를 기반으로 상기 타이밍 컨트롤러로부터 입력되는 영상 데이터를 아날로그 데이터 전압으로 변환하여 상기 표시 패널의 데이터 라인들에 공급하는 데이터 구동 회로;

상기 게이트 제어 신호를 기반으로, 스캔 신호 및 발광 제어 신호 및 기준 전압 또는 고전위 전원 전압을 상기 표시 패널의 스캔 라인들, 발광 제어 라인들 및 기준 전압 라인에 각각 출력하는 게이트 구동 회로를 포함하는 전계 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 게이트 구동 회로는, 종속적으로 연결되는 복수개의 스테이지들을 구비하고,

(n, n은 자연수)번째 스테이지는,

제1 노드 및 제2 노드의 전압을 제어하는 노드 제어부;

상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 표시 패널의 스캔 라인에 스캔 신호를 출력하는 스캔 신호 발생부; 및

상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 상기 표시 패널의 상기 기준 전압 라인에 기준 전압 또는 고전위 전원 전압을 출력하는 기준 전압/고전위 전원 전압 출력부를 포함하는 전계 발광 표시 장치.

청구항 6

제 5 항에 있어서,

(n)번째 스테이지는, 상기 표시 패널의 상기 발광 제어 라인에 발광 제어 신호를 출력하는 발광 제어신호 발생부를 더 포함하는 전계 발광 표시 장치.

청구항 7

제 5 항에 있어서,

상기 기준 전압/고전위 전원 전압 출력부는 초기화 기간 및 샘플링 기간에 상기 기준 전압 라인에 상기 기준 전압을 출력하고, 발광 기간에 상기 기준 전압 라인에 상기 고전위 전원 전압을 출력하는 전계 발광 표시 장치.

청구항 8

제 4항에 있어서,

상기 표시 패널의 (n, n은 자연수)번째 수평 라인의 각 화소는,

제4 노드와 저전위 전원 전압 공급 라인 사이에 연결되는 전계 발광 다이오드와,

게이트 전극은 제2 노드에 연결되고, 제1 전극은 제1 노드에 연결되고, 제2 전극은 제3 노드에 연결되는 구동 트랜지스터와,

게이트 전극은 n 번째 스캔 라인에 연결되고, 제1 전극은 상기 제3 노드에 연결되며, 제2 전극은 상기 제2 노드에 연결되는 제1 트랜지스터와,

게이트 전극은 n 번째 스캔 라인에 연결되고, 제1 전극은 데이터 라인에 연결되며, 제2 전극은 상기 제1 노드에 연결되는 제2 트랜지스터와,

게이트 전극은 n번째 발광 제어 신호 라인에 연결되고, 제1 전극은 고전위 전원 전압 라인에 연결되며, 제2 전극은 상기 제1 노드에 연결되는 제3 트랜지스터와,

게이트 전극은 상기 n번째 발광 제어 신호 라인에 연결되고, 제1 전극은 상기 제3 노드에 연결되며, 제2 전극은 상기 제4 노드에 연결되는 제4 트랜지스터와,

게이트 전극은 n-1번째 스캔 라인에 연결되고, 제1 전극은 상기 제2 노드에 연결되며, 제2 전극은 초기화 전압 라인에 연결되는 제5 트랜지스터와,

게이트 전극은 상기 n번째 스캔 라인에 연결되고, 제1 전극은 상기 제4 노드에 연결되며, 제2 전극은 상기 초기화 전압 라인에 연결되는 제6 트랜지스터와,

게이트 전극은 상기 n번째 발광 제어 신호 라인에 연결되고, 제1 전극은 상기 고전위 전원 전압 라인에 연결되며, 제2 전극은 기준 전압 공급 라인인 제5 노드에 연결되는 제7 트랜지스터와,

상기 제5 노드와 상기 제2 노드 사이에 연결되는 스토리지 커패시터를 구비하는 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 특히 게이트 구동 회로 및 이를 이용한 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

- [0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.
- [0005] 상기와 같은 표시 장치들 중 OLED 표시 장치의 표시 패널은, 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차하여 서브 화소가 정의되고, 각 서브 화소들은, OLED 소자와, 상기 OLED소자를 독립적으로 구동하는 픽셀 회로를 구비한다.
- [0006] 상기 OLED 소자는 애노드 및 캐소드와, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.
- [0007] 상기 픽셀 회로는 게이트-소오스 간 전압(Vgs)에 따라 상기 OLED 소자에 흐르는 구동전류(IOLED)를 제어하는 구동 TFT(Thin Film Transistor), 상기 구동 TFT의 게이트-소오스 간 전압(Vgs)을 한 프레임 동안 일정하게 유지시키는 커패시터, 및 게이트 신호(스캔 펄스)에 응답하여 상기 구동 TFT의 게이트-소오스 간 전압(Vgs)을 설정하는 적어도 하나 이상의 스위칭 TFT를 포함한다. 따라서, 영상 데이터에 상응하는 구동 전압(Vgs)에 따라 구동 TFT가 OLED 소자를 구동하는 전류(Ids)를 조절함으로써 OLED 소자의 밝기를 조절한다.
- [0008] OLED 표시 장치는 공정 편차, 구동 환경, 구동 시간 등에 따라 달라지는 구동 TFT의 임계 전압(이하 Vth), 이동도 등에 의해 픽셀의 특성이 불균일한 경우 동일 계조의 구동 전압(Vgs) 대비 전류(Ids)가 달라지기 때문에 휘도 불균일 현상이 발생할 수 있다.
- [0009] 이를 해결하기 위하여, OLED 표시 장치는 픽셀의 특성을 센싱하고, 센싱 결과를 기초하여 픽셀의 특성 편차 등을 외부 보상하는 기술을 주로 이용한다.
- [0010] 구동 TFT의 문턱 전압(Vth) 변화를 추출하기 위한 센싱 방법은, 구동 TFT를 소스 팔로워(Source Follower) 방식으로 동작시킨 후 구동 TFT의 소스 전압을 센싱하여 센싱 전압을 토대로 구동 TFT의 문턱 전압 변화량을 검출한다. 구동 TFT의 문턱 전압 변화량은 상기 센싱 전압의 크기에 따라 결정되며, 이를 통해 데이터 보상을 위한 옵션값이 구해진다.
- [0011] 구동 TFT의 이동도(μ) 변화를 추출하기 위한 센싱 방법은, 구동 TFT의 문턱 전압(Vth)을 제외한 전류능력 특성을 규정하기 위해서 구동 TFT의 게이트에 구동 TFT의 문턱 전압보다 높은 일정 전압(Vdata+X, 여기서, X는 옵션값 보상에 따른 전압)을 인가하여 구동 TFT를 턴 온 시키고, 이 상태에서 일정 시간 동안 충전된 구동 TFT의 소스 전압(Vs)을 센싱 전압으로 입력 받는다. 구동 TFT의 이동도 변화량은 센싱 전압의 크기에 따라 결정되며, 이를 통해 데이터 보상을 위한 개인값이 구해진다.
- [0012] 이러한 외부 보상 방법 이외에, 픽셀 회로의 내부에서 상기 구동 TFT의 문턱 전압(Vth) 및 이동도(μ) 편차를 보상하기 위한 6T1C(6개의 TFT 및 하나의 커패시터로 구성됨)픽셀 회로 또는 7T1C 픽셀 회로가 제안되었다.
- [0013] 그러나, 상기 6T1C 픽셀 회로 또는 7T1C에서는 고전위 전원 전압(VDD)의 IR 드롭(Drop) 현상(로드(load) 차이로 인해 발생됨; 이하 "VDD IR Drop"이라 함)이 발생하여 각 픽셀 별로 휘도 편차가 발생되어 얼룩 불량이 발생되었다.
- [0014] 따라서, 최근에는 픽셀 회로의 내부에서 상기 구동 TFT의 문턱 전압(Vth) 및 이동도(μ) 편차를 보상하면서 VDD IR Drop 도 보상할 수 있는 8T1C 픽셀 회로가 제안되었다.
- [0015] 8T1C 픽셀 회로는 VDD IR Drop을 보상하기 위하여 기준 전압(Vref)을 필요로 한다. 그러나, 8T1C 픽셀 회로에서는 기준 전압(Vref)을 공급해야 하므로, 고전위 전원 전압(VDD)을 메시(Mesh) 구조로 공급하지 못하고, 고전위 전원 전압(VDD) 공급 라인이 단선되면 리페어(Repair)를 할 수 없는 단점이 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 게이트 구동 회로에서 기준 전압 공급 라인을 통해 고전위 전원 전압(VDD)을 공급할 수 있도록 구성하여 고전위 전원 전압(VDD) 라인을 메시(Mesh) 구조로 형

성하고, 고전위 전원 전압(VDD) 공급 라인을 리페어 할 수 있는 게이트 구동회로 및 이를 이용한 전계 발광 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0017] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 게이트 구동회로는, 종속적으로 연결되는 복수개의 스테이지들을 구비하고, n번째 스테이지는, 제1 노드 및 제2 노드의 전압을 제어하는 노드 제어부와, 상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 표시 패널의 스캔 라인에 스캔 신호를 출력하는 스캔 신호 발생부와, 상기 제1 노드 및 상기 제2 노드의 전압에 따라 제어되어 상기 표시 패널의 기준 전압 라인에 기준 전압 또는 고전위 전원 전압을 출력하는 기준 전압/고전위 전원 전압 출력부를 포함할 수 있다.
- [0018] 상기 (n)번째 스테이지는, 상기 표시 패널의 발광 제어 라인에 발광 제어 신호를 출력하는 발광 제어신호 발생부를 더 포함할 수 있다.
- [0019] 상기 기준 전압/고전위 전원 전압 출력부는 초기화 기간 및 샘플링 기간에 상기 기준 전압을 출력하고, 발광 기간에 상기 고전위 전원 전압을 출력할 수 있다.
- [0020] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 전계 발광 표시 장치는, 복수개의 화소들이 배치되어 영상을 표시하는 표시 패널과, 외부로부터 입력되는 디지털 비디오 데이터를 상기 표시 패널의 해상도에 맞게 재정렬한 영상 데이터, 데이터 제어 신호 및 게이트 제어 신호를 발생하는 타이밍 콘트롤러와, 상기 데이터 제어 신호를 기반으로 상기 타이밍 콘트롤러로부터 입력되는 영상 데이터를 아날로그 데이터 전압으로 변환하여 상기 표시 패널의 데이터 라인들에 공급하는 데이터 구동 회로와, 상기 게이트 제어 신호를 기반으로, 스캔 신호 및 발광 제어 신호 및 기준 전압 또는 고전위 전원 전압을 상기 표시 패널의 스캔 라인들, 발광 제어 라인들 및 기준 전압 라인에 각각 출력하는 게이트 구동 회로를 포함할 수 있다.

발명의 효과

- [0021] 상기와 같은 특징을 갖는 본 발명에 따른 게이트 구동회로 및 이를 이용한 전계 발광 표시 장치에 있어서는 다음과 같은 효과가 있다.
- [0022] 전원 공급부로부터 제1 노드에 고전위 전원 전압(VDD)을 공급 받고, 게이트 구동 회로의 기준 전압/고전위 전원 전압 출력부로부터 제5 노드에 고전위 전원 전압을 공급 받을 수 있으므로, 고전위 전원 전압 라인을 메시(Mesh) 구조로 형성할 수 있고, 전원 공급부로부터 고전위 전원 전압을 공급하는 라인이 단선되더라도, 고전위 전원 전압 공급 라인의 단선을 리페어할 수 있다.
- [0023] 전계 발광 다이오드에 흐르는 구동 전류는 고전위 전원 전압 성분에 영향을 받지 않으므로 VDD IR Drop에 영향을 받지 않고, 기준 전압과 데이터 전압으로 휘도를 조절할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치를 개략적으로 설명하는 개념도
- 도 2는 도 1의 표시 패널의 화소를 개략적으로 설명하는 등가 회로도
- 도 3은 본 발명에 따른 게이트 구동 회로의 개략적인 구성 예시도
- 도 4는 본 발명에 따른 n번째 스테이지의 스캔신호 발생부와 기준 전압/고전위 전원 전압 출력부의 개략적인 구성 예시도
- 도 5는 본 발명에 따라 화소(P)를 구동하는 스캔 신호 및 발광 제어 신호를 나타내는 파형도 및 이에 따른 화소(P)들의 구동 트랜지스터의 게이트 전압을 나타내는 개략적인 파형도
- 도 6은 본 발명에 따른 초기화 기간, 샘플링 기간, 홀딩 기간, 및 발광 기간의 구동 트랜지스터의 게이트 전압, 소오스 전압 및 드레인 전압을 나타낸 표
- 도 7a는 본 발명에 따른 초기화 기간 동안 화소(P)의 등가 회로도
- 도 7b는 본 발명에 따른 샘플링 기간 동안 화소(P)의 등가 회로도
- 도 7c는 본 발명에 따른 발광 기간 동안 화소(P)의 등가 회로도

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0026] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0027] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0028] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0030] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0031] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0032] 본 발명에 따른 표시 장치의 게이트 구동 회로는 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. 이하의 실시예에서 n 타입 TFT를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0033] 스위치 소자들로 이용되는 트랜지스터의 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙한다. 게이트 온 전압은 트랜지스터가 턴-온(turn-on)되는 전압으로 설정되며, 게이트 오프 전압은 트랜지스터가 턴-오프(turn-off)되는 전압으로 설정된다. n 채널 트랜지스터(NMOS)의 경우, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 하이 전압(VGH) 보다 낮은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 트랜지스터(PMOS)의 경우, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0034] 첨부된 도면을 참조하여 본 발명의 다양한 실시예에 따른 게이트 구동 회로 및 이를 이용한 전계 발광 표시 장치를 보다 상세히 설명하면 다음과 같다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치를 개략적으로 설명하는 개념도이다.
- [0036] 이하 도 1을 참조하여 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)를 설명한다.

- [0037] 본 발명의 실시예에 따른 전계 발광 표시 장치(100)는 복수의 화소(P)들이 형성된 표시 패널(10)과, 데이터 라인들(DL[1]~DL[m])을 구동하기 위한 데이터 구동 회로(12), 게이트 라인들(EL[1]~EL[n], SL1[1]~SL1[n], SL2[1]~SL2[n])을 구동시키기 위한 게이트 구동 회로(13), 데이터 구동 회로(12) 및 게이트 구동 회로(13)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(11)를 구비한다.
- [0038] 표시 패널(10)에는 복수의 화소(P)들이 배치되어 영상을 표시하도록 구성된다. n 번째 수평 라인에 배치된 화소(P)들은 n 번째 발광 제어 라인(EL; emission line), n 번째 스캔 라인(SL(n); scan line(n)), n-1번째 스캔 라인(SL(n-1))과 기준 전압 라인(Vref(n))에 전기적으로 연결된다. 하나의 열에 배치된 화소(P)들은 하나의 데이터 라인(DL; data line)과 전기적으로 연결된다.
- [0039] 화소(P)를 구성하는 트랜지스터(TFT)들은 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 저온 폴리실리콘(Low Temperature Polycrystalline Silicon; LTPS) 등으로 형성될 수 있다.
- [0040] 화소 영역 내에 배치된 복수의 화소(P)들은 전원 공급부(도면에는 도시되지 않음)로부터 고전위 전원 전압(VDD), 저전위 전원 전압(VSS) 및 초기화 전압(Vini)을 공급받도록 구성된다. 초기화 기간 및 샘플링 기간에서 전계 발광 다이오드(ELD)의 불필요한 발광이 방지되도록, 초기화 전압(Vini)은 전계 발광 다이오드(ELD)의 동작 전압보다 충분히 낮은 전압 범위 내에서 선택될 수 있다. 즉, 초기화 전압(Vini)은 저전위 전원 전압(VSS)과 같거나 낮게 설정될 수 있다. 따라서, 초기화 기간에 초기화 전압(Vini)이 저전위 전원 전압(VSS)보다 낮은 전압이 인가됨으로써, 전계 발광 다이오드(ELD)의 수명을 증가시킬 수 있다.
- [0041] 또한, 화소 영역 내에 배치된 복수의 화소(P)들은 게이트 구동 회로(13)로부터 기준 전압(Vref) 또는 고전위 전원 전압(VDD)을 더 공급 받을 수 있도록 구성된다.
- [0042] 표시 패널(10) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 채널(Add on type)로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0043] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시 패널(10)의 해상도에 맞게 재정렬하여 데이터 구동 회로(12)에 공급한다. 또한, 타이밍 콘트롤러(11)는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동 회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어 신호(DDC)와, 게이트 구동 회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어 신호(GDC)를 발생한다.
- [0044] 데이터 구동 회로(12)는 데이터 제어 신호(DDC)를 기반으로 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환한다. 데이터 구동 회로(12)와 데이터 라인들(DLm) 사이에, 도면에는 도시되지 않았지만, 디멀티플렉서(Demultiplexer, DEMUX)가 배치될 수 있다.
- [0045] 게이트 구동 회로(13)는 게이트 제어 신호(GDC)를 기반으로, 스캔 신호 및 발광 제어 신호를 생성하고, 기준 전압(Vref) 또는 고전위 전원 전압(VDD)을 출력할 수 있다. 게이트 구동 회로(13)는 스캔 신호 발생부, 발광 제어 신호 발생부, 및 기준 전압/고전위 전원 전압 출력부 등을 포함하도록 구성될 수 있다. 스캔 신호 발생부는 스캔 라인(SL1)에 각각 스캔 신호(SCAN)를 인가하고, 발광 제어 발생부는 발광 제어 신호 라인(EL)에 발광 제어 신호(EM)를 인가한다. 기준 전압/고전위 전원 전압 출력부는 1 프레임(Frame) 기간 중 초기화 기간(Initial) 및 샘플링 기간(Sampling)에 기준 전압 공급 라인에 기준 전압(Vref)을 공급하고, 1 프레임(Frame) 기간 중 홀딩 기간(Holding) 및 발광 기간(Emission)에 기준 전압 공급 라인에 고전위 전원 전압(VDD)을 공급할 수 있다.
- [0046] 이러한 게이트 구동 회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시 패널(10)의 비 표시영역 상에 직접 형성될 수 있다. 단 본 발명은 상술한 구성들에 제한되지 않으며, 상술한 구성은 본 발명의 예시적인 일 실시예일뿐이다.
- [0047] 도 2는 도 1의 표시 패널(10)의 화소(P)를 개략적으로 설명하는 등가 회로도이다.
- [0048] 이하 도 2를 참조하여, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 표시 패널(10)의 화소(P)에 대하여 구체적으로 설명한다.
- [0049] 화소(P)들 각각은 전계 발광 다이오드(ELD), 구동 트랜지스터(DT), 제1 내지 제7 트랜지스터(T1-T7) 및 커패시터(Cst)를 포함한다. 단 본 발명은 상술한 구성들에 제한되지 않으며, 상술한 구성은 본 발명의 예시적인 일 실시예일뿐이다. 제1 내지 제7 트랜지스터(T1-T7)들은 스위칭 트랜지스터(switching transistor; ST)로 지칭될 수

있다.

- [0050] 전계 발광 다이오드(ELD)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 전계 발광 다이오드(ELD)의 애노드(anode)와 캐소드(cathode) 사이에는 기능층들이 형성된다.
- [0051] 기능층들은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 애노드와 캐소드에 구동전압이 인가되면 정공 수송층(HTL)을 통과한 정공과 전자 수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다. 전계 발광 다이오드(ELD)를 유기 전계 발광 다이오드(OLED)라고 할 수 있다.
- [0052] 전계 발광 다이오드(ELD)의 애노드는 제4 노드(N4)에 연결되고, 전계 발광 다이오드(ELD)의 캐소드는 저전위 전원 전압(VSS)을 공급하는 저전위 전원 전압 공급 라인에 연결된다.
- [0053] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 전계 발광 다이오드(ELD)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 제1 전극은 제1 노드(N1)에 연결되고, 게이트 전극은 제2 노드(N2)에 연결되고, 제2 전극은 제3 노드(N3)에 연결된다.
- [0054] 제1 트랜지스터(T1)의 게이트 전극은 n 번째 스캔 라인(SL[N])에 연결되고, 제1 트랜지스터(T1)의 제1 전극은 제3 노드(N3)에 연결되며, 제1 트랜지스터(T1)의 제2 전극은 제2 노드(N2)에 연결된다. 제1 트랜지스터(T1)는 n 번째 스캔 신호(SCAN[N])에 응답하여, 구동 트랜지스터(DT)의 게이트-드레인 전극의 다이오드 커넥션(diode connection, 게이트 전극과 드레인 전극이 쇼트되어 트랜지스터가 다이오드처럼 동작)을 구성한다.
- [0055] 제2 트랜지스터(T2)의 게이트 전극은 n 번째 스캔 라인(SL[N])에 연결되고, 제2 트랜지스터(T2)의 제1 전극은 데이터 라인(DL)에 연결되며, 제2 트랜지스터(T2)의 제2 전극은 제1 노드(N1)에 연결된다. 제2 트랜지스터(T2)는 n 번째 스캔 신호(SCAN[N])에 응답하여, 데이터 라인(DL)으로부터 공급받는 데이터 전압(Vdata)을 제1 노드(N1)에 인가한다.
- [0056] 제3 트랜지스터(T3)의 게이트 전극은 발광 제어 신호 라인(EL)에 연결되고, 제3 트랜지스터(T3)의 제1 전극은 고전위 전원 전압 라인(VDD)에 연결되며, 제3 트랜지스터(T3)의 제2 전극은 제1 노드(N1)에 연결된다. 제3 트랜지스터(T3)는 발광 제어 신호(EM)에 응답하여 고전위 전원 전압(VDD)을 제1 노드(N1)에 인가한다.
- [0057] 제4 트랜지스터(T4)의 게이트 전극은 발광 제어 신호 라인(EL)에 연결되고, 제4 트랜지스터(T4)의 제1 전극은 제3 노드(N3)에 연결되며, 제4 트랜지스터(T4)의 제2 전극은 제4 노드(N4)에 연결된다. 제4 트랜지스터(T4)는 발광 제어 신호(EM)에 응답하여 제3 노드(N3)와 제4 노드(N4) 간의 전류 패스를 형성한다.
- [0058] 제5 트랜지스터(T5)의 게이트 전극은 n-1번째 스캔 라인(SL[N-1])에 연결되고, 제5 트랜지스터(T5)의 제1 전극은 제2 노드(N2)에 연결되며, 제5 트랜지스터(T5)의 제2 전극은 초기화 전압 라인(Vini)에 연결된다. 제5 트랜지스터(T5)는 n-1번째 스캔 신호(SCAN[N-1])에 응답하여 초기화 전압(Vini)을 제2 노드(N2)에 인가한다.
- [0059] 제6 트랜지스터(T6)의 게이트 전극은 n번째 스캔 라인(SL[N])에 연결되고, 제6 트랜지스터(T6)의 제1 전극은 제4 노드(N4)에 연결되며, 제6 트랜지스터(T6)의 제2 전극은 초기화 전압 라인(Vini)에 연결된다. 제6 트랜지스터(T6)는 n번째 스캔 신호(SCAN[N])에 응답하여 초기화 전압(Vini)을 제4 노드(N4)에 인가한다.
- [0060] 제7 트랜지스터(T7)의 게이트 전극은 발광 제어 신호 라인(EL)에 연결되고, 제7 트랜지스터(T7)의 제1 전극은 고전위 전원 전압 라인(VDD)에 연결되며, 제7 트랜지스터(T7)의 제2 전극은 n번째 기준 전압 공급 라인(Vref(N))인 제5 노드(N5)에 연결된다. 제7 트랜지스터(T7)는 발광 제어 신호(EM)에 응답하여 고전위 전원 전압(VDD)을 제5 노드(N5)에 인가한다.
- [0061] 스토리지 커패시터(Cst)의 제1 전극은 제5 노드(N5)에 연결되고, 스토리지 커패시터(Cst)의 제2 전극은 제2 노드(N2)에 연결된다.
- [0062] 단 본 발명은 상술한 구성들에 제한되지 않으며, 상술한 구성은 본 발명의 예시적인 일 실시예일뿐이다.
- [0063] 도 3은 본 발명에 따른 게이트 구동 회로(13)의 계략적인 구성 예시도이다.
- [0064] 도 3에 도시된 바와 같이, 게이트 구동 회로(13)는 다수의 스테이지들(STG1 ~ STGm)로 구성된다. 다수의 스테이지들(STG1 ~ STGm)은 종속적으로 연결된 구조를 가지며, 적어도 하나의 전단이나 후단의 출력 신호를 입력 신호로 받는다.

- [0065] 상기 게이트 구동 회로(13)의 스테이지들(STG1 ~ STGm)은 스캔 신호 발생부들(SCAN[1] ~ SCAN[m])과, 기준 전압/고전위 전원 전압 출력부들(VREF[1] ~ VEF[m])과, 발광 제어 신호 발생부들(EM[1] ~ EM[m])을 각각 포함할 수 있다.
- [0066] 일례로, 제1 스테이지(STG1)는 제1 스캔 신호(Scan[1])를 출력하는 제1 스캔 신호 발생부(SCAN[1])와, 기준 전압(Vref[1])(또는 고전위 전원 전압(VDD))을 출력하는 기준 전압/고전위 전원 전압 출력부(VREF[1])와, 발광 제어 신호(Em[1])를 출력하는 발광 제어신호 발생부(EM[1])를 갖는다.
- [0067] 상기 스캔 신호 발생부들(SCAN[1] ~ SCAN[m])은 표시 패널의 스캔 라인들을 통해 스캔 신호들(Scan[1] ~ Scan[m])을 출력한다. 상기 기준 전압/고전위 전원 전압 출력부들(VREF[1] ~ VEF[m])은 표시 패널의 기준 전압 라인들을 통해 기준 전압(Vref[1] ~ Vref[m])(또는 고전위 전원 전압(VDD))을 출력한다. 상기 발광 제어신호 발생부들(EM[1] ~ EM[m])은 표시 패널의 발광 제어 신호 라인들을 통해 발광 제어신호들(Em[1] ~ Em[m])을 출력한다.
- [0068] 상기 발광 제어 신호들(Em[1] ~ Em[m])은 서브 픽셀들 내에 포함된 발광 제어 트랜지스터를 구동하기 위한 신호로 사용될 수 있다. 예를 들어, 발광 제어신호들(Em[1] ~ Em[m])을 이용하여 서브 픽셀들의 발광 제어 트랜지스터를 제어하면 유기 발광다이오드의 발광시간은 가변된다.
- [0069] 하지만, 도 3의 예시는 상기 게이트 구동 회로(13)의 이해를 돕기 위한 예시이며, 본 발명은 이에 한정되지 않고, 더 다양하고 더 많은 신호를 출력하는 형태로 구현될 수도 있다.
- [0070] 도면에는 도시되지 않았지만, 상기 스캔 신호들(Scan[1] ~ Scan[m])을 출력하는 스캔 신호 발생부들(SCAN[1] ~ SCAN[m])은 스캔용 스타트 신호(GVST), 스캔용 하이 전압(GVGH), 스캔용 리셋 신호(GRST), 스캔용 로우 전압(GVGL), 및 스캔용 클럭 신호들(GCLKs)에 의해 각각 구동될 수 있다.
- [0071] 상기 발광 제어신호들(Em[1]~ Em[m])을 출력하는 발광 제어신호 발생부들(EM[1] ~ EM[m])은 스타트 신호(EVST), 리셋 신호(ERST), 하이 전압(EVGH), 로우 전압(EVGL), 및 클럭 신호들(ECLKs)에 의해 구동될 수 있다.
- [0072] 도 4는 본 발명에 따른 n번째 스테이지(STGn)의 스캔신호 발생부(SCAN[n])와 기준 전압/고전위 전원 전압 출력부(VREF[n])의 개략적인 구성 예시도이다.
- [0073] n번째 스테이지(STGn)는, 스타트 신호(GVST), 스캔용 하이 전압(GVGH), 스캔용 리셋 신호(GRST), 스캔용 로우 전압(GVGL), 스캔용 클럭 신호들(GCLKs), 전단 스테이지에서 출력되는 스캔 신호(Scan(n-1)) 및 후단 스테이지에서 출력되는 스캔 신호(Scan(n+1))에 의해 각각 구동되어 제1 노드(Q) 및 제2 노드(QB)를 제어하는 노드 제어부(NC)와, 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd) 등으로 구성되어 상기 제1 노드(Q) 및 상기 제2 노드(QB)의 전압에 따라 제어되어 입력되는 클럭신호(CLK(n))를 스캔 신호(Scan(n))로 출력하는 스캔 신호 발생부(21)와, 제8 및 제9 트랜지스터(Ta, Tb)로 구성되어 상기 제1 노드(Q) 및 상기 제2 노드(QB)의 전압에 따라 제어되어 기준 전압(Vref) 또는 고전위 전원 전압(VDD)을 표시 패널의 기준 전압 라인에 공급하는 기준 전압/고전위 전원 전압 출력부(22)를 구비하여 구성된다.
- [0074] 이와 같이 구성되는 본 발명에 따른 전계 발광 표시 장치의 동작을 설명하면 다음과 같다.
- [0075] 도 5는 본 발명에 따라 화소(P)를 구동하는 스캔 신호(Scan(n-1), Scan(n)) 및 발광 제어 신호(EM)를 나타내는 파형도 및 이에 따른 화소(P)들의 구동 트랜지스터의 게이트 전압(DTG)을 나타내는 개략적인 파형도이다.
- [0076] 도 6은 본 발명에 따른 초기화 기간, 샘플링 기간, 홀딩 기간, 및 발광 기간의 구동 트랜지스터의 게이트 전압, 소오스 전압 및 드레인 전압을 나타낸 표이다.
- [0077] 도 7a는 초기화 기간 동안 화소(P)의 등가 회로도이고, 도 7b는 샘플링 기간 동안 화소(P)의 등가 회로도이고, 도 7c는 발광 기간 동안 화소(P)의 등가 회로도이다.
- [0078] 도 5에 도시한 바와 같이, 한 프레임(1 frame)은 초기화 기간(Initial), 샘플링 기간(Sampling), 홀딩 기간(Holding) 및 발광 기간(Emission)으로 구분될 수 있다. 단 이에 제한되지 않는다.
- [0079] 초기화 기간(Initial)은 구동 트랜지스터의 게이트 전극의 전압 초기화하는 기간이다. 샘플링 기간(Sampling)은 전계 발광 다이오드(ELD)의 애노드의 전압 초기화 후, 구동 트랜지스터(DT)의 문턱 전압(threshold voltage; Vth)을 샘플링(sampling)하여 제2 노드(N2)에 저장하는 기간이다. 발광 기간(Emission)은 샘플링 된 문턱 전압(Vth)을 포함하여 구동 트랜지스터(DT)의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간

전압에 따른 구동전류로 전계 발광 다이오드(ELD)를 발광시키는 기간이다.

- [0080] n 번째 수평 라인의 초기화 기간(Initial)은 n-1번째 수평 라인의 샘플링 기간과 중첩한다. 즉, 본 발명은 샘플링 기간(Sampling)을 충분히 확보할 수 있어서 문턱 전압(Vth)의 보상을 더욱 정확하게 할 수 있다.
- [0081] 초기화 기간(Initial) 동안, 도 7a에 도시한 바와 같이, 제5 트랜지스터(T5)는 (n-1)번째 스캔 신호(SCAN(N-1))에 응답하여, 제2 노드(N2)에 초기화 전압(Vini)을 인가하고, 나머지 제1 내지 제4 및 제6 내지 제7 트랜지스터(T1-T4, T6-T7)은 모두 턴-오프된다. 그 결과 구동 트랜지스터(DT)의 게이트 전극은 초기화 전압(Vini)으로 초기화된다. 초기화 전압(Vini)은 전계 발광 다이오드(ELD)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택할 수 있으며, 저전위 전원 전압(VSS)과 같거나 낮은 전압으로 설정될 수 있다. 그리고, 초기화 기간(Initial)에서, 제1 노드(N1)에는 이전 프레임의 데이터 전압(Vdata)이 유지되어 있다.
- [0082] 또한, 도 5에서, 게이트 구동 회로(13)의 (n)번째 스테이지(STG(N)에서 Q 노드가 로우 상태이므로, 도 7a에 도시한 바와 같이, 기준 전압/고전위 전원 전압 출력부(22)의 제8 트랜지스터(Ta)는 턴-온되고, 제9 트랜지스터(Tb)는 턴-오프되므로, 픽셀 회로의 제5 노드(N5)에 기준 전압(Vref)가 공급된다.
- [0083] 따라서, 도 6에서 정리한 바와 같이, 기준 전압 공급 라인에는 기준 전압(Vref)이 공급되고, 구동 트랜지스터(DT)의 게이트 전극에는 초기화 전압(Vini)이 인가된다.
- [0084] 샘플링 기간(Sampling) 동안, 도 7b에 도시한 바와 같이, 제6 트랜지스터(T6)는 (n)번째 스캔 신호(SCAN(N))에 응답하여, 초기화 전압(Vini)을 제4 노드(N4)에 인가한다. 그 결과 전계 발광 다이오드(ELD)의 애노드는 초기화 전압(Vini)으로 초기화된다.
- [0085] 제2 트랜지스터(T2)는 (n)번째 스테이지의 스캔 신호(SCAN(N))에 응답하여, 데이터 라인(DL)으로부터 공급받는 데이터 전압(Vdata)을 제1 노드(N1)에 인가한다. 그리고 제1 트랜지스터(T1)는 (n)번째 스캔 신호(SCAN(N))에 응답하여 턴 온 됨으로써, 구동 트랜지스터(DT)는 다이오드 커백션 된다. 나머지 제3 내지 제5 및 제7 트랜지스터(T3-T5, T7)은 모두 턴-오프된다.
- [0086] 샘플링 기간(Sampling)에서, 구동 트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐른다. 구동 트랜지스터(DT)의 게이트 전극과 드레인 전극은 다이오드 커백션 된 상태이기 때문에, 소스 전극에서 드레인 전극으로 흐르는 전류(Ids)에 의해서 제2 노드(N2)의 전압은 점차 상승한다. 샘플링 기간(Sampling) 동안에, 제2 노드(N2)의 전압은 데이터 전압(Vdata)에서 구동 트랜지스터(DT)의 문턱 전압(Vth)을 뺀 값(Vdata(n)-|Vth|)까지 높아진다.
- [0087] 또한, 도 5에서, 게이트 구동 회로(13)의 (n)번째 스테이지(STG(N)에서 Q 노드가 로우 상태이므로, 도 7b에 도시한 바와 같이, 기준 전압/고전위 전원 전압 출력부(22)의 제8 트랜지스터(Ta)는 턴-온되고, 제9 트랜지스터(Tb)는 턴-오프되므로, 픽셀 회로의 제5 노드(N5)에 기준 전압(Vref)가 공급된다.
- [0088] 따라서, 도 6에서 정리한 바와 같이, 기준 전압 공급 라인에는 기준 전압(Vref)이 공급되고, 구동 트랜지스터(DT)의 게이트 전극 및 드레인 전극에는 (Vdata(n)-|Vth|)이 인가되며, 구동 트랜지스터(DT)의 소스 전극에는 Vdata 전압이 인가된다.
- [0089] 홀딩 기간(Holding) 동안, 도 5에서, 게이트 구동 회로(13)의 (n)번째 스테이지(STG(N)에서 QB 노드가 로우 상태이므로, 기준 전압/고전위 전원 전압 출력부(22)의 제8 트랜지스터(Ta)는 턴-오프되고, 제9 트랜지스터(Tb)는 턴-온되므로, 픽셀 회로의 제5 노드(N5)에 고전위 전원 전압(VDD)이 공급된다. 그리고, 픽셀 회로의 제1 내지 제7 트랜지스터(T1-T7) 및 구동 트랜지스터(DT)가 턴-오프되므로, 제5 노드(N5)의 전압만 기준 전압(Vref)에서 고전위 전원 전압(VDD)으로 바뀌고, 구동 트랜지스터(DT)의 게이트 전극, 소스 전극 및 드레인 전극의 전압은 샘플링 기간때의 상태를 유지한다.
- [0090] 발광 기간(Emission) 동안, 도 7c에 도시한 바와 같이, 제3 트랜지스터(T3)는 (n)번째 스테이지의 발광 제어 신호(EM(n))에 응답하여, 제1 노드(N1)에 고전위 전원 전압(VDD)을 인가한다. 제4 트랜지스터(T4)는 (n)번째 스테이지의 발광 제어 신호(EM(N))에 응답하여, 제3 노드(N3) 및 제4 노드(N4)의 전류 패스를 형성한다. 제7 트랜지스터(T7)는 (n)번째 스테이지의 발광 제어 신호(EM(n))에 응답하여, 제5 노드(N5)에 고전위 전원 전압(VDD)을 인가한다. 결국, 구동 트랜지스터(DT)의 소스 전극과 드레인 전극을 경유하는 구동전류(Ield)는 전계 발광 다이오드(ELD)에 인가된다. 그리고, 픽셀 회로의 제1 내지 제2 트랜지스터 및 제5 내지 제6 트랜지스터(T1-T2, T5-T6)는 턴-오프된다.
- [0091] 도 5에서, 게이트 구동 회로(13)의 (n)번째 스테이지(STG(N)에서 QB 노드가 로우 상태이므로, 기준 전압/고전위

전원 전압 출력부(22)의 제8 트랜지스터(Ta)는 턴-오프되고, 제9 트랜지스터(Tb)는 턴-온되므로, 픽셀 회로의 제5 노드(N5)에 고전위 전원 전압(VDD)가 공급된다.

[0092] 따라서, 본 발명의 전계 발광 표시 장치의 각 픽셀 회로는 전원 공급부(도면에는 도시되지 않음)로부터 제3 트랜지스터(T3)를 통해 제1 노드(N1)에 고전위 전원 전압(VDD)을 공급 받고, 게이트 구동 회로(13)의 기준 전압/고전위 전원 전압 출력부(22)의 제9 트랜지스터(Tb)를 통해 제5 노드(N5)에 고전위 전원 전압(VDD)을 공급 받는다. 결국, 본 발명은 고전위 전원 전압(VDD) 라인을 메시(Mesh) 구조로 형성할 수 있다.

[0093] 발광 기간(Emission) 동안, 전계 발광 다이오드(ELD)에 흐르는 구동 전류(Ield)에 대한 관계식은 하기 수학적 식 1과 같이 된다.

[0094] [수학적식 1]

[0095]
$$I_{eld} = K(V_{sg} - V_{th})^2 = K\{VDD - (V_{data} - |V_{th}| + (VDD - V_{ref})) - V_{th}\}^2 = K(V_{ref} - V_{data})^2$$

[0096] 상기 수학적식 1에서 k는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 영역의 폭(width; W) 및 길이(length; L)등에 의해 결정되는 비례 상수를 나타낸다.

[0097] [수학적식 1]에서 보는 바와 같이, 구동 전류(Ield)의 관계식에는 구동 트랜지스터(DT)의 문턱 전압(Vth) 성분이 소거된다. 이는 본 발명에 의한 전계 발광 표시 장치는 구동 트랜지스터(DT)의 문턱 전압(Vth)이 변한다고 할지라도 구동전류(Ield)는 변하지 않는다는 것을 의미한다. 즉, 본 발명에 의한 전계 발광 표시 장치는 샘플링 기간(Sampling) 동안에 구동 트랜지스터(DT)의 문턱 전압(Vth)의 변화량에 관계없이 데이터 전압을 프로그래밍할 수 있다.

[0098] [수학적식 1]에서 보는 바와 같이, 구동 전류(Ield)의 관계식에는 고전위 전원 전압(VDD) 성분이 소거된다. 따라서, 본 발명은 VDD IR Drop에 영향을 받지 않고, 기준 전압(Vref)과 데이터 전압(Vdata)에 의해 휘도를 조절할 수 있다.

[0099] 또한, 본 발명의 픽셀 회로는 전원 공급부로부터 고전위 전원 전압(VDD)을 공급 받고, 게이트 구동 회로(13)의 기준 전압/고전위 전원 전압 출력부(22)로부터 고전위 전원 전압(VDD)을 공급 받을 수 있으므로, 고전위 전원 전압(VDD) 라인을 메시(Mesh) 구조로 형성할 수 있다. 또한, 전원 공급부로부터 고전위 전원 전압(VDD)을 공급하는 라인이 단선되더라도, 게이트 구동 회로(13)의 기준 전압/고전위 전원 전압 출력부(22)로부터 고전위 전원 전압(VDD)을 공급 받을 수 있으므로, 고전위 전원 전압 공급 라인의 단선을 리페어할 수 있다.

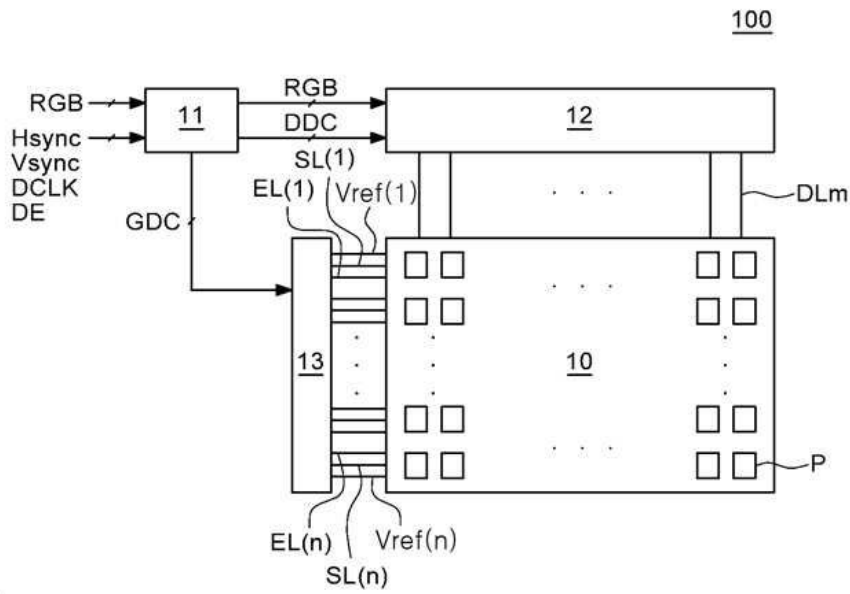
[0100] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

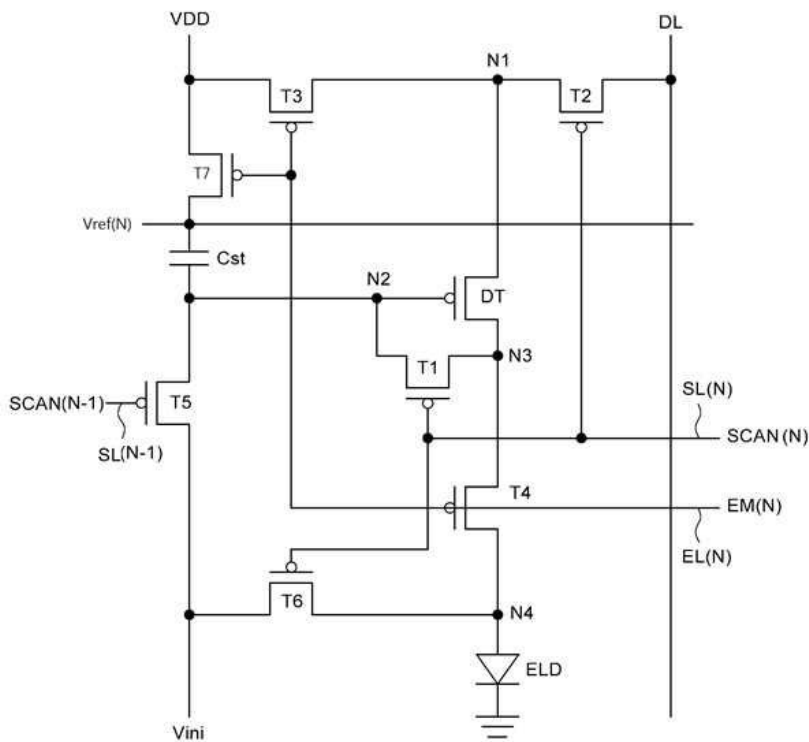
- [0101] 10: 표시 패널 11: 타이밍 콘트롤러
- 12: 데이터 구동 회로 13: 게이트 구동 회로
- 21: 스캔 신호 발생부
- 22: 기준 전압/고전위 전원 전압 출력부

도면

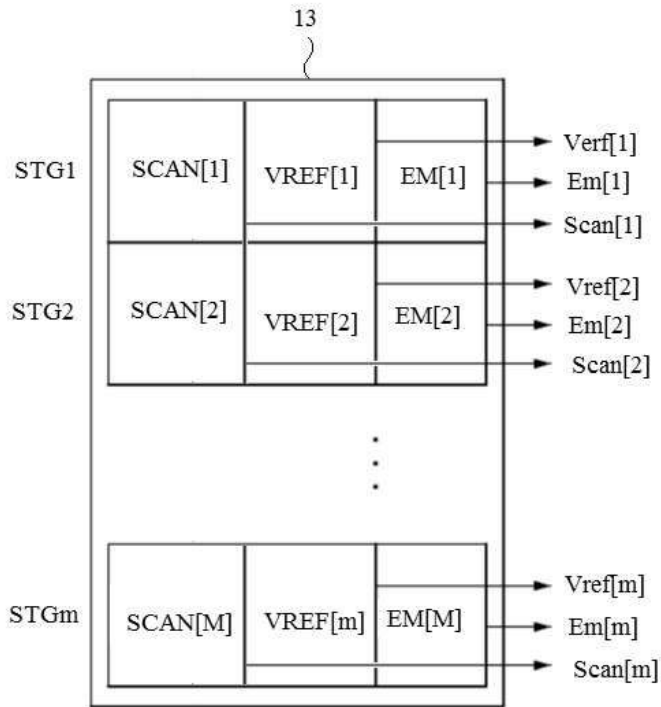
도면1



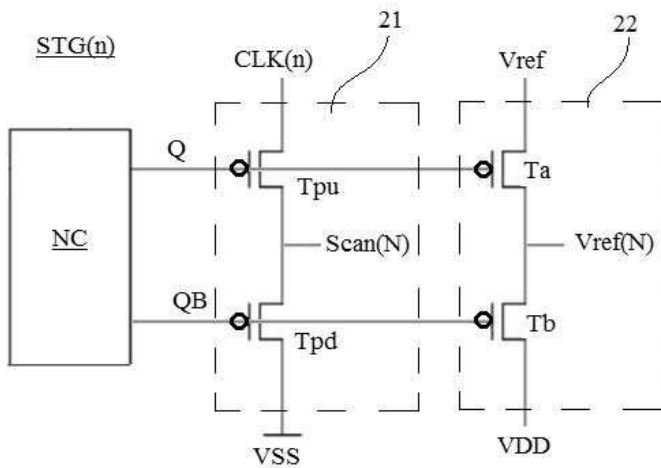
도면2



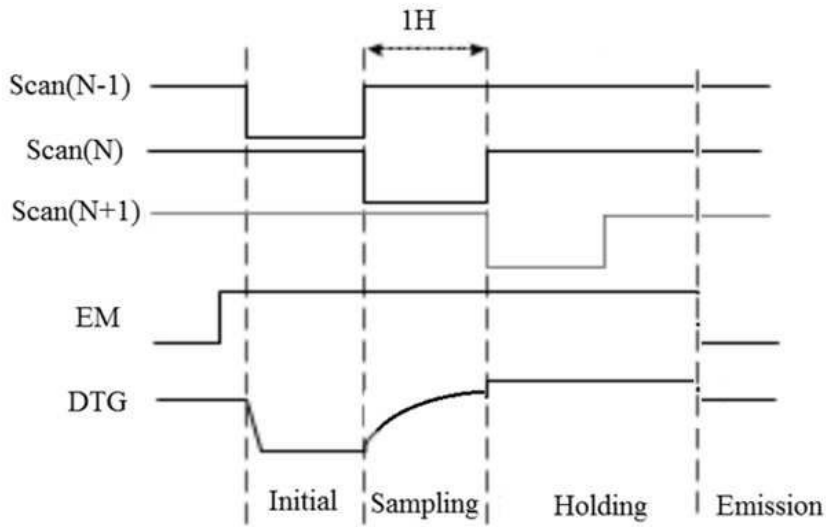
도면3



도면4



도면5



도면6

	Initial	Sampling	Holding	Emission
Vref	Vref	Vref	VDD	VDD
DT-G	Vini	$V_{data} - V_{th} $	←	$V_{data} - V_{th} + (VDD - V_{ref})$
DT-S	-	Vdata	←	VDD
DT-D	-	$V_{data} - V_{th} $	←	-

도면7a

