



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 38 043 B3 2004.01.08**

(12)

Patentschrift

(21) Aktenzeichen: **102 38 043.0**
 (22) Anmeldetag: **20.08.2002**
 (43) Offenlegungstag: –
 (45) Veröffentlichungstag
 der Patenterteilung: **08.01.2004**

(51) Int Cl.7: **H04L 7/033**
H04L 12/50

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(71) Patentinhaber:
Siemens AG, 80333 München, DE

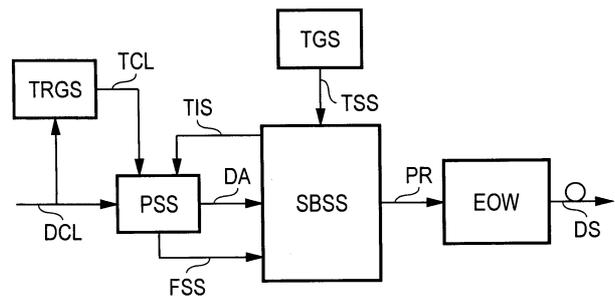
(72) Erfinder:
Dietrich, Werner, Wien, AT

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 39 42 883 A1
DE 692 27 820 T2

(54) Bezeichnung: **Anordnung und Verfahren zur Gewinnung eines Nutzdatentaktes eines in Pulsrahmen eingefügten Datensignals**

(57) Zusammenfassung: Ein Pulsrahmen-Datensignal, das ein variables Nutz- zu Fülldatenverhältnis aufweist, wird einer Signalbearbeitungsschaltung zugeführt, die einen Pulsrahmentakt ermittelt, die Nutzdaten in einem Pufferspeicher zwischengespeichert und ein füllstandsabhängiges Signal abgibt.

Der Pulsrahmentakt und das füllstandsabhängige Signal werden einer Takterzeugungsschaltung zugeführt, die durch einen Vergleich des füllstandsabhängigen Signals mit einem Sollwert und einer Serienschaltung aus einem Proportional-Integral-Filter, einem Direkt-Digital-Synthesizer und einer Phase-Locked-Loop-Schaltung den Nutzdatentakt des Datensignals erzeugt.



Beschreibung

[0001] Die Erfindung betrifft eine Anordnung nach dem Oberbegriff des Anspruchs 1 und ein Verfahren nach dem Oberbegriff des Anspruchs 5.

Stand der Technik

[0002] Heutige Datennetze übertragen Nutzdaten mit Hilfe vordefinierter Pulsrahmen, die eine feste Größe besitzen. Dabei bestehen diese Pulsrahmen im wesentlichen aus zwei Bereichen, einem sogenannten Overhead, in dem Steuerungs-, Alarm-, Bitfehler-, Synchronisations- und andere Informationen übertragen werden und einer sogenannten Payload, in dem die Nutz- bzw. Kundendaten übertragen werden. Füllen die zu übertragenden Nutzdaten den Payload-Bereich des Pulsrahmens nicht vollständig aus, wird der verbliebene Bereich mit sogenannten Fülldaten oder Stopfbits vervollständigt. Dabei existiert ein festes, definiertes, Verhältnis von Nutzdaten zur Pulsrahmengröße, wie beispielsweise in der Synchronen Digital Hierarchie, kurz SDH, beim Synchronen Optischen Netzwerk, kurz SONET, oder wie beim Optischen Transportnetzwerk, kurz OTN.

[0003] Nun kommt es häufiger vor, dass verschiedenen große, nicht definierte, Nutzdatengrößen über ein Datennetz übertragen werden. Da die Pulsrahmengröße vorgegeben ist, ergibt sich ein variables Verhältnis von Nutz- zu Fülldaten. Damit ergibt sich auf der Empfangseite das Problem der möglichst jitterfreien Taktrückgewinnung bei variablem Nutz- zu Fülldatenverhältnis. Übliche Verfahren, die bei konstanten Nutz- zu Pulsrahmenverhältnissen und daraus resultierenden konstanten Nutz- zu Fülldatenverhältnissen verwendet wurden, sind für variable Verhältnisse nicht geeignet.

[0004] Eine solche Schaltung ist für SDH-Netze bzw. deren STMTransportmodule in der Offenlegungsschrift DE 42 883 A1 beschrieben. Dort ist eine Schaltungsanordnung zur Bitratenanpassung zweier Signale mit einem elastischen Speicher beschrieben. In diesem Speicher werden die Nutzdaten eines nach Rahmen strukturierten ersten Signals mit einem Schreibzähler eingeschrieben und mit einem Lesezähler wieder ausgelesen. Ein Phasenvergleicherdient dem Vergleich der Zählerstände.

[0005] Um Jitter im ausgelesenen Signal weitgehend zu vermeiden, werden der Lesezähler und der Phasenvergleicherdienst zu Bestandteilen eines Regelkreises gemacht, der den Takt für den Lesezähler regelt. In diesem Regelkreis ist das Ausgangssignal des Phasenvergleichers die Regelabweichung. Das Stellglied des Regelkreises besteht aus einer steuerbaren Oszillatorschaltung, mit dessen Ausgangssignal der Lesezähler getaktet wird. Zur Vermeidung stationärer Phasenabweichungen bei konstanter Frequenzabweichung wird ein Regler mit PI-Verhalten verwendet.

[0006] In der europäischen Patentschrift EP 0536

464 B1 ist eine äquivalente Schaltung für SONST Digitalsignale beschrieben. Dieses Offenbart eine SONST DS-N Desynchronisierereinrichtung und ein Verfahren zum Empfang von SONST Daten. Die Desynchronisierereinrichtung weist einen Schreibzähler, einen Lesezähler, eine Puffereinrichtung, eine Offset-Einrichtung, einer Takterzeugungsschaltung, einer Steuereinrichtung, eine direkt digital Synthetisierschaltung, einen Oszillator und einem Mischer auf und liefert einen desynchronisierten Takt, durch den die Taktrate, mit der Daten von einem Datenpuffer zurückgewonnen werden, an die Taktrate angepasst wird, mit der ein ankommender SONET-Datenstrom im Puffer gespeichert wird.

Aufgabenstellung

[0007] Die der vorliegenden Erfindung zu Grunde liegende Aufgabe besteht nun darin, für die Rückgewinnung eines Nutzdatentaktes bei variablen Nutz- zu Fülldatenverhältnis eine einfache Lösung anzubieten.

[0008] Diese Aufgabe wird durch die Merkmale der Anordnung des Anspruchs 1 bzw. die Merkmale des Verfahrens nach Anspruch 5 gelöst.

[0009] Der Vorteil der Erfindung besteht darin, daß bei einem beliebigen Nutz- zu Fülldatenverhältnis ein jitterfreier Nutzdatentakt gewonnen wird.

[0010] Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

[0011] Beispielsweise wird für die Taktrückgewinnung ein besonders vorteilhaftes Proportional-Integral-Filter beansprucht, das eine saubere Filterung des für die Gewinnung des jitterfreien Nutzdatentakt notwendigen Differenzsignals ermöglicht.

[0012] In einer weiteren vorteilhaften Ausgestaltung der Erfindung wird ein Direkt-Digital-Synthesizer beansprucht, der ein besonders stabiles, für die Gewinnung des jitterfreien Nutzdatentakt notwendiges, periodisches Signal erzeugt.

[0013] Ferner wird eine besonders vorteilhafte Phase-Locked-Loop-Schaltung beansprucht, die einen besonders jitterfreien Nutzdatentakt abgibt.

[0014] Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und wird im folgenden näher beschrieben.

[0015] Dabei zeigen:

Fig. 1 das Blockschaltbild einer Sendeeinrichtung,

Fig. 2 das Blockschaltbild einer Empfangseinrichtung und

Fig. 3 eine Takterzeugungsschaltung in einer Empfangseinrichtung gemäß **Fig. 2**.

Ausführungsbeispiel

[0016] **Fig. 1** zeigt eine Sendeeinrichtung, bestehend aus einem Taktregenerator TRGS, einem Pufferspeicher PSS, einer Signalbearbeitungsschaltung SBSS, einem Taktgenerator TGS und einem wahlweisen elektrooptischen Wandler EOWS.

[0017] Das Eingangssignal, ein zu übertragendes digitales Datensignal DCL eines Kunden, wird einerseits der Taktrückgewinnungsschaltung TRGS zugeführt, die den Takt TCL des Eingangssignals bestimmt, und andererseits dem Pufferspeicher PSS, der die Daten DA des Eingangssignals DCL mit dem Takt TCL zwischenspeichert. Die Daten DA werden mit einem internen Takt TIS, der von der Signalbearbeitungsschaltung SBSS in Abhängigkeit vom Füllstand des Pufferspeichers PSS erzeugt wird, aus dem Pufferspeicher ausgelesen und der Signalbearbeitungsschaltung SBSS zugeführt. Diese erzeugt einen Pulsrahmen PRS, in den die Daten DA und eventuell notwendige Fülldaten FDS eingefügt werden. Der gefüllte Pulsrahmen PR wird mit einem vom Taktgenerator TGS erzeugten Takt TSS von der Signalbearbeitungsschaltung SBSS direkt oder über einen elektrisch-optischen Wandler EOW ausgesendet.

[0018] Empfangsseitig wird das Signal durch eine in **Fig. 2** dargestellte Empfangseinrichtung ausgewertet, die aus einem Wahlweisen optisch-elektrischen Wandler OEW, einer Taktrückgewinnungsschaltung TRG, die den Takt TDS des empfangenen Datensignals DS ermittelt, einer Signalbearbeitungsschaltung SBS, einem Pufferspeicher PS und einer Ein- und Auslesesteuerung EAS besteht.

[0019] Dabei wird das empfangene Datensignal DS, nach einer wahlweisen optisch-elektrischen Wandlung, einerseits der Taktrückgewinnungsschaltung TRG und andererseits der Signalbearbeitungsschaltung SBS zugeführt, die das Datensignal DS mit dem Takt TDS einliest, auswertet und einen Pulsrahmentakt TPR und die Daten DN mit einem internen Takt TNDI abgibt. Die Daten DN werden mit dem internen Takt TNDI in den Pufferspeicher PS eingelesen. Dem Pufferspeicher PS ist die Ein- und Auslesesteuerung EAS zugeordnet, die ein füllstandsabhängiges Signal FS abgibt.

[0020] Der Pulsrahmentakt TPR und das füllstandsabhängige Signal FS werden einer Takterzeugungsschaltung TES zugeführt, die in **Fig. 3** dargestellt ist.

[0021] Dabei wird das füllstandsabhängige Signal FS einem Vergleicher V1 zugeführt, der dieses Signal mit einem Sollwert SW vergleicht und ein erstes Differenzsignal DIF1 an einen ersten Speicher SP1 abgibt, der dieses mit dem Pulsrahmentakt TPR zwischenspeichert und ein zweites, mit dem Pulsrahmentakt TPR quantisiertes Differenzsignal DIF2 abgibt. Dieses wird einem Proportional-Integral-Filter PIF zugeführt.

[0022] Das Proportional-Integral-Filter PIF besteht aus einem ersten und einem zweiten Multiplizierer MUL1 und MUL2, einem ersten und zweiten Addierer ADD1 und ADD2, und einem zweiten Speicher SP2. Dabei wird das quantisierte Differenzsignal DIF2 den beiden Multiplizierern MUL1 und MUL2 zugeführt, die es jeweils mit einer ersten und einer zweiten Konstanten gewichten, so dass jeweils ein gewichtetes Differenzsignal DIF4 und DIF5 erzeugt wird. Das eine gewichtete Differenzsignal DIF4 wird dem ersten

Addierer ADD1 zugeführt, dessen Ausgang mit dem Eingang des zweiten Speicher SP2 verbunden ist. In diesem zweiten Speicher SP2 wird das ihm zugeführte Signal mit dem Pulsrahmentakt TPR zwischenspeichert. Sein Ausgangssignal wird zum einem über eine Rückkopplung dem ersten Addierer RDD1 und zum anderen dem zweiten Addierer ADD2 zugeführt, dem außerdem das andere gewichtete Differenzsignal DIF5 zugeführt wird. Der zweite Addierer ADD2 gibt ein gefiltertes Differenzsignal DIF3 ab, das einem nachgeschalteten Direkt-Digital-Synthesizer DDS zugeführt wird.

[0023] Dieser Direkt-Digital-Synthesizer besteht aus einer Serienschaltung eines dritten Addierers RDD3, eines dritten Speichers SP3, der mittels eines Taktgenerators TG getaktet wird, eines nachgeschalteten vierten Speichers SP4, eines Digital-Analog-Umsetzers DAU, eines Filters FI, das wenigstens Tiefpasscharakteristik aufweist und eines Sinus-Rechteck-Wandlers SRW. Dabei ist der Ausgang des dritten Speichers SP3 sowohl mit dem Eingang des vierten Speichers SP4 als auch über eine Rückkopplung mit einem zweiten Eingang des dritten Addierers RDD3 verbunden.

[0024] Dabei wird das gefilterte Differenzsignal DIF3 unter Berücksichtigung seines Vorgängerwertes im dritten Speicher SP3 zwischengespeichert. Dieser dritte Speicher SP3 ist durch einen Taktgenerator TG getaktet, der ein hochstabiles Taktsignal abgibt, beispielsweise durch einen quarzgesteuerten Taktgenerator. Das Ausgangssignal des dritten Speichers SP3 wird einem vierten Speicher SP4 zugeführt, der beispielsweise als Sinus-Speicher ausgeführt ist. Dieser enthält die Werte von +1 bis -1 einer Sinuskurve von 0 bis 2π . Abhängig vom Ausgangssignal des dritten Speicher SP3, wird die Sinuskurve des vierten Speicher SP4 verschieden häufig durchlaufen. Dieses sprunghafte Ausgangssignal des vierten Speicher SP4 wird anschließend digital-analog-umgesetzt und gefiltert, so dass ein annähernd sinusförmiges Signal erzeugt wird. Dieses wird in dem Sinus-Rechteckwandler SRW wieder in ein rechteckförmiges periodisches Signal PS gewandelt, das einer nachgeschalteten Phase-Locked-Loop-Schaltung PLL zugeführt wird.

[0025] Die Phase-Locked-Loop-Schaltung PLL besteht aus einer Serienschaltung eines Phasendetektors PD, dem das periodische Signal PS zugeführt wird, eines PLL-Filters FIP, das wenigstens Tiefpasscharakteristik aufweist, eines spannungsgesteuerten Oszillators VCO und eines ersten Teilers TE1. Vom Ausgang des spannungsgesteuerten Oszillators VCO führt ein Rückkopplungsweig zu einem zweiten Eingang des Phasendetektors PD, in dem ein zweiter Teiler TE2 angeordnet ist.

[0026] Das dem Phasendetektor zugeführte periodische Signal PS wird phasenverglichen und dem PLL-Filter zugeführt, das nach der Filterung den spannungsgesteuerten Oszillator VCO ansteuert. Dessen Ausgangssignal bildet über den zweiten Tei-

ler TE2 ein Referenzsignal zum Phasenvergleich des periodischen Signals PS und über den ersten Teiler TE1 den Nutzdatentakt TND, welcher als Ausgangssignal der Takterzeugungseinrichtung TES der Ein- und Auslesesteuerung EAS zugeführt wird. Mit diesem sehr exakten Takt werden die Daten DN schließlich aus dem Pufferspeicher PS ausgelesen und dem Kunden zugeführt.

[0027] Im folgenden wird die Funktion der einzelnen Schaltungen nochmals näher erläutert. Insbesondere wird auf die Funktion der Takterzeugungsschaltung TES eingegangen.

[0028] Der Füllstand des Pufferspeichers aus **Fig. 2** ist proportional zur quantisierten Phasendifferenz zwischen dem einschreibenden Datentakt TNDI und dem auslesenden Takt TND. Die Ein-Auslesesteuerung EA5 bildet also einen Phasendiskriminator für diese beiden Takte, dessen Quantisierungsgrad 2π bzw. 1 Bit ist und dessen Diskriminatorsteilheit $1/2\pi$ ist. Geht man davon aus, daß im eingeschwungenen Zustand in einem Pulsrahmen immer annähernd die gleiche Anzahl von gültigen Datenbits übertragen werden, ergeben sich konstante Taktverhältnisse von internem Takt TNDI und Datensignaltakt TDS. Wenn also die Auslesefrequenz aus dem Pufferspeicher richtig ist, muß am Ende jedes übertragenen Rahmens die gleiche Anzahl von Bits im Pufferspeicher stehen. Die Anzahl muß einem Sollwert entsprechen, um Über- oder Unterläufe des Pufferspeichers in einem Rahmenzyklus zu verhindern. Positive oder negative Abweichungen vom Sollwert zeigen an, daß die Auslesefrequenz zu hoch oder tief ist und korrigiert werden muß.

[0029] Bei der Schaltung in **Fig. 3** wird der Füllstand um einen Sollwert subtrahiert und dieser Wert als Phasendifferenz mit dem Pulsrahmentakt im ersten Speicher SP1 abgespeichert. Durch diese Abtastung wird der Jitter, der periodisch mit der Frequenz des Rahmentaktes auftritt, auf einen konstanten Wert reduziert. Im ersten Speicher SP1 steht also der quantisierte Abtastwert der Phasendifferenz. Im eingeschwungenen Zustand ist der Abtastwert 0 oder nahezu 0. Die Abweichung von 0 dient zur Beeinflussung des Direkt-Digital-Synthesizer DDS, bestehend aus dem zweiten Speicher, dem sogenannten Schrittspeicher SP2, dem dritten Speicher, dem sogenannten Phasen-Summenspeicher SP3, dem vierten Speicher, dem sogenannten Sinus-Speicher SP4, in dem eine Sinus-Kurve von 0 bis 2π digital abgespeichert ist, und dem D/A Wandler, der den augenblicklich vom ROM ausgegebenen Wert in ein analoges Signal umsetzt. Die Taktfrequenz dieses digitalen Teils wird durch den eigenen Taktgenerator TG erzeugt. Es gibt von diesem Prinzip-Aufbau abweichende Formen von Direkt-Digital-Synthesizern DDS, die ebenfalls verwendet werden können. Die Arbeitsweise des Direkt-Digital-Synthesizers DDS ist die folgende: Der Speicher SP2 stellt mit der Datenrückführung und dem Addierer ADD1 vor dem Eingang einen Integrator bzw. Tiefpaß dar. Die Multipli-

kation der Phasendifferenz mit k_1 definiert zusammen mit der Abtastfrequenz, welche der Pulsrahmentakt TPR ist, die Integrationszeitkonstante. Über den Nebenzweig wird die Phasendifferenz mit k_2 multipliziert und zum Integrationswert addiert. Zusammen ergibt sich eine Proportional-Integral Filterung der Phasendifferenz. Im eingeschwungenen Zustand steht ein konstanter Wert im Schrittspeicher SP2. Dieser Wert ist proportional zur gewünschten Ausgangsfrequenz des Direkt-Digital-Synthesizer DDS und definiert die Schrittweite, mit der die Phase weitergestellt wird. Der Phasensummenspeicher SP3 ist mit der Datenrückführung und des dritten Addierers ADD3 wieder als Integrator geschaltet. Im dritten Speicher, dem sogenannten Phasensummenspeicher SP3, wird der momentane, zeitbezogene Phasenwert gespeichert. Dieser Wert wird mit jeder Periode des Taktgenerators TG um den Wert, der im zweiten Speicher SP2 steht, erhöht. Der Wert des dritten Speichers bzw. Phasensummenspeichers SP3 stellt den augenblicklichen Phasenwert dar, zu dem über den vierten Speicher bzw. Sinus-Speicher SP4 der augenblickliche Sinus-Wert gefunden werden kann. Durch entsprechende Wahl der Speichertiefe kann der Wert im dritten Speicher SP3 direkt als Adresse für den Sinus-Speicher verwendet werden. Die Speicherung des Phasenwertes im dritten Speicher SP3 erfolgt daher modulo der maximalen Speichertiefe des Sinus-Speichers. Man kann auch die Symmetrie der Sinus-Schwingung ausnutzen um die effektive Speichertiefe zu reduzieren. Der digitale Ausgabewert des Sinus-Speichers SP4 entspricht dem gewünschten Sinus-Signals zu diskreten Zeiten, die durch das Taktintervall vom Taktgenerator TG gegeben sind. Durch den Digital/Analog-Umsetzer DAU wird ein analoges Signal erzeugt. Um ein möglichst kontinuierliches Sinus-Signal zur erreichen, ist ein Interpolationsfilter nachgeschaltet.

[0030] Nach dem Interpolationsfilter erzeugt ein Sinus-Rechteckwandler SRW ein digitales Signal für den Phasendetektor PD. Im Falle eines analogen Phasendetektors kann der Sinus-Rechteckwandler SRW entfallen. Die Ausgangs-PLL, bestehend aus Phasendetektor PD, PLL-Filter FIP, spannungsgesteuertem Oszillator VCO, erstem Teiler TE1 mit einem Verhältnis $m:1$, und zweitem Teiler TE2 mit einem Verhältnis $n:1$, stellt einen Frequenzvervielfacher mit dem Faktor n/m dar. Die Jittergrenzfrequenz dieser PLL-Schaltung sollte möglichst groß sein, um eine phasenstarre Kopplung zu erreichen. Nach der Teilung $m:1$ erhält man den gewünschten Takt TND. Wenn der spannungsgesteuerte Oszillator VCO einen Ziehbereich von mindestens $2:1$ hat, läßt sich durch binäre Teilung jede gewünschte Frequenz TND, die unter der maximalen spannungsgesteuerten Oszillator-Frequenz liegt, erzeugen.

[0031] Die gesamte Schaltung verhält sich für entsprechende Werte von k_1 und k_2 wie eine Phase-Locked-Laop-Schaltung 2. Ordnung.

Patentansprüche

1. Anordnung zur Gewinnung eines Nutzdatentaktes (TND) eines in Pulsrahmen eingefügten Datensignals (DS), welches wenigstens aus Nutz- und Fülldaten besteht, wobei das Verhältnis von Nutz- und Fülldaten variieren kann, bei der das Datensignal (DS) einer Taktrückgewinnungsschaltung (TRG), die den Takt (TDS) des Datensignals ermittelt, und einer Signalbearbeitungsschaltung (SBS) zugeführt wird, die das Signal auswertet, einen Pulsrahmentakt (TPR) und Nutzdaten (DN) mit einem internen Nutzdatentakt (TNDI) abgibt und bei der zur Zwischenspeicherung der Nutzdaten (DN) ein Pufferspeicher (PS) mit einer Ein- und Auslesesteuerung (EAS) für ein füllstandsabhängiges Signal (F3) vorgesehen ist, wobei weiterhin eine Takterzeugungsschaltung (TES) vorgesehen ist, die enthält:

Eine Vergleichereinrichtung (V1), die durch Vergleich des Füllstandssignals (FS) mit einem Sollwert (SW) ein erstes Differenzsignal (DIF1) generiert, einen ersten Speicher (SP1), der am Ausgang aus dem ersten Differenzsignal (DIF1), gesteuert durch den Pulsrahmentakt (TPR), ein zweites quantisiertes Differenzsignal (DIF2) generiert, ein dem ersten Speicher (SP1) nachgeschaltetes Proportional-Integral-Filter (PIF), das aus dem zweiten quantisierten Differenzsignal (DIF2), ebenfalls gesteuert durch den Pulsrahmentakt (TPR), ein gefiltertes drittes Differenzsignal (DIF3) generiert, und einen Direct-Digital-Synthesizer (DDS), der das gefilterte dritte Differenzsignal (DIF3) in ein periodisches Signal (PS) umsetzt und an eine nachgeschaltete Phase-Locked-Loop-Schaltung (PLL) weitergibt, deren Ausgangssignal den Nutzdatentakt (TND) für die aus dem Pufferspeicher (PS) auslesbaren Nutzdaten (DN) bildet.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Proportional-Integral-Filter (PIF) einen ersten und zweiten Multiplizierer (MUL1) und (MUL2), einen ersten und zweiten Addierer (ADD1) und (ADD2) und einen zweiten Speicher (SP2) aufweist, daß der Eingang des Proportional-Integral-Filters (PIF) mit dem Eingang des ersten und zweiten Multiplizierers (MUL1, MUL2) verbunden ist, die das als Eingangssignal zugeführte quantisierte Differenzsignal (DIF2) jeweils mit einem festeingestellten Faktor multiplizieren, daß der Ausgang des ersten Multiplizierers (MUL1) mit dem ersten Eingang des ersten Addierers (ADD1) verbunden ist, daß der Ausgang des ersten Addierers (ADD1) mit dem Dateneingang des zweiten Speichers (SP2) verbunden ist, daß dem Takteingang des zweiten Speichers (SP2) der Pulsrahmentakt (TPR) zugeführt wird, daß der Ausgang des zweiten Speichers (SP2) mit dem zweiten Eingang des ersten Addierers (ADD1) und dem ersten Eingang des zweiten Addierers (ADD2) verbunden ist, daß der Ausgang des zweiten Multiplizierers

(MUL2) mit dem zweiten Eingang des zweiten Addierers (ADD2) verbunden ist, der an seinem Ausgang das gefilterte Differenzsignal (DIF3) als Ausgangssignal abgibt.

3. Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Direct-Digital-Synthesizer (DDS) aus einer Serienschaltung eines dritten Addierers (ADD3), eines mit dem Takt eines Taktgenerators (TG) getakteten dritten Speichers (SP3), dessen Ausgang zusätzlich auf einen zweiten Eingang des dritten Addierers (ADD3) zurückgeführt ist, eines dem dritten Speicher nachgeschalteten vierten Speichers (SP4), eines Digital-Analog-Umsetzers (DAU), eines Filters (FI) und eines Sinus-Rechteck-Wandlers (SRW) besteht.

4. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Phase-Locked-Loop-Schaltung (PLL) aus einer Serienschaltung eines Phasendetektors (PD), eines PLL-Filters (FIP), eines spannungsgesteuerten Oszillators (VCO) und eines ersten Teilers (TE1) sowie aus einem in einem Rückkopplungsweig zwischen dem Ausgang des spannungsgesteuerten Oszillators (VCO) und einem zweiten Eingang des Phasendetektors (PD) eingeschalteten zweiten Teilers (TE2) besteht.

5. Verfahren zur Gewinnung eines Nutzdatentaktes (TND) eines in Pulsrahmen eingefügten Datensignals (DS), welches wenigstens aus Nutz- und Fülldaten besteht, wobei das Verhältnis von Nutz- und Fülldaten variieren kann, bei welcher der Takt (TDS) des Datensignals (DS), dessen Pulsrahmentakt (TPR) und die Nutzdaten (DN) mit einem internen Nutzdatentakt (TNDI) ermittelt werden, die Nutzdaten (DN) zwischengespeichert werden und ein vom Speicherinhalt abhängiges füllstandsabhängiges Signal (FS) ermittelt wird, das mit einem Sollwert (SW) verglichen wird und daraus ein erstes Differenzsignal (DIF1) ermittelt wird, daß dieses erste Differenzsignal (DIF1) mit dem Pulsrahmentakt (TPR) zwischengespeichert wird und daraus ein zweites quantisiertes Differenzsignal (DIF2) erzeugt wird, daß aus dem zweiten Differenzsignal (DIF2) durch Proportional-Integral-Filterung mit Hilfe des Pulsrahmentaktes (TPR) ein gefiltertes Differenzsignal (DIF3) erzeugt wird und daß dieses gefilterte Differenzsignal (DIF3) mittels einer Direkt-Digital-Synthese (DDS) zunächst in ein periodisches Rechtecksignal (PS) und mittels einer Phase-Lock-Loop-Schaltung (PLL) in den Nutzdatentakt (TND) gewandelt wird, mit dem die zwischengespeicherten Nutzdaten (DN) ausgelesen werden.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß bei der Proportional-Integral-Filterung das Eingangssignal in einen ersten und einen zweiten Zweig aufgeteilt wird, wobei jeder Zweig durch ei-

nen festeingestellten Faktor gewichtet wird, der erste Zweig das gewichtete Signal mit dem Pulsrahmentakt (TPR) zwischenspeichert und das zwischengespeicherte Signal durch eine Rückführung seinem Eingangssignal additiv hinzugefügt wird und mit dem gewichteten Signal des zweiten Zweiges über eine Addition zu einem Ausgangssignal zusammengefasst wird.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß bei der Direkt-Digital-Synthese (DDS) das Eingangssignal mit einem festen Takt zwischengespeichert wird und dieses zwischengespeicherte Signal zum einem seinem Eingangssignal additiv hinzugefügt wird und zum anderen über eine Adressierungstabelle in ein weiteres digitales Signal gewandelt wird, welches in ein quasi-analoges Signal umgesetzt wird und dass dieses quasi-analoge Signal anschließend wenigstens integral gefiltert wird und wiederum in ein periodisches Rechtecksignal (PS) gewandelt wird.

8. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß bei der Phase-Lock-Loop-Schaltung (PLL) das Eingangssignal mit einem Referenzsignal phasenverglichen wird, dieses phasenvergliche Signal wenigstens tiefpassgefiltert wird, dieses tiefpassgefilterte Signal einem spannungsgesteuerten Oszillator zugeführt wird, dessen Ausgangssignal einerseits mit einem ersten Teilverhältnis das Referenzsignal bildet und andererseits mit einem zweiten Teilverhältnis den Nutzdatentakt abgibt.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

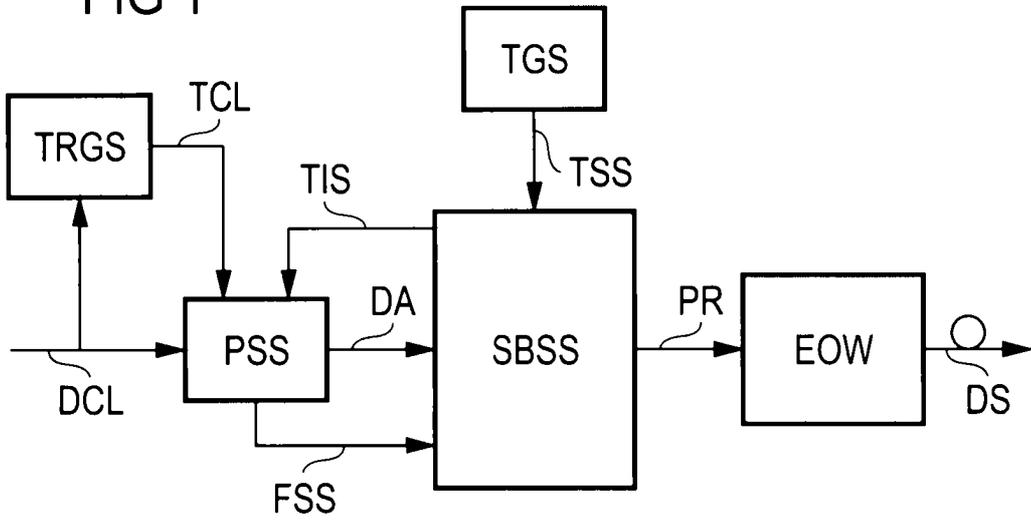


FIG 2

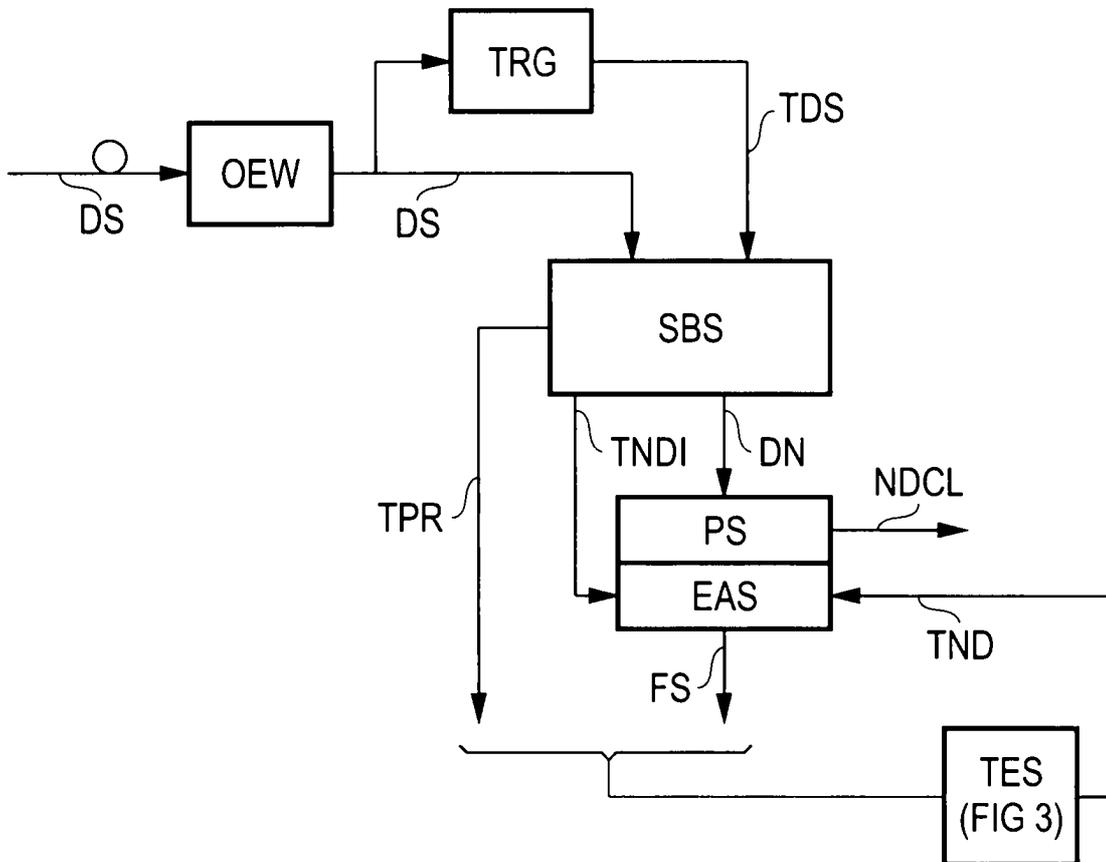


FIG 3

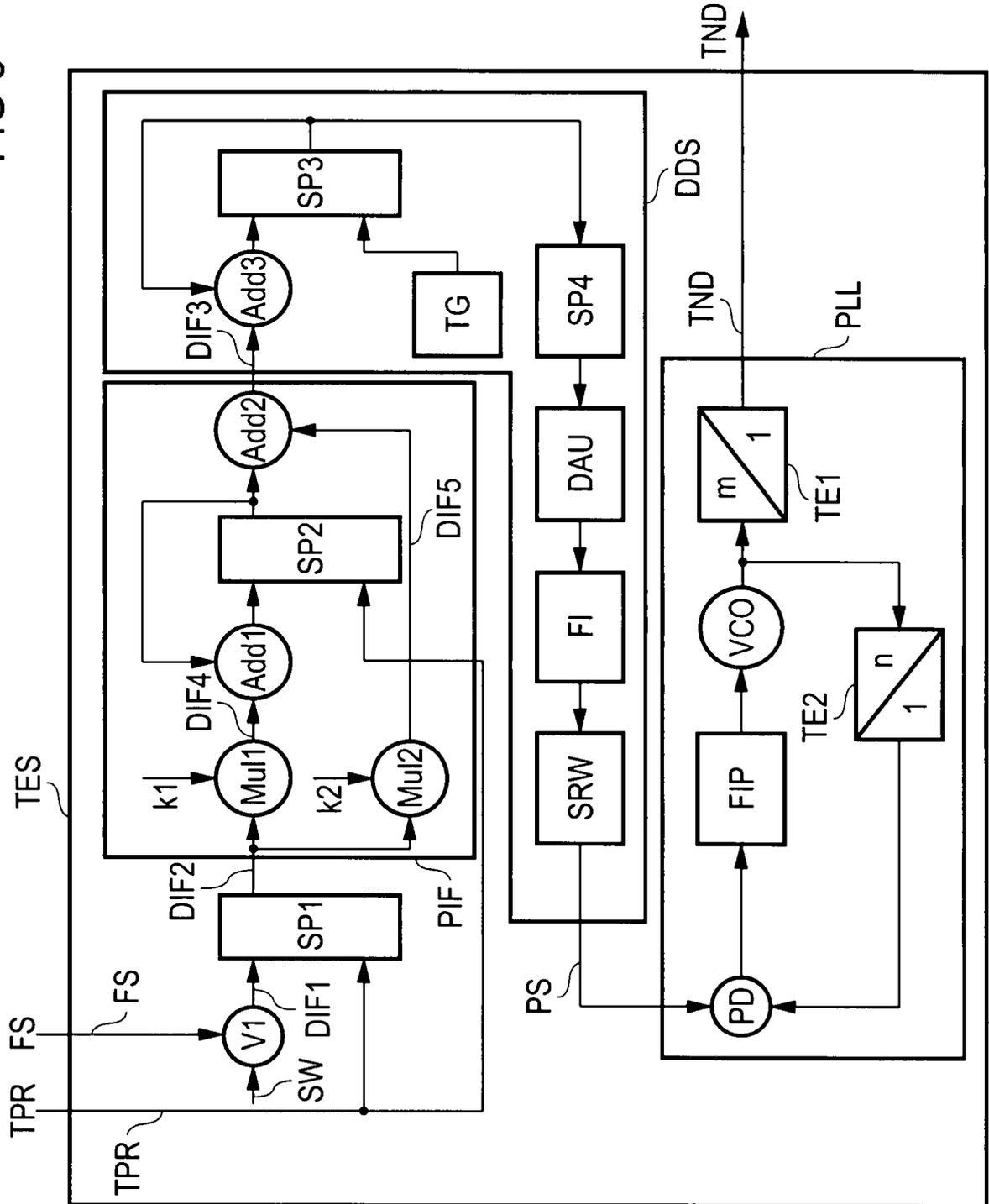


FIG 4

