

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-188361

(P2011-188361A)

(43) 公開日 平成23年9月22日 (2011.9.22)

(51) Int.Cl.
H03K 17/22 (2006.01)

F I
H03K 17/22

テーマコード (参考)
5J055

審査請求 未請求 請求項の数 9 O L (全 22 頁)

(21) 出願番号 特願2010-53297 (P2010-53297)
(22) 出願日 平成22年3月10日 (2010.3.10)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 萩原 淳史
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 5J055 AX21 BX42 DX16 DX22 DX62
DX72 DX82 EX01 EX07 EY01
EY03 EY10 EY12 EY21 EZ04
EZ10 EZ51 FX05 FX12 FX20
FX37 GX01 GX02 GX06

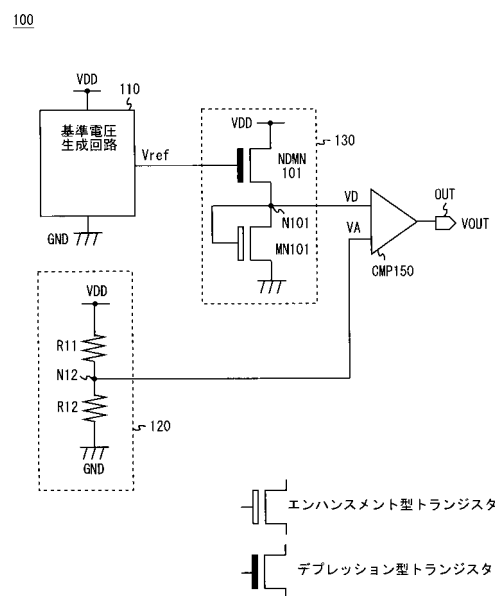
(54) 【発明の名称】 パワーオンリセット回路

(57) 【要約】

【課題】 誤動作を起こす可能性があった。

【解決手段】 電源投入初期もしくは電源電圧降下時にリセット信号を発生し初期化するパワーオンリセット回路であって、電源電圧に応じた電圧を分圧した第1の比較電圧を生成する第1の比較電圧生成部と、電源電圧に応じた第1の電圧を出力する基準電圧生成部と、電源電圧端子と第1のノードとの間に接続され、制御端子に前記第1の電圧を入力するデプレッション型の第1のトランジスタと、前記第1のノードと接地端子との間に接続され、制御端子が前記第1のノードに接続されるエンハンスメント型の第2のトランジスタと、を備え、前記第1のノードの電位に応じた電圧を第2の比較電圧として生成する第2の比較電圧生成部と、前記第1、第2の比較電圧との比較結果に応じてリセット信号を出力する比較器と、を有するパワーオンリセット回路。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体装置の電源電圧供給開始時もしくは前記電源電圧降下時にリセット信号を発生し、その半導体装置の内部回路を初期化するパワーオンリセット回路であって、

前記電源電圧に応じた電圧を所定の比率で分圧した第 1 の比較電圧を生成する第 1 の比較電圧生成部と、

前記電源電圧に応じた第 1 の電圧を出力する基準電圧生成部と、

前記電源電圧を供給する電源電圧端子と第 1 のノードとの間に接続され、制御端子に前記第 1 の電圧を入力するデプレッション型の第 1 のトランジスタと、

前記第 1 のノードと接地端子との間に接続され、制御端子が前記第 1 のノードに接続されるエンハンスメント型の第 2 のトランジスタと、を備え、

前記第 1 のノードの電位に応じた電圧を第 2 の比較電圧として生成する第 2 の比較電圧生成部と、

前記第 1、第 2 の比較電圧を比較し、その比較結果に応じて前記リセット信号を出力する比較器と、を有する

パワーオンリセット回路。

【請求項 2】

前記第 1 の電圧は、前記基準電圧生成部の出力ノードから出力され、前記電源電圧が所定の電圧以上になった場合に一定の電圧値となる第 1 の基準電圧である

請求項 1 に記載のパワーオンリセット回路。

【請求項 3】

前記基準電圧生成部は、内部の第 2 のノードに印加される電圧に応じた動作電流が流れることにより能動状態となり、その能動状態になった場合に第 1 の制御電圧を生成し、更に、前記電源電圧が所定の電圧以上になった場合に前記第 1 の制御電圧に応じた一定の基準電圧を生成するバンドギャップリファレンス回路であり、

前記第 1 の電圧は、前記第 1 の制御電圧である

請求項 1 に記載のパワーオンリセット回路。

【請求項 4】

前記第 1 の比較電圧生成部は、前記第 1 の制御電圧に応じて能動状態となる

請求項 3 に記載のパワーオンリセット回路。

【請求項 5】

前記電源電圧供給開始から所定の期間、前記電源電圧を前記第 1 のノードに伝達するスタートアップ部を更に有する

請求項 4 に記載のパワーオンリセット回路。

【請求項 6】

前記第 2 の比較電圧生成部は、デプレッション型の第 3 のトランジスタと、エンハンスメント型の第 4 のトランジスタを更に備え、

前記第 3 のトランジスタは、前記電源電圧を供給する電源電圧端子と第 3 のノードとの間に接続され、制御端子が前記第 1 のノードと接続され、

前記第 4 のトランジスタは、前記第 3 のノードと接地端子との間に接続され、制御端子が前記第 3 のノードに接続され、

前記第 3 のノードの電位を第 2 の比較電圧として生成する

請求項 1 ~ 請求項 5 のいずれか 1 項に記載のパワーオンリセット回路。

【請求項 7】

前記第 1 のトランジスタに対して、少なくとも前記第 2 のトランジスタのゲート幅の比が大きい、もしくは、ゲート長さの比が小さく、

前記第 3 のトランジスタに対して、少なくとも前記第 4 のトランジスタのゲート幅の比が小さい、もしくは、ゲート長さの比が大きい

請求項 6 に記載のパワーオンリセット回路。

【請求項 8】

請求項 1 に記載のパワーオンリセット回路。

10

20

30

40

50

前記基準電圧生成回路は、エンハンスメント型の第5～第9のトランジスタと、第1～第3のダイオードと、第1、第2の抵抗とを有し、

前記第5のトランジスタは、前記電源電圧端子と前記第1の制御信号を生成する前記第2のノードとの間に接続され、制御端子が第4のノードに接続され、

前記第6のトランジスタは、前記電源電圧端子と前記第4のノードとの間に接続され、制御端子が前記第4のノードに接続され、

前記第7のトランジスタは、前記電源電圧端子と当該基準電圧生成回路の出力ノードである第5のノードとの間に接続され、制御端子が前記第4のノードに接続され、

前記第8のトランジスタは、前記第2のノードと第6のノードとの間に接続され、制御端子が前記第2のノードに接続され、

前記第9のトランジスタは、前記第4のノードと第7のノードとの間に接続され、制御端子が前記第2のノードに接続され、

前記第1の抵抗は、前記第7のノードと、第8のノードとの間に接続され、

前記第2の抵抗は、前記第5のノードと、第9のノードとの間に接続され、

前記第1のダイオードは、前記第6のノードと前記接地端子との間に接続され、

前記第2のダイオードは、前記第8のノードと前記接地端子との間に接続され、

前記第3のダイオードは、前記第9のノードと前記接地端子との間に接続される、

前記比較電圧生成部は、第10のトランジスタと、第3、第4の抵抗とを有し、

前記第10のトランジスタは、前記電源電圧端子と前記第10のノードとの間に接続され、制御端子が前記第4のノードに接続され、

前記第3の抵抗は、前記第10のノードと、前記第1の比較電圧を生成する第11のノードとの間に接続され、

前記第4の抵抗は、前記第11のノードと、前記接地端子との間に接続される
請求項3～請求項7のいずれか1項に記載のパワーオンリセット回路。

【請求項9】

前記スタートアップ部は、第11のトランジスタと、第1の容量とを有し、

前記第11のトランジスタは、前記電源電圧端子と前記第2のノードとの間に接続され、制御端子が第10のノードに接続され、

前記第1の容量は、前記第10のノードと、接地端子との間に接続される

請求項8に記載のパワーオンリセット回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワーオンリセット回路に関するものである。

【背景技術】

【0002】

回路システムの電源を投入した際、電源電圧が低い電圧値となっている状態では回路システムが誤動作する可能性がある。これを防止するため、電源電圧が一定値以上になったことを確認して回路システムの動作を開始させる機能が必要となる。この機能は、パワーオンリセット(POR)と称される。

【0003】

パワーオンリセット機能を実現する一般的な構成は、電源電圧に比例して大きくなる電圧値と基準電圧値をコンパレータで比較する構成となる。この基準電圧の値が温度やプロセスばらつきに対して変動してしまうと、正確なパワーオンリセット機能を実現できない。このため、上記基準電圧の値を温度やプロセスばらつきに対して変動を小さくし、安定で正確なパワーオンリセット機能を実現する技術が求められている。

【0004】

このような技術の一例として特許文献1が開示されている。この特許文献1に、図9に示すようなパワーオンリセット回路1が開示されている。図9に示すように、パワーオンリセット回路1は、基準電圧生成部11、12と、コンパレータCMP11とを有する。

【0005】

基準電圧生成部11は、PMOSトランジスタMP11と、抵抗R11、R12と、容量C11とを有する。基準電圧生成部12は、PMOSトランジスタMP12~MP14と、NMOSトランジスタMN11、MN12と、ダイオードD11と、抵抗R13、R14とを有する。

【0006】

PMOSトランジスタMP11は、ソースが電源端子VDD、ドレインがノードN11、ゲートがノードN14に接続される。PMOSトランジスタMP12は、ソースが電源端子VDD、ドレインがノードN13、ゲートがノードN11に接続される。PMOSトランジスタMP13は、ソースが電源端子VDD、ドレインがノードN13、ゲートがノードN14に接続される。PMOSトランジスタMP14は、ソースが電源端子VDD、ドレイン及びゲートがノードN14に接続される。PMOSトランジスタMP15は、ソースが電源端子VDD、ドレインがノードN16、ゲートがノードN14に接続される。

10

【0007】

NMOSトランジスタMN11は、ドレイン及びゲートがノードN13、ソースが接地端子GNDに接続される。NMOSトランジスタMN12は、ドレインがノードN14、ソースがノードN15、ゲートがノードN13に接続される。

【0008】

抵抗R11は、一端がノードN11、他端がノードN12に接続される。抵抗R12は、一端がノードN12、他端が接地端子GNDに接続される。抵抗R13は、一端がノードN15、他端が接地端子GNDに接続される。抵抗R14は、一端がノードN16、他端がノードN17に接続される。

20

【0009】

容量C11は、一端がノードN11、他端が接地端子GNDに接続される。ダイオードD11は、アノードがノードN17、カソードが接地端子GNDに接続される。コンパレータCMP11は、ノードN16の電圧Vref、N12の電圧VAを比較して、その比較結果を出力端子OUTに出力する。

【0010】

ここで、PMOSトランジスタMP12と容量C11でスタートアップ部13を構成する。また、PMOSトランジスタMP13~MP15と、NMOSトランジスタMN11、MN12と、抵抗R13、R14と、ダイオードD11とでBGR回路14を構成する。

30

【0011】

スタートアップ部13及びパワーオンリセット回路1は、以下のような動作を行う。まず、充電前の容量C11は、ノードN11に接地電圧GNDを伝達する。このため、PMOSトランジスタMP12が、オン状態となりノードN13に電源電圧VDDを伝達する。このことから、電源投入初期状態であっても、NMOSトランジスタMN11、MN12に基準電流を流させ、基準電圧生成部12を強制的に能動状態とさせる。

【0012】

そして、上記基準電流に応じて流れる電流により、ノードN12に生成される電圧VAと、ノードN16に生成される電圧Vrefとの比較をコンパレータCMP11により行う。この比較結果を利用して、回路のパワーオンリセットを実現する。ここで、ノードN16の電圧Vrefは、基準電圧生成部12が備えるBGR回路により生成されるため、素子のばらつきや温度依存に影響を受けにくい。このため、パワーオンリセット回路1は、安定したパワーオンリセット動作を行うことができる。

40

【0013】

図10に、パワーオンリセット回路1の動作波形を示す。図10に示すように、時刻t0に電源が投入され、徐々に電源電圧VDDが上昇する。電源電圧投入直後はBGR回路が動作していないため、電圧Vref、VAが共に低い値となる。そして、BGR回路内部の電位が上昇し始め、電圧Vrefの電位が上昇し所定の基準電圧に落ち着く。一方、

50

電圧 V_A は、電源電圧 V_{DD} と共に上昇を続け、時刻 t_2 で基準電圧 V_{ref} より高くなる。このため、コンパレータ $CMP11$ の比較結果として、出力端子 OUT から出力されるパワーオンリセット信号が、時刻 t_2 以降にロウレベルとなる。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開平8-186484号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

10

しかし、図10に示すように電源電圧投入直後の時刻 $t_0 \sim t_1$ では、 BGR 回路の動作電流が十分でないため、電圧 V_A が V_{ref} より高くなる可能性がある。このため、本来ならば、コンパレータ $CMP11$ の比較結果として、ハイレベルのパワーオンリセット信号が出力されるべきところが、ロウレベルの信号が出力端子 OUT に出力される可能性がある。このように、パワーオンリセット回路1では、電源電圧投入直後に誤った出力値を出力してしまう問題がある。

【0016】

このような問題を解決する手段とし、パワーオンリセット回路2の構成が特許文献1に記載されている。図11にパワーオンリセット回路2の構成を示す。図11に示すように、パワーオンリセット回路2は、基準電圧生成部21、22と、コンパレータ $CMP11$ 、 $CMP12$ と、 OR 回路 $OR11$ とを有する。なお、基準電圧生成部22は、 BGR 回路23を有する。

20

【0017】

基準電圧生成部21は、 $PMOS$ トランジスタ $MP11$ と、抵抗 $R11 \sim R15$ と、容量 $C11$ とを有する。基準電圧生成部22は、 $PMOS$ トランジスタ $MP12 \sim MP14$ と、 $NMOS$ トランジスタ $MN11$ 、 $MN12$ と、ダイオード $D11 \sim D13$ とを有する。

【0018】

パワーオンリセット回路2は、パワーオンリセット回路1に新たに、抵抗 $R15$ と、ダイオード $D12$ 、 $D13$ と、コンパレータ $CMP12$ と、 OR 回路 $OR11$ を加えた構成となっている。このようなパワーオンリセット回路2は、パワーオンリセット回路1の問題点を解決するため、ノード $N18$ の電圧 V_B とノード $N13$ の電圧 V_C とを比較するコンパレータ $CMP12$ を備えている。そして、そのコンパレータ $CMP12$ の比較結果とコンパレータ $CMP11$ との比較結果とを OR 回路 $OR11$ により和演算している。この和演算の結果をパワーオンリセット信号とする。

30

【0019】

図12に、パワーオンリセット回路2の動作波形を示す。図12に示すように、ノード $N13$ の電圧 V_C は、電源電圧 V_{DD} に追従して大きくなり、 BGR 回路が安定して動作する電圧値に落ち着く。ノード $N18$ の電圧 V_B は、ノード $N12$ の電圧 V_A よりも大きな傾きを持って上昇する。このため、図12に示すように、電圧 V_A と電圧 V_{ref} が交わる時刻 t_3 よりも、早い時刻 t_2 に電圧 V_B と電圧 V_C が交わる。このため、これらのコンパレータ $CMP11$ 、 $CMP12$ の出力の和演算を取ることにより、パワーオンリセット回路1で、電源電圧投入直後に誤った値を出力していた問題を解決している。

40

【0020】

しかし、パワーオンリセット回路2にも以下のような問題点がある。電源電圧 V_{DD} の立ち上がりスピードが速い場合、図13に示すように、ノード $N13$ の電圧 V_C が電源電圧 V_{DD} に追従できずに電圧の立ち上がりが遅れる可能性がある。このとき、電圧の立ち上がりが遅れた時間分だけ電圧値の大小が不確定な期間 $Td1$ ができてしまい、図13の時刻 $t_0 \sim t_1$ において、コンパレータ $CMP12$ の出力が誤った値を出力してしまう可能性がある。このため、電源電圧 V_{DD} の立ち上がりが想定以上に急な場合、パワーオン

50

リセット回路 2 から出力されるパワーオンリセット信号も電源電圧投入直後に誤った出力値を出力してしまう問題がある。

【 0 0 2 1 】

このように、電源投入初期状態であっても、正確にパワーオンリセット信号を生成可能なパワーオンリセット回路が求められている。

【課題を解決するための手段】

【 0 0 2 2 】

本発明は、半導体装置の電源電圧供給開始時もしくは前記電源電圧降下時にリセット信号を発生し、その半導体装置の内部回路を初期化するパワーオンリセット回路であって、前記電源電圧に応じた電圧を所定の比率で分圧した第 1 の比較電圧を生成する第 1 の比較電圧生成部と、前記電源電圧に応じた第 1 の電圧を出力する基準電圧生成部と、前記電源電圧を供給する電源電圧端子と第 1 のノードとの間に接続され、制御端子に前記第 1 の電圧を入力するデプレッション型の第 1 のトランジスタと、前記第 1 のノードと接地端子との間に接続され、制御端子が前記第 1 のノードに接続されるエンハンスメント型の第 2 のトランジスタと、を備え、前記第 1 のノードの電位に応じた電圧を第 2 の比較電圧として生成する第 2 の比較電圧生成部と、前記第 1、第 2 の比較電圧を比較し、その比較結果に応じて前記リセット信号を出力する比較器と、を有するパワーオンリセット回路である。

【 0 0 2 3 】

本発明にかかるパワーオンリセット回路は、電源電圧端子と接地端子との間に直列接続されたデプレッション型の第 1 のトランジスタとエンハンスメント型の第 2 のトランジスタによる第 2 の比較電圧生成部を有する。このデプレッション型の第 1 のトランジスタとエンハンスメント型の第 2 のトランジスタは第 1 のノードで接続され、第 2 のトランジスタは制御端子が第 1 のノードに接続されている。このため、第 1 のノードの電圧は、電源が投入された初期状態では、電源電圧が上昇すると、ほぼ同じ電位で追従して上昇する。

【 0 0 2 4 】

そして、第 1 のノードの電圧は、電源電圧が所定の電圧より大きくなると、一定の電圧になる。このため、その第 1 のノードに応じた第 2 の比較電圧と、電源電圧に応じた電圧を所定の比率で分圧した第 1 の比較電圧とは、電源投入初期状態であっても、大小関係が不確定になることがなく、比較器の出力するリセット信号が誤った値となることを防ぐことが可能となる。

【発明の効果】

【 0 0 2 5 】

本発明にかかるパワーオンリセット回路は、リセット信号が誤った値となることを防ぐことが可能となる。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】実施の形態 1 にかかるパワーオンリセット回路の構成である。

【図 2】実施の形態 1 にかかるパワーオンリセット回路の動作波形である。

【図 3】実施の形態 2 にかかるパワーオンリセット回路の構成である。

【図 4】実施の形態 2 にかかるパワーオンリセット回路の動作波形である。

【図 5】実施の形態 3 にかかるパワーオンリセット回路の構成である。

【図 6】従来のパワーオンリセット回路の問題点を説明するための動作波形である。

【図 7】その他の実施の形態にかかるパワーオンリセット回路の構成である。

【図 8】その他の実施の形態にかかるパワーオンリセット回路の構成である。

【図 9】従来のパワーオンリセット回路の構成である。

【図 10】従来のパワーオンリセット回路の問題点を説明するための動作波形である。

【図 11】従来のパワーオンリセット回路の構成である。

【図 12】従来のパワーオンリセット回路の動作波形である。

【図 13】従来のパワーオンリセット回路の問題点を説明するための動作波形である。

【発明を実施するための形態】

10

20

30

40

50

【 0 0 2 7 】

発明の実施の形態 1

【 0 0 2 8 】

以下、本発明を適用した具体的な実施の形態 1 について、図面を参照しながら詳細に説明する。図 1 に本実施の形態 1 にかかるパワーオンリセット回路 100 の構成を示す。図 1 に示すように、パワーオンリセット回路 100 は、基準電圧生成回路 110 と、比較電圧生成部 120、130 と、コンパレータ（比較器）CMP150 とを有する。

【 0 0 2 9 】

基準電圧生成回路 110 は、電源端子 VDD からの電源電圧 VDD を電源とし、所定の基準電圧を生成する。例えば、図 9 の基準電圧生成部 12 の BGR 回路 14 や図 11 の基準電圧生成部 22 の BGR 回路 23 のような構成であってもよい。基準電圧生成回路 110 は、電源投入初期の電源電圧 VDD が低い場合、内部回路の駆動電流が十分でなく、能動状態となれない。このため電源電圧 VDD が上昇しても、出力である基準電圧 Vref が、その電源電圧 VDD に追従できずに低電位となる。

10

【 0 0 3 0 】

比較電圧生成部 120 は、抵抗 R11、R12 を有する。抵抗 R11 は、一端が電源端子 VDD、他端がノード N12 に接続される。抵抗 R12 は、一端がノード N12、他端が接地端子 GND に接続される。なお、ノード N12 に現れる電圧を比較電圧 VA とする。この比較電圧 VA は、上記回路の接続構成からもわかるように、電源電圧 VDD が上昇すると同様に追従して電圧が上昇する。

20

【 0 0 3 1 】

比較電圧生成部 130 は、NMOS トランジスタ DPMN101、MN101 を有する。ここで、NMOS トランジスタ DPMN101 は、デプレッション型トランジスタである。NMOS トランジスタ MN101 は、エンハンスメント型トランジスタである。

【 0 0 3 2 】

NMOS トランジスタ DPMN101 は、ドレインが電源端子 VDD、ソースがノード N101 に接続される。NMOS トランジスタ DPMN101 のゲートは、基準電圧生成回路 110 からの基準電圧 Vref が入力される。NMOS トランジスタ MN101 は、ドレイン及びゲートがノード N101、ソースが接地端子 GND に接続される。なお、ノード N101 に現れる電圧を比較電圧 VD とする。

30

【 0 0 3 3 】

ここで、デプレッション型トランジスタである NMOS トランジスタ DPMN101 は、スレッシュールド電圧が負の値をとる。よって、ゲート電圧が 0V、つまり接地電圧 GND であっても、ドレイン電圧を与えることで、ドレイン電流が流れる。また、エンハンスメント型トランジスタである NMOS トランジスタ MN101 は、ゲートに印加される電圧がスレッシュールド電圧より大きくなる場合にオン状態となり、ドレイン電流を流す。

【 0 0 3 4 】

コンパレータ CMP150 は、一方の入力端子がノード N101、他方の入力端子がノード N12、出力端子がパワーオンリセット出力端子 OUT に接続される。つまり、コンパレータ CMP150 は、比較電圧 VA、VD の電圧値を比較し、その比較結果をパワーオンリセット信号として出力する。なお、パワーオンリセット出力端子 OUT に出力される信号の電圧を VOUT とする。

40

【 0 0 3 5 】

以上のような構成のパワーオンリセット回路 100 の動作を説明する。図 2 にパワーオンリセット回路 100 の動作波形を示す。なお、従来技術（例えば図 9 のパワーオンリセット回路 1）のように、BGR 回路を利用した基準電圧生成回路からの基準電圧 Vref によりパワーオンリセット信号を生成する場合のパワーオンリセット信号の電圧波形を VOUTP として記載する。

【 0 0 3 6 】

図 2 に示すように、比較電圧生成部 120 は、電源電圧 VDD を抵抗分圧した電圧であ

50

る比較電圧 V_A を出力する。このため、電源投入された時刻 t_0 以降、電源電圧 V_{DD} の上昇に追従し、抵抗 R_{11} 、 R_{12} の抵抗比に応じた傾きで比較電圧 V_A も上昇する。

【0037】

ここで、基準電圧生成回路 110 は、パワーオンリセット回路 1 のように内部回路の駆動電流が十分流れず能動状態とならないため、時刻 t_0 から時刻 t_1 の間は図 2 に示すように電源電圧 V_{DD} に追従しきれず低電位の基準電圧 V_{ref} を出力する。更に電源電圧 V_{DD} が上昇すると基準電圧生成回路 110 が能動状態となる。それにより基準電圧 V_{ref} は所定の電圧値になるまで電源電圧 V_{DD} に追従して上昇する。

【0038】

このため、この基準電圧生成回路 110 の基準電圧 V_{ref} と比較電圧 V_A を利用して、コンパレータがパワーオンリセット信号を生成する場合、時刻 t_2 で基準電圧 V_{ref} と比較電圧 V_A が交差するまで、パワーオンリセット信号 V_{OUTP} は、ロウレベルになってしまう。これでは、従来技術のパワーオンリセット回路 1、2 と同様、電源投入初期に、ロウレベルのパワーオンリセット信号が生成され、電源電圧投入直後に誤った出力値を出力してしまう。

10

【0039】

しかし、本実施の形態 1 では、比較電圧生成部 130 の NMOS トランジスタ $DPMN_{101}$ がデプレッション型トランジスタであり、スレッシュホールド電圧が負の値をとる。このため、ゲートに入力される基準電圧 V_{ref} が低く接地電圧 GND 付近であっても、NMOS トランジスタ $DPMN_{101}$ はオン状態となっている。このため、電源電圧 V_{DD} が上昇すると、NMOS トランジスタ $DPMN_{101}$ は、その電源電圧 V_{DD} の上昇に応じてドレイン電流を流し、ノード N_{101} の電圧である比較電圧 V_D を上昇させる。

20

【0040】

一方、比較電圧生成部 130 の NMOS トランジスタ MN_{101} は、エンハンスメント型トランジスタであり、スレッシュホールド電圧以下ではオン状態とならない。このため、電源電圧 V_{DD} が低く、比較電圧 V_D がスレッシュホールド電圧以下では、NMOS トランジスタ MN_{101} は、オン状態とならない。このため、時刻 t_0 の電源電圧投入直後で電源電圧 V_{DD} が低い場合には、NMOS トランジスタ MN_{101} は、ノード N_{101} と接地端子 GND との間を非導通状態とする。このことから、図 2 に示すように、ノード N_{101} の電圧である比較電圧 V_D が、ほぼ電源電圧 V_{DD} と同じ電圧値を保ったまま比較電圧生成部 130 から出力される。

30

【0041】

その後、電源電圧 V_{DD} が更に上昇し、ノード N_{101} の電圧である比較電圧 V_D も上昇する。更に、時刻 t_1 で基準電圧生成回路 110 が能動状態となり、基準電圧 V_{ref} も上昇する。NMOS トランジスタ $DPMN_{101}$ は、この基準電圧 V_{ref} に応じたドレイン電流をノード N_{101} に流す。このため、比較電圧 V_D は更に上昇し、いずれ NMOS トランジスタ MN_{101} のスレッシュホールド電圧を超える。このため、NMOS トランジスタ MN_{101} がオン状態となり、ドレイン電流を流し始める。つまり、接地端子 GND とノード N_{101} が徐々に導通状態となる。

【0042】

40

このため、比較電圧 V_D は、電源電圧 V_{DD} に追従しなくなり、NMOS トランジスタ $DPMN_{101}$ と MN_{101} のトランジスタサイズで決まる所定の電圧値で一定となる。そして、時刻 t_3 では、この比較電圧 V_A と V_D が逆転し、コンパレータ CMP_{150} からロウレベルのパワーオンリセット信号が出力される。このため、電源電圧投入直後に誤った出力値を出力してしまうことを防ぐことが可能となる。

【0043】

ここで、所定の電圧値で一定となる比較電圧 V_D について説明する。まず、NMOS トランジスタ MN_{101} のドレイン電流は、ゲートソース間電圧 V_{gs} が V_D となり、以下の式 (1) として示される。また、式 (1) から比較電圧 V_D は式 (2) として示される。但し MN_{101} 、 $DPMN_{101}$ は、それぞれ NMOS トランジスタ MN_{101} 、

50

DPMN101の移動度 μ と、酸化膜容量 C_{ox} と、トランジスタの W/L 比との積で決まる値($\mu \times C_{ox} \times W/L$)となる。

【数1】

$$I_0 = \frac{\beta_{MN101}}{2} (VD - V_{th_{MN101}})^2 \dots (1)$$

$$VD = V_{th_{MN101}} + \sqrt{\frac{2I_0}{\beta_{MN101}}} \dots (2)$$

10

【0044】

次に、NMOSTランジスタDPMN101のドレイン電流は、ゲートソース間電圧 V_{gs} が $V_{ref} - VD$ となり、以下の式(3)として示される。

【数2】

$$I_0 = \frac{\beta_{DPMN101}}{2} (V_{ref} - VD - V_{th_{DPMN101}})^2 \dots (3)$$

20

【0045】

式(3)を式(2)に代入して、式(4)を求める。

【数3】

$$VD = V_{th_{MN101}} + A(V_{ref} - VD - V_{th_{DPMN101}}) \dots (4)$$

【0046】

但し、式(4)の「A」は、式(5)で表すことができる。なお、NMOSTランジスタMN101、DPMN101の移動度 μ はほぼ同じであり、酸化膜容量 C_{ox} は同じである。このため、Aの値は結果として、NMOSTランジスタMN101、DPMN101のトランジスタサイズ比で決定される値となる。

30

【数4】

$$A = \sqrt{\frac{\beta_{DPMN101}}{\beta_{MN101}}} \dots (5)$$

40

【0047】

式(4)をVDでまとめると、以下のような式(6)となる。

【数5】

$$VD = \frac{1}{1+A} (V_{th_{MN101}} + A \cdot V_{ref} - A \cdot V_{th_{DPMN101}}) \dots (6)$$

以上、式(6)からわかるように、比較電圧VDは、電源電圧VDDによらず、基準電圧 V_{ref} とNMOSTランジスタMN101、DPMN101のトランジスタサイズ比

50

で決まる電圧値で一定（図2の V_{cnt} ）となる。また、この式（6）から、NMOSトランジスタDPMN101のゲートに入力される電圧 V_{ref} の条件は、NMOSトランジスタMN101が飽和領域で動作することから、以下の式（7）を満たす必要がある。

【数6】

$$(V_{ref} - V_{th_{DPMN101}}) \geq V_{th_{MN101}} \cdots (7)$$

【0048】

ここで、NMOSトランジスタDPMN101のスレッシュホールド電圧 $V_{th_{DPMN101}}$ は、0程度もしくは0に近い負の値であることから、 V_{ref} も $V_{th_{MN101}}$ 程度であればよい。

10

【0049】

以上、本実施の形態1では、比較電圧生成部120が出力する比較電圧 V_A と、比較電圧生成部130が出力する比較電圧 V_D とをコンパレータCMP150で比較することで、パワーオンリセット信号を生成している。比較電圧 V_A は、電源電圧 V_{DD} を抵抗分圧し、電源電圧 V_{DD} にリニアに追従する。

【0050】

一方、比較電圧 V_D は、電源投入初期では、オン状態のデプレッション型のNMOSトランジスタDPMN101と、オフ状態のエンハンスメント型のNMOSトランジスタMN101との中間ノード（ノードN101）の電位として、ほぼ電源電圧 V_{DD} と同じ電圧値で、追従して上昇する。そして、電源電圧 V_{DD} がある程度上昇すると、電源電圧 V_{DD} によらず、基準電圧 V_{ref} とNMOSトランジスタMN101、DPMN101のトランジスタサイズ比で決まる電圧値で一定となる。

20

【0051】

この動作は、電源電圧 V_{DD} の上昇スピードによらず同じ動作となる。つまり、電源電圧 V_{DD} の上昇スピードが速くても、遅くても電源投入初期において、電源電圧 V_{DD} とほぼ同じ電圧をキープする。このため、従来技術のパワーオンリセット回路1、2のように、電源投入初期において、ロウレベルのパワーオンリセット信号を生成することがなく、誤った出力値を出力してしまう問題を解決することができる。

【0052】

発明の実施の形態2

30

【0053】

以下、本発明を適用した具体的な実施の形態2について、図面を参照しながら詳細に説明する。図3に本実施の形態2にかかるパワーオンリセット回路200の構成を示す。図3に示すように、パワーオンリセット回路200は、基準電圧生成回路210と、比較電圧生成部220、130と、コンパレータ（比較器）CMP150とを有する。

【0054】

基準電圧生成回路210は、バンドギャップリファレンス（BGR）回路211と、スタートアップ部212とを有する。

【0055】

BGR回路211は、PMOSトランジスタMP13～MP15と、NMOSトランジスタMN11、MN12と、ダイオードD11～D13と、抵抗R13、R14とを有する。

40

【0056】

PMOSトランジスタMP13は、ソースが電源端子 V_{DD} 、ドレインがノードN13、ゲートがノードN14に接続される。PMOSトランジスタMP14は、ソースが電源端子 V_{DD} 、ドレイン及びゲートがノードN14に接続される。PMOSトランジスタMP15は、ソースが電源端子 V_{DD} 、ドレインがノードN16、ゲートがノードN14に接続される。

【0057】

50

NMOSトランジスタMN11は、ドレイン及びゲートがノードN13、ソースがノードN19に接続される。NMOSトランジスタMN12は、ドレインがノードN14、ソースがノードN15、ゲートがノードN13に接続される。抵抗R13は、一端がノードN15、他端がノードN20に接続される。抵抗R14は、一端がノードN16、他端がノードN17に接続される。

【0058】

ダイオードD11は、アノードがノードN17、カソードが接地端子GNDに接続される。ダイオードD12は、アノードがノードN20、カソードが接地端子GNDに接続される。ダイオードD13は、アノードがノードN19、カソードが接地端子GNDに接続される。

【0059】

BGR回路211は、図11のパワーオンリセット回路2のBGR回路と同様の動作をする。つまり、電源電圧VDDが上昇し、一定以上の値以上になると、所定の基準電圧VrefをノードN16に生成する。ここで本実施の形態2では、このノードN13にて生成される電圧をVCとする。

【0060】

比較電圧生成部220は、PMOSトランジスタMP11と、抵抗R11、R12とを有する。PMOSトランジスタMP11は、ソースが電源端子VDD、ドレインがノードN11、ゲートがノードN14に接続される。抵抗R11は、一端がノードN11、他端がノードN12に接続される。抵抗R12は、一端がノードN12、他端が接地端子GNDに接続される。なお、ノードN12に現れる電圧を比較電圧VAとする。

【0061】

PMOSトランジスタMP11は、BGR回路211のPMOSトランジスタMP14とカレントミラーを構成している。このため、BGR回路211が能動状態となり、PMOSトランジスタMP14に電流が流れると、PMOSトランジスタMP11もその電流に応じたドレイン電流を流し、比較電圧生成部220が能動状態となる。

【0062】

比較電圧生成部130は、実施の形態1と同様、NMOSトランジスタDPMN101、MN101を有する。また、実施の形態1と同様、NMOSトランジスタDPMN101は、デプレッション型トランジスタである。NMOSトランジスタDPMN101は、ドレインが電源端子VDD、ソースがノードN101、ゲートがノードN13に接続される。NMOSトランジスタMN101は、ドレイン及びゲートがノードN101、ソースが接地端子GNDに接続される。なお、ノードN101に現れる電圧を比較電圧VDとする。

【0063】

スタートアップ部212は、PMOSトランジスタMP12と、容量C11とを有する。PMOSトランジスタMP12は、ソースが電源端子VDD、ドレインがノードN13、ゲートがノードN11に接続される。容量C11は、一端がノードN11、他端が接地端子GNDに接続される。

【0064】

スタートアップ部212は、従来のパワーオンリセット回路1、2と同様、BGR回路（本実施の形態2のBGR回路211）を電源投入時から短時間で能動状態にする機能を有する。これは、電源投入初期状態で、容量C11を経由して接地電圧GNDをノードN11に伝達することで、ゲートがノードN11に接続されているPMOSトランジスタMP12をオン状態とする。オン状態のPMOSトランジスタMP12は、電源電圧VDDをノードN13に伝達し、BGR回路211を強制的に能動状態とさせる。

【0065】

なお、BGR回路211が能動状態となると、比較電圧生成部220も能動状態となり、ノードN11に電流が流れ、容量C11が充電される。容量C11が充電されると、PMOSトランジスタMP12は、ゲートに印加される電圧がハイレベルとなり、オフ状態

10

20

30

40

50

となる。よって、スタートアップ部 2 1 2 は、BGR 回路 2 1 1 が能動状態となってから、所定の期間後にオフ状態となる。

【0066】

ここで、PMOS トランジスタ MP 1 1 ~ MP 1 5 及び、NMOS トランジスタ MN 1 1、MN 1 2 は、エンハンスメント型トランジスタで構成するものとする。

【0067】

コンパレータ CMP 1 5 0 は、一方の入力端子がノード N 1 0 1、他方の入力端子がノード N 1 2、出力端子がパワーオンリセット出力端子 OUT に接続される。つまり、コンパレータ CMP 1 5 0 は、実施の形態 1 と同様、比較電圧 VA、VD の電圧値を比較し、その比較結果をパワーオンリセット信号として出力する。なお、パワーオンリセット出力端子 OUT に出力される信号の電圧を VOUT とする。

10

【0068】

次に、本実施の形態 2 にかかるパワーオンリセット回路 2 0 0 の動作について説明する。図 4 にパワーオンリセット回路 2 0 0 の動作波形を示す。ここで、電源電圧 VDD は、従来のパワーオンリセット回路 2 で問題となっていたように、想定したよりも上昇スピードが速い場合を考える。また、BGR 回路 2 1 1、スタートアップ部 2 1 2 の基本的な動作は、従来のパワーオンリセット回路 2 と同様のため、特に必要がない場合、説明は省略する。

【0069】

図 4 に示すように、時刻 t_0 に電源が投入され、徐々に電源電圧 VDD が上昇する。電源投入直後の時刻 $t_0 \sim t_1$ では BGR 回路 2 1 1 が能動状態となっていないため、比較電圧 VA、基準電圧 Vref は共に接地電圧 GND 程度の低い値となる。そして、電源電圧 VDD が更に上昇すると、スタートアップ部 2 1 2 の機能により、PMOS トランジスタ MP 1 2 がオン状態となり、ノード N 1 3 にドレイン電流を流す。このため、ノード N 1 3 の電圧 VC が上昇を始め、BGR 回路 2 1 1 が能動状態となる。

20

【0070】

更に、BGR 回路 2 1 1 が能動状態となり、PMOS トランジスタ MP 1 4 に電流が流れると、PMOS トランジスタ MP 1 4 とカレントミラー接続されている比較電圧生成部 2 2 0 の PMOS トランジスタ MP 1 1 にも電流が流れる。このため、ノード N 1 2 の電圧である比較電圧 VA の電位も上昇を始める。そして、電源電圧 VDD が更に上昇すると、基準電圧 Vref 及びノード N 1 3 の電圧 VC は、いずれ所定の電圧値で一定となる。

30

【0071】

ここで、従来のパワーオンリセット回路 2 では、想定よりも電源電圧 VDD の上昇スピードが速い場合、ノード N 1 3 の電圧 VC が電源電圧 VDD に追従できずに電圧の立ち上がりが遅れる可能性があった。このため、電圧の立ち上がりが遅れた時間分だけ、基準電圧生成部 2 1 から出力される比較電圧 VB と比較電圧生成部 2 2 から出力される比較電圧 VC の電圧値の大小が、図 1 3 に示した時刻 $t_0 \sim t_1$ の期間 Td1 で不確定であった。よって、コンパレータ CMP 1 2 の出力が誤った値を出力してしまう可能性があり、パワーオンリセット回路 2 から出力されるパワーオンリセット信号も電源電圧投入直後に誤った出力値を出力してしまう問題があった。

40

【0072】

しかし、本実施の形態 2 では、実施の形態 1 と同様、比較電圧生成部 1 3 0 の NMOS トランジスタ DPMN 1 0 1 がデプレッション型トランジスタであり、スレッシュホールド電圧が負の値をとる。このため、NMOS トランジスタ DPMN 1 0 1 のゲートに入力される電圧 VC が低く接地電圧 GND 付近であっても、NMOS トランジスタ DPMN 1 0 1 はオン状態となっている。このため、電源電圧 VDD が上昇すると、NMOS トランジスタ DPMN 1 0 1 は、その電源電圧 VDD の上昇に応じてドレイン電流を流し、ノード N 1 0 1 の電圧である比較電圧 VD を上昇させる。

【0073】

一方、比較電圧生成部 1 3 0 の NMOS トランジスタ MN 1 0 1 は、実施の形態 1 と同

50

様、エンハンスメント型トランジスタであり、スレッシュヨルド電圧以下ではオン状態とならない。このため、電源電圧 V_{DD} が低く、比較電圧 V_D がスレッシュヨルド電圧以下では、NMOSトランジスタ $MN101$ は、オン状態とならない。このため、時刻 t_0 の電源電圧投入直後で電源電圧 V_{DD} が低い場合には、NMOSトランジスタ $MN101$ は、ノード $N101$ と接地端子 GND との間を非導通状態とする。このことから、図4に示すように、ノード $N101$ の電圧である比較電圧 V_D が、ほぼ電源電圧 V_{DD} と同じ電圧値を保ったまま比較電圧生成部130から出力される。

【0074】

その後、電源電圧 V_{DD} が更に上昇し、ノード $N101$ の電圧である比較電圧 V_D も上昇する。更に、時刻 t_1 でBGR回路211が能動状態となり電圧 V_C も上昇する。NMOSトランジスタ $DPMN101$ は、この電圧 V_C に応じたドレイン電流をノード $N101$ に流す。このため、比較電圧 V_D は更に上昇し、いずれNMOSトランジスタ $MN101$ のスレッシュヨルド電圧を超える。このため、NMOSトランジスタ $MN101$ がオン状態となり、ドレイン電流を流し始める。つまり、接地端子 GND とノード $N101$ が徐々に導通状態となる。

10

【0075】

このため、比較電圧 V_D は、電源電圧 V_{DD} に追従しなくなり、NMOSトランジスタ $DPMN101$ と $MN101$ のトランジスタサイズで決まる所定の電圧値で一定となる。そして、時刻 t_5 では、この比較電圧 V_A と V_D が逆転し、コンパレータ $CMP150$ からロウレベルのパワーオンリセット信号が出力される。このため、電源電圧投入直後に誤った出力値を出力してしまうことを防ぐことが可能となる。

20

【0076】

なお、本実施の形態2の動作波形との比較のため図4に、従来のパワーオンリセット回路2と同様、抵抗分圧された電圧（ここでは比較電圧 V_A ）とノード $N13$ の電圧 V_C とを比較して生成した信号の電圧波形を V_{OUTPUT} として示す。この信号 V_{OUTPUT} も、図13と同様、時刻 $t_0 \sim t_1$ の期間において、電圧 V_C と V_A の大小が不確定となるため、図4に示すようにロウレベルとなる。このため、この信号 V_{OUTPUT} を利用したパワーオンリセット信号は、電源電圧投入直後に誤った出力値を出力してしまう可能性がある。

【0077】

しかし、上述のように、本実施の形態2のパワーオンリセット回路200では、比較電圧生成部130が生成する比較電圧 V_D と、比較電圧 V_A とを比較するため、このような問題が発生しない。

30

【0078】

ここで、所定の電圧値で一定となる比較電圧 V_D について説明する。実施の形態1と同様、NMOSトランジスタ $MN101$ のドレイン電流は式(1)として示され、比較電圧 V_D は式(2)として示される。

【0079】

次に、NMOSトランジスタ $DPMN101$ のドレイン電流は、ゲートソース間電圧 V_{gs} が $V_C - V_D$ となり、以下の式(8)として示される。

【数7】

40

$$I_0 = \frac{\beta_{DPMN101}}{2} (V_C - V_D - V_{th_{DPMN101}})^2 \cdots (8)$$

【0080】

式(8)を式(2)に代入して、式(9)を求める。

【数 8】

$$VD = Vth_{MN101} + A(VC - VD - Vth_{DPMN101}) \cdots (9)$$

【0081】

なお、式(9)の「A」は、実施の形態1と同様、式(5)で表すことができ、Aの値はNMOSTランジスタMN101、DPMN101のランジスタサイズ比で決定される値となる。

【0082】

式(9)をVDでまとめると、以下のような式(10)となる。

10

【数 9】

$$VD = \frac{1}{1+A} (Vth_{MN101} + A \cdot VC - A \cdot Vth_{DPMN101}) \cdots (10)$$

以上、式(10)からわかるように、比較電圧VDは、電源電圧VDDによらず、ノードN13の電圧VCとNMOSTランジスタMN101、DPMN101のランジスタサイズ比で決まる電圧値で一定(図4のVcnt)となる。また、この式(10)から、NMOSTランジスタDPMN101のゲートに入力される電圧VCの条件は、NMOSTランジスタMN101が飽和領域で動作することから、以下の式(11)を満たす必要がある。

20

【数 10】

$$(VC - Vth_{DPMN101}) \geq Vth_{MN101} \cdots (11)$$

【0083】

ここで、NMOSTランジスタDPMN101のスレッシュヨルド電圧Vth_{DPMN101}は、0程度もしくは0に近い負の値であることから、VCもVth_{MN101}程度であればよい。

30

【0084】

以上、本実施の形態2では、比較電圧生成部220が出力する比較電圧VAと、比較電圧生成部130が出力する比較電圧VDとをコンパレータCMP150で比較することで、パワーオンリセット信号を生成している。

【0085】

上述のように比較電圧VAは、BGR回路211が能動状態となる前には比較電圧生成部220の能動状態となっておらず接地電圧GND程度である。そして、BGR回路211が能動状態となった後は、電源電圧VDDを抵抗分圧し、電源電圧VDDにリニアに追従する。

【0086】

40

一方、比較電圧VDは、電源投入初期では、オン状態のデプレッション型のNMOSTランジスタDPMN101と、オフ状態のエンハンスメント型のNMOSTランジスタMN101との中間ノード(ノードN101)の電位として、ほぼ電源電圧VDDと同じ電圧値で、追従して上昇する。そして、電源電圧VDDがある程度上昇すると、電源電圧VDDによらず、BGR回路211のノードN13の電圧VCとNMOSTランジスタMN101、DPMN101のランジスタサイズ比で決まる電圧値で一定となる。

【0087】

この動作は、電源電圧VDDの上昇スピードによらず同じ動作となる。つまり、比較電圧VDは、電源電圧VDDの上昇スピードが速くても、遅くても電源投入初期において、電源電圧VDDとほぼ同じ電圧をキープする。このため、従来技術のパワーオンリセット

50

回路 1、2 のように、電源投入初期において、ロウレベルのパワーオンリセット信号を生成することがなく、誤った出力値を出力してしまう問題を解決することができる。

【0088】

発明の実施の形態 3

【0089】

以下、本発明を適用した具体的な実施の形態 3 について、図面を参照しながら詳細に説明する。図 5 に本実施の形態 3 にかかるパワーオンリセット回路 300 の構成を示す。図 5 に示すように、パワーオンリセット回路 300 は、基準電圧生成回路 210 と、比較電圧生成部 220、330 と、コンパレータ（比較器）CMP150 とを有する。基準電圧生成回路 210 は、バンドギャップリファレンス（BGR）回路 211 と、スタートアップ部 212 とを有する。

10

【0090】

なお、図 5 に示された符号のうち、図 3 と同じ符号を付した構成は、図 3 と同じか又は類似の構成を示している。実施の形態 2 と異なるのは、比較電圧生成部 330 の構成である。本実施の形態 3 では、この異なる部分を重点的に説明し、その他実施の形態 2 と同様の部分は説明を省略する。

【0091】

比較電圧生成部 330 は、NMOS トランジスタ DPMN101、DPMN102、MN101、MN102 を有する。NMOS トランジスタ DPMN101 及び DPMN102 は、デプレッション型トランジスタである。

20

【0092】

NMOS トランジスタ DPMN101 は、ドレインが電源端子 VDD、ソースがノード N101、ゲートがノード N13 に接続される。NMOS トランジスタ MN101 は、ドレイン及びゲートがノード N101、ソースが接地端子 GND に接続される。なお、ノード N101 に現れる電圧を比較電圧 VD とする。

【0093】

NMOS トランジスタ DPMN102 は、ドレインが電源端子 VDD、ソースがノード N102、ゲートがノード N101 に接続される。NMOS トランジスタ MN102 は、ドレイン及びゲートがノード N102、ソースが接地端子 GND に接続される。なお、ノード N102 に現れる電圧を比較電圧 VE とする。

30

【0094】

コンパレータ CMP150 は、一方の入力端子がノード N102、他方の入力端子がノード N12、出力端子がパワーオンリセット出力端子 OUT に接続される。つまり、コンパレータ CMP150 は、比較電圧 VA、VE の電圧値を比較し、その比較結果をパワーオンリセット信号として出力する。なお、パワーオンリセット出力端子 OUT に出力される信号の電圧を VOUT とする。

【0095】

図 5 の構成からもわかるように、比較電圧生成部 330 は、実施の形態 1、2 の比較電圧生成部 130 の回路を、ノード N13 とコンパレータ CMP150 との間に 2 段直列接続とした構成となっている。このため、基本的な動作は、ほぼ同様でありここでの説明は省略する。以下に、この比較電圧生成部 330 の出力電圧である比較電圧 VE を求める。

40

【0096】

ここで、所定の電圧値で一定となる比較電圧 VD について説明する。まず、NMOS トランジスタ MN102 のドレイン電流は、ゲートソース間電圧 Vgs が VE となり、以下の式 (12) として示される。また、式 (12) から比較電圧 VE は式 (13) として示される。但し MN101、MN102、DPMN101、DPMN102 は、それぞれ NMOS トランジスタ MN101、MN102、DPMN101、DPMN102 の移動度 μ と、酸化膜容量 Cox と、トランジスタの W/L 比との積で決まる値 ($\mu \times Cox \times W/L$) となる。

【数 1 1】

$$I1 = \frac{\beta_{MN102}}{2} (VE - Vth_{MN102})^2 \dots (12)$$

$$VE = Vth_{MN102} + \sqrt{\frac{2I1}{\beta_{MN102}}} \dots (13)$$

10

【0097】

次に、NMOSトランジスタDPMN102のドレイン電流は、ゲートソース間電圧VgsがVD - VEとなり、以下の式(14)として示される。

【数 1 2】

$$I1 = \frac{\beta_{DPMN102}}{2} (VD - VE - Vth_{DPMN102})^2 \dots (14)$$

20

【0098】

式(14)を式(13)に代入して、式(15)を求める。

【数 1 3】

$$VE = Vth_{MN102} + B(VD - VE - Vth_{DPMN102}) \dots (15)$$

【0099】

但し、式(15)の「B」は、以下の式(16)で表すことができる。なお、NMOSトランジスタMN102、DPMN102の移動度μはほぼ同じであり、酸化膜容量Coxは同じである。このため、Bの値は結果として、NMOSトランジスタMN102、DPMN102のトランジスタサイズ比で決定される値となる。

30

【数 1 4】

$$B = \sqrt{\frac{\beta_{DPMN102}}{\beta_{MN102}}} \dots (16)$$

【0100】

式(16)をVEでまとめると、以下のような式(17)となる。

40

【数 1 5】

$$VE = \frac{1}{1+B} (Vth_{MN102} + B \cdot VD - B \cdot Vth_{DPMN102}) \dots (17)$$

次に、ノードN101の電圧VDの温度依存性を考える。電圧VDの温度依存性は、式(10)から以下の式(18)として求めることができる。

【数 16】

$$\frac{\partial VD}{\partial T} = \frac{1}{1+A} \left(\frac{\partial V_{th_{MN101}}}{\partial T} + A \cdot \frac{\partial VC}{\partial T} - A \cdot \frac{\partial V_{th_{DPMN101}}}{\partial T} \right) \dots (18)$$

同様に、ノードN102の電圧である比較電圧VEの温度依存性を考える。電圧VEの温度依存性は、式(18)から以下の式(19)として求めることができる。

【数 17】

$$\frac{\partial VE}{\partial T} = \frac{1}{1+B} \left(\frac{\partial V_{th_{MN102}}}{\partial T} + B \cdot \frac{\partial VD}{\partial T} - B \cdot \frac{\partial V_{th_{DPMN102}}}{\partial T} \right) \dots (19)$$

10

ここで、電圧VDの温度依存性を排除するには、上記式(18)のAの値を非常に小さい値(A=0)に設定する。例えば、NMOSトランジスタDPMN101のゲート幅 $W_{DPMN101}$ をNMOSトランジスタMN101のゲート幅 W_{MN101} と比較して十分小さく、もしくは、NMOSトランジスタDPMN101のゲート長 $L_{DPMN101}$ をNMOSトランジスタMN101のゲート長 L_{MN101} と比較して十分大きくする。具体的な数値としては、 $W_{DPMN101}$ を W_{MN101} の約10分の1以下、もしくは、 $L_{DPMN101}$ を L_{MN101} の約10倍以上とし、Aの値が約0.3以下となるようにする。また、NMOSトランジスタDPMN101のトランジスタサイズ比($W_{DPMN101}/L_{DPMN101}$)及びNMOSトランジスタMN101のトランジスタサイズ比(W_{MN101}/L_{MN101})を調整して、結果的にAの値が約0.3以下となるようにしてもよい。この場合、電圧VDの温度依存性は、NMOSトランジスタMN101のスレッシュホールド電圧 $V_{th_{MN101}}$ の温度依存性となる。

20

【0101】

更に、A=0とした式(18)を式(19)に代入すると、NMOSトランジスタMN101のスレッシュホールド電圧 $V_{th_{MN101}}$ の温度依存性とNMOSトランジスタDPMN102のスレッシュホールド電圧 $V_{th_{DPMN102}}$ の温度依存性が同じとなることから、NMOSトランジスタMN101のスレッシュホールド電圧 $V_{th_{MN101}}$ の温度依存性とNMOSトランジスタDPMN102のスレッシュホールド電圧 $V_{th_{DPMN102}}$ の温度依存性が打ち消しあう。

30

【0102】

このため、結果として、電圧VEの温度依存性は、NMOSトランジスタMN102のスレッシュホールド電圧 $V_{th_{MN102}}$ の温度依存性を(1+B)で割った値となる。よって、Bの値を大きくなるようにNMOSトランジスタDPMN102とMN102を設定することで、電圧VEの温度依存性を非常に小さくすることができる。なお、Bの値を大きくするには、例えば、NMOSトランジスタDPMN102のゲート幅 $W_{DPMN102}$ をNMOSトランジスタMN102のゲート幅 W_{MN102} と比較して十分大きく、もしくは、NMOSトランジスタDPMN101のゲート長 $L_{DPMN102}$ をNMOSトランジスタMN101のゲート長 L_{MN102} と比較して十分小さくする。具体的な数値としては、 $W_{DPMN102}$ を W_{MN102} の約10倍以上、もしくは、 $L_{DPMN102}$ を L_{MN102} の約10分の1以下とし、Bの値が約3以上となるようにする。また、NMOSトランジスタDPMN102のトランジスタサイズ比($W_{DPMN102}/L_{DPMN102}$)及びNMOSトランジスタMN102のトランジスタサイズ比(W_{MN102}/L_{MN102})を調整して、結果的にBの値が約3以上となるようにしてもよい。

40

【0103】

更に、上述したように、Aの値を小さくし、Bの値を大きくすることが決定されたため、A=0、 $B \gg 1$ と仮定すると、 $VD = V_{th_{MN101}}$ 、 $VE = VD - V_{th_{DPMN102}}$

50

N_{102} と近似できる。よって、 $V_E = V_{th_{MN_{101}}} - V_{th_{DPMN_{102}}}$ となる。ここで、比較電圧生成部 330 を構成するトランジスタが、製造プロセスのばらつきが同方向にばらついたらと仮定すると、比較電圧 V_E のプロセスばらつきもキャンセルされる。

【0104】

ここで、従来のパワーオンリセット回路 2 では、ノード N_{13} の電圧 V_C は温度の影響やプロセスばらつきの影響によって電圧値が変動する。このため、設計によっては図 6 に示すように、電源電圧投入直後の誤動作は消しても検出時間が期間 T_d 分遅れてしまうことも考えられる。

【0105】

しかし、本実施の形態 3 のパワーオンリセット回路 300 では、上述したような値で A 、 B を設定することで、比較電圧 V_E の温度依存性及びプロセス依存性をキャンセルすることができる。このため、比較電圧生成部 330 は、温度やプロセスばらつきに関係なく安定した比較電圧 V_E を出力することができる。結果として、本実施の形態 3 のパワーオンリセット回路 300 は、実施の形態 2 と同じ効果を有しつつ、更に温度やプロセスばらつきに対しても安定した精度の高いパワーオンリセット信号を生成することが可能である。

【0106】

なお、本発明は上記実施の形態に限られたものでなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、図 7 に示すパワーオンリセット回路 400 のように、実施の形態 3 の比較電圧生成部 330 を実施の形態 1 の比較電圧生成部 130 に置き換えてもよい。この場合、パワーオンリセット回路 400 は、実施の形態 1 と同じ効果を有しつつ、更に温度やプロセスばらつきに対しても安定した精度の高いパワーオンリセット信号を生成することが可能である。

【0107】

更に、実施の形態 2 のパワーオンリセット回路 200 は、コンパレータ CMP_{150} が比較電圧 V_D 、 V_A を比較することによりパワーオンリセット信号 V_{OUT} を生成していたが、図 8 に示すように、コンパレータ CMP_{151} が BGR 回路 211 の生成した基準電圧 V_{ref} と比較電圧 V_A を比較してパワーオンリセット信号 V_{OUT2} を生成するようにしてもよい。また、比較電圧 V_A をコンパレータ CMP_{150} もしくは CMP_{151} へ伝達するかはスイッチ SW_{501} により選択するようにしてもよい。

【0108】

このようにすることで、比較電圧生成部 130 の生成した比較電圧 V_D を基にしたパワーオンリセット信号を生成することも、 BGR 回路 211 の生成した基準電圧 V_{ref} を基にパワーオンリセット信号を生成することも可能となる。なお、この構成は実施の形態 3 のパワーオンリセット回路 300 にも適用可能である。

【符号の説明】

【0109】

100 ~ 500 パワーオンリセット回路
 110、210 基準電圧生成回路
 211 BGR 回路
 212 スタートアップ部
 120、130 比較電圧生成部
 CMP_{150} 、 CMP_{151} コンパレータ
 MN_{11} 、 MN_{12} 、 MN_{101} 、 MN_{102} エンハンスメント型 $NMOS$ トランジスタ
 MP_{11} ~ MP_{15} エンハンスメント型 $PMOS$ トランジスタ
 $DPMN_{101}$ 、 $DPMN_{102}$ デプレッション型 $NMOS$ トランジスタ
 R_{11} 、 R_{12} 抵抗
 C_{11} 容量
 D_{11} ~ D_{13} ダイオード

10

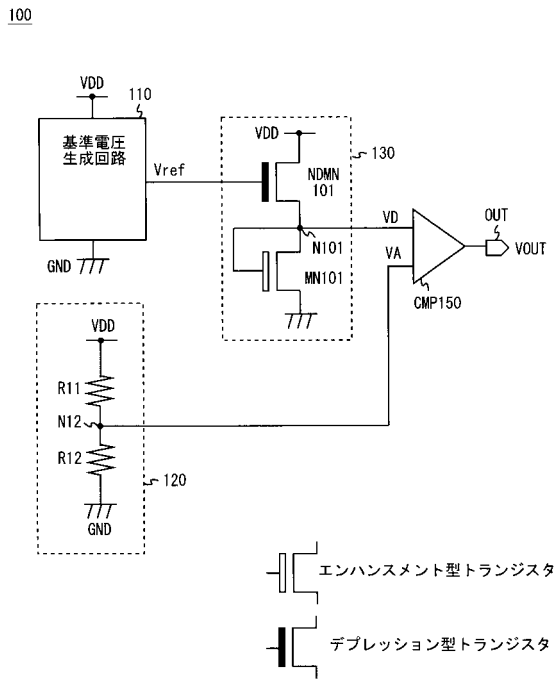
20

30

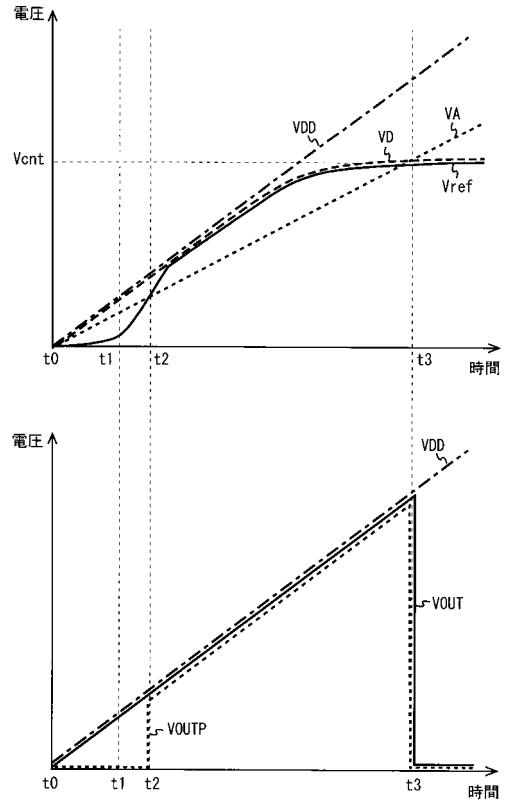
40

50

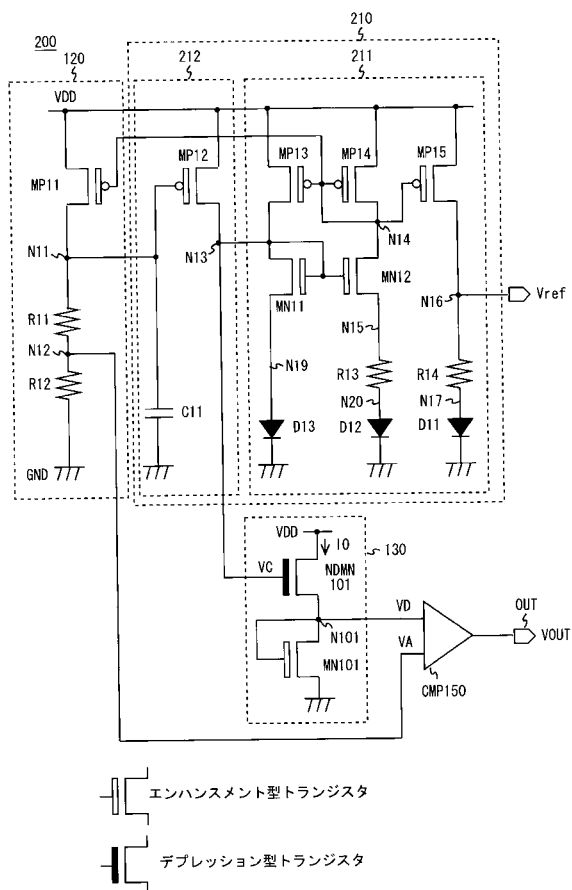
【 図 1 】



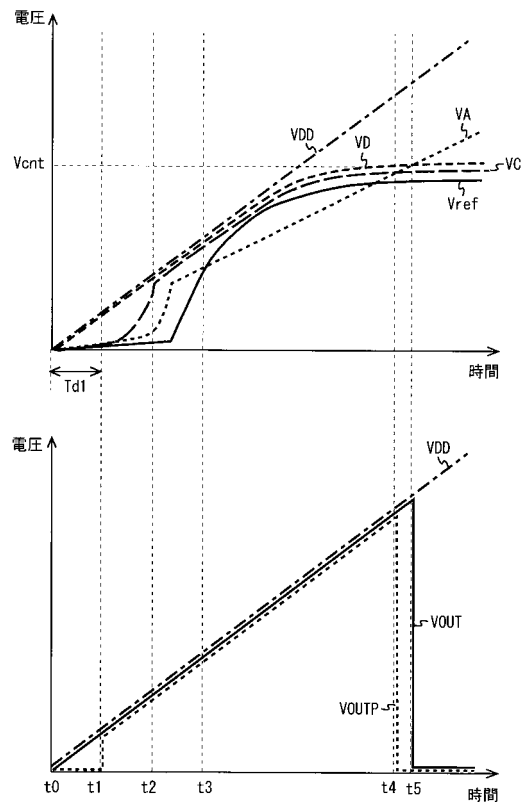
【 図 2 】



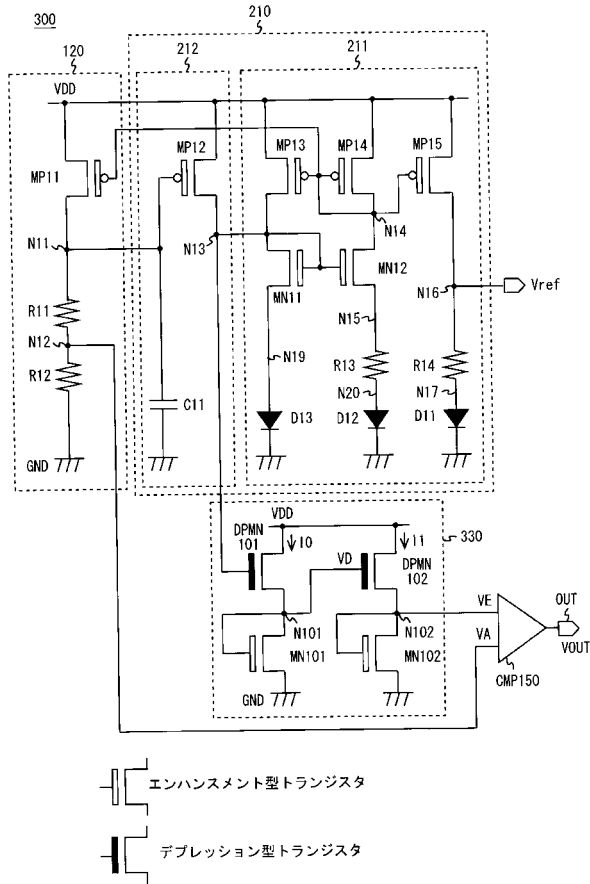
【 図 3 】



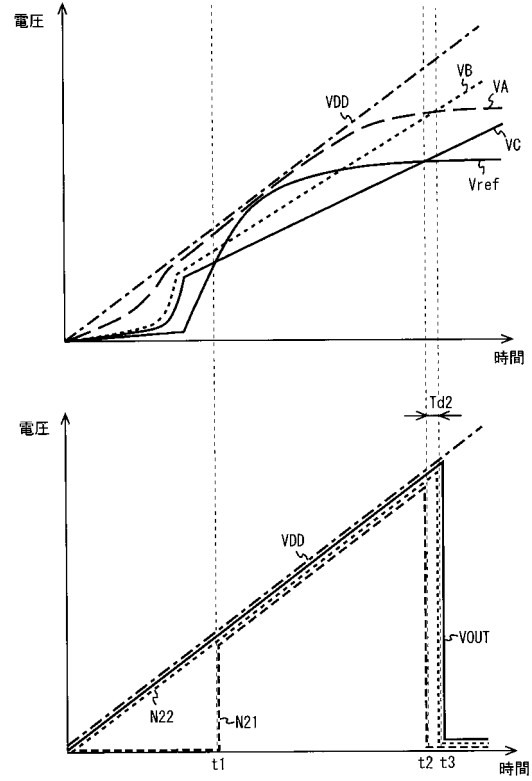
【 図 4 】



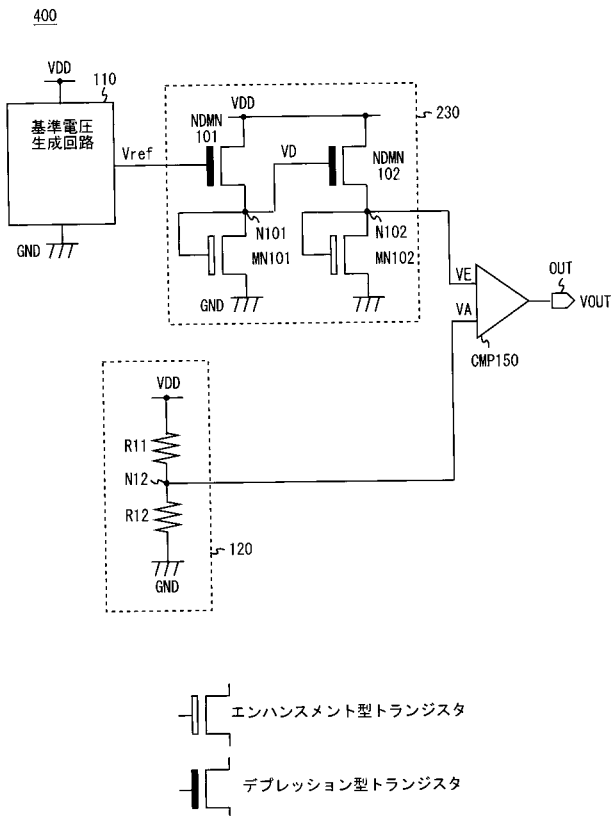
【図5】



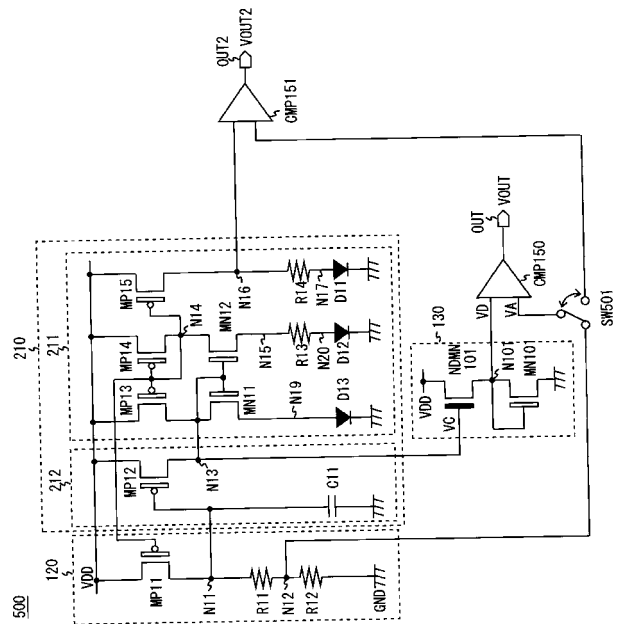
【図6】



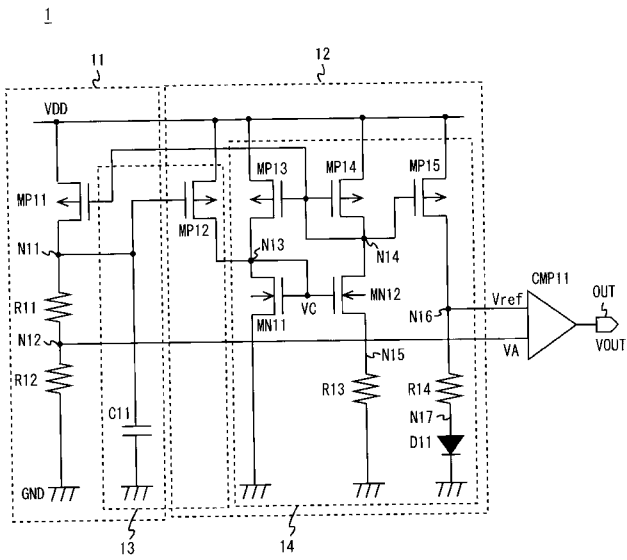
【図7】



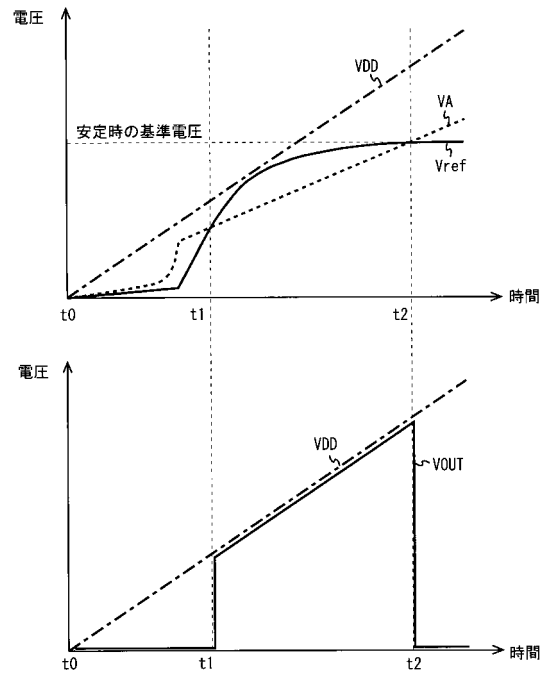
【図8】



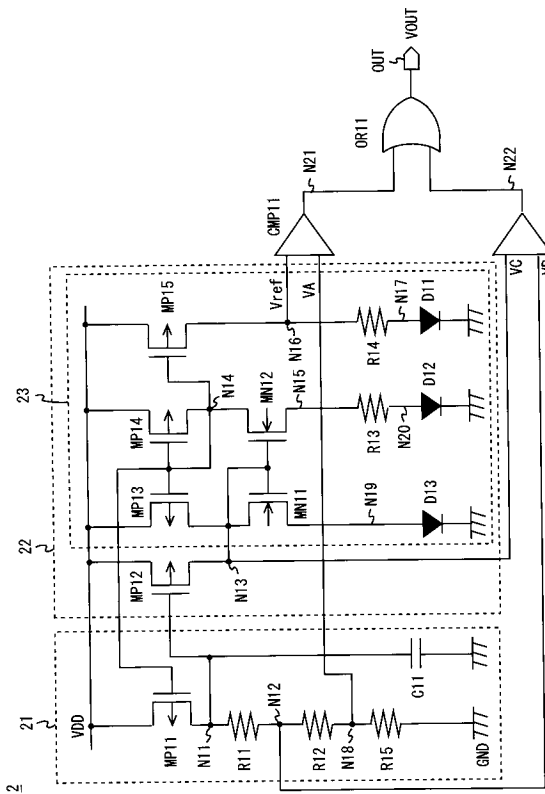
【図 9】



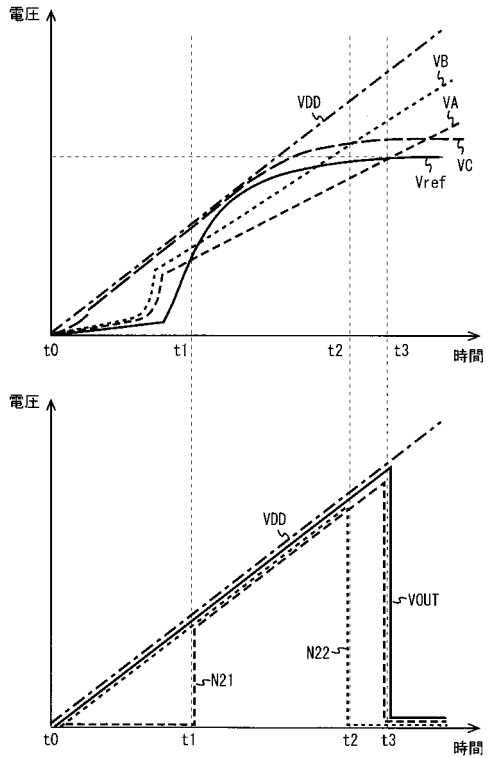
【図 10】



【図 11】



【図 12】



【 図 1 3 】

