



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월09일  
(11) 등록번호 10-1694242  
(24) 등록일자 2017년01월03일

(51) 국제특허분류(Int. Cl.)  
H03F 1/52 (2006.01) H03F 3/181 (2006.01)  
H03F 3/45 (2006.01)  
(52) CPC특허분류  
H03F 1/52 (2013.01)  
H03F 3/181 (2013.01)  
(21) 출원번호 10-2015-0179126  
(22) 출원일자 2015년12월15일  
심사청구일자 2015년12월15일  
(56) 선행기술조사문헌  
US4463369 A  
JP2008236605 A  
KR1020130011234 A

(73) 특허권자  
현대오트론 주식회사  
경기도 성남시 분당구 판교로 344, 2층, 3층, 4층, 5층 (삼평동, 엠텍아이티타워)  
(72) 발명자  
신동하  
서울특별시 서초구 강남대로34길 27-11, 404호 (양재동)  
권순백  
경기도 성남시 분당구 불정로65번길 4-4, 305호 (정자동)  
이재욱  
서울특별시 강남구 언주로 21, 9동 103호 (개포동, 시영아파트)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 7 항

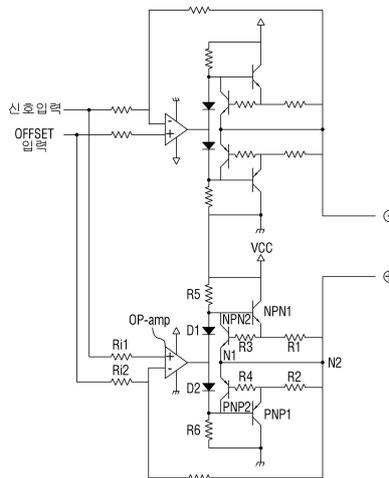
심사관 : 오성환

(54) 발명의 명칭 보호 회로를 포함하는 전력 증폭기

(57) 요약

보호 회로를 포함하는 전력 증폭기가 제공된다. 상기 보호 회로를 포함하는 전력 증폭기는, 제1 PNP 트랜지스터, 상기 제1 PNP 트랜지스터의 베이스 단에 연결된 제2 PNP 트랜지스터, 및 상기 제1 PNP 트랜지스터의 이미터 단과 상기 제2 PNP 트랜지스터의 베이스 단 사이에 전기적으로 연결된 제1 부하부를 포함하고, 상기 제2 PNP 트랜지스터의 컬렉터 단은 상기 제1 PNP 트랜지스터의 베이스 단과 전기적으로 연결된다.

대표도 - 도7



(52) CPC특허분류

*H03F 3/45475* (2013.01)

*H03F 3/68* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

제1 PNP 트랜지스터;

상기 제1 PNP 트랜지스터의 베이스 단에 연결된 제2 PNP 트랜지스터;

상기 제1 PNP 트랜지스터의 이미터 단과 상기 제2 PNP 트랜지스터의 베이스 단 사이에 전기적으로 연결된 제1 부하부;

상기 제1 PNP 트랜지스터의 이미터 단과 상기 제1 부하부에 전기적으로 연결되되, 상기 제1 부하부에 병렬로 연결된 제2 부하부; 및

상기 제1 PNP 트랜지스터의 컬렉터 단과 상기 제2 PNP 트랜지스터의 컬렉터 단 사이에 전기적으로 연결된 제3 부하부를 포함하고,

상기 제2 PNP 트랜지스터의 컬렉터 단은 상기 제1 PNP 트랜지스터의 베이스 단과 전기적으로 연결되고, 상기 제2 PNP 트랜지스터의 이미터 단은 상기 제2 부하부와 전기적으로 연결되되,

(+) 출력단에 배터리 전압이 단락됨에 따라, 상기 제1 부하부 및 제2 부하부의 부하 값 크기를 기초로, 상기 제2 부하부로부터 상기 제1 PNP 트랜지스터를 따라 제1 전류가 흐르고, 상기 제2 PNP 트랜지스터를 따라 상기 제3 부하부를 통해 제2 전류가 흐르는, 보호 회로를 포함하는 전력 증폭기.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

제1 항에 있어서,

상기 제1 PNP 트랜지스터의 컬렉터 단은 그라운드(ground)에 접속된, 보호 회로를 포함하는 전력 증폭기.

**청구항 7**

구동 전원과 그라운드 사이에, 직렬로 순차적으로 접속된 제1 NPN 트랜지스터, 제1 부하부, 제2 부하부, 및 제1 PNP 트랜지스터;

상기 제1 NPN 트랜지스터의 베이스 단에 연결된 제2 NPN 트랜지스터;

상기 제1 NPN 트랜지스터의 이미터 단과 상기 제2 NPN 트랜지스터의 베이스 단 사이에 전기적으로 연결된 제3 부하부;

상기 제1 PNP 트랜지스터의 베이스 단에 연결된 제2 PNP 트랜지스터;

상기 제1 PNP 트랜지스터의 이미터 단과 상기 제2 PNP 트랜지스터의 베이스 단 사이에 전기적으로 연결된 제4

부하부; 및

상기 제1 PNP 트랜지스터의 컬렉터 단과 상기 제2 PNP 트랜지스터의 컬렉터 단 사이에 전기적으로 연결된 제6 부하부를 포함하고,

상기 제2 NPN 트랜지스터의 이미터 단과 상기 제2 PNP 트랜지스터의 이미터 단 사이의 제1 노드는, 상기 제1 부하부와 상기 제2 부하부 사이의 제2 노드와 쇼트(short)되고,

(+) 출력단에 배터리 전압이 단락됨에 따라, 상기 제2 부하부 및 제4 부하부의 부하 값 크기를 기초로, 상기 제2 노드로부터 상기 제2 부하부 및 제1 PNP 트랜지스터를 따라 제1 전류가 흐르고, 상기 제2 노드로부터 상기 제1 노드, 상기 제2 PNP 트랜지스터 및 상기 제6 부하부를 따라 제2 전류가 흐르는, 보호 회로를 포함하는 전력 증폭기.

**청구항 8**

제7 항에 있어서,

상기 제1 NPN 트랜지스터의 컬렉터 단과 상기 제2 NPN 트랜지스터의 컬렉터 단 사이에 전기적으로 연결된 제5 부하부를 더 포함하는, 보호 회로를 포함하는 전력 증폭기.

**청구항 9**

삭제

**청구항 10**

제8 항에 있어서,

상기 제5 부하부와 상기 제6 부하부 사이에 직렬로 연결된 제1 다이오드와 제2 다이오드를 더 포함하는, 보호 회로를 포함하는 전력 증폭기.

**청구항 11**

제7 항에 있어서,

상기 제1 부하부와 상기 제3 부하부는 병렬로 연결되고,

상기 제2 부하부와 상기 제4 부하부는 병렬로 연결된, 보호 회로를 포함하는 전력 증폭기.

**청구항 12**

제7 항에 있어서,

상기 제1 PNP 트랜지스터의 컬렉터 단은 상기 그라운드에 접속된, 보호 회로를 포함하는 전력 증폭기.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 보호 회로를 포함하는 전력 증폭기에 관한 것이다. 보다 자세하게는, 차량용 통신 시스템에 이용되는 AB급 전력 증폭기에서, AB급 전력 증폭기의 출력단에 배터리 전압이 단락되었을 때, AB급 전력 증폭기 회로 내의 회로 소자에 흐르는 전류량을 제한할 수 있는 보호 회로를 포함하는 전력 증폭기에 관한 것이다.

**배경 기술**

[0002] 일반적으로 통신 시스템은 송수신 신호의 전력을 증폭하기 위하여 전력 증폭기가 사용되며, 이러한 전력 증폭기는 최대 전력을 추출하기 위해 주요한 능동 소자인 트랜지스터를 비선형 특성이 강한 포화 영역에서 동작시키게 된다.

[0003] 이와 같이 전력 증폭기의 트랜지스터는 전력 증폭 과정에 있어서 핵심 역할을 하는 것으로서, 다른 소자들에 비하여 상대적으로 가격이 고가이고, 손상될 경우 통신 시스템을 마비시키게 되는 등 매우 중요한 역할의 소자이다.

[0004] 따라서, 종래의 통신 시스템에서는 전력 증폭기의 트랜지스터가 과전류로부터 손상되는 것을 보호하기 위한 장치가 설치되어 있다. 일 예로 자동 레벨 조정(Auto Level Control)을 통해 일정 출력 이상으로 전력 레벨이 상승하는 것을 방지하고, 또한 일정 출력 이상이 되면 전력 증폭기의 전원을 차단(Shut Down)하여 과전류에 의한 전력 증폭기의 트랜지스터를 보호하고 있다.

[0005] 그러나, 이와 같은 종래의 전력 증폭기용 트랜지스터 보호 방식은 출력 신호의 크기를 감지한 후 일정 시간 동안 유지가 되어야만 동작이 이루어지는 방식이고, 전력 검출기가 검출하는 신호의 평균값을 출력하기 때문에 지연 시간이 발생된다.

[0006] 다만, 종래의 보호 방식은 순간적으로 과증폭된 신호에 의한 트랜지스터의 손상을 방지할 수 없고, 전력 증폭기나 시스템 자체에서 발생하는 발진 등의 예상하지 않은 증폭 신호에 의한 트랜지스터의 손상도 방지할 수 없는 문제점이 있다.

**선행기술문헌**

**특허문헌**

[0007] (특허문헌 0001) 한국 공개 특허 제2001-0108619호 (2001.12.08. 공개)

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명이 해결하고자 하는 기술적 과제는, 차량의 통신 시스템에 이용되는 AB급 전력 증폭기에서, 상대적으로 고전압인 배터리 전압이 AB급 전력 증폭기의 출력단에 단락되어 AB급 전력 증폭기 회로 내로 고전류가 흐르는 경우에, 회로 소자가 손상되는 것을 방지할 수 있는 보호 회로를 포함하는 전력 증폭기를 제공하는 것이다.

[0009] 본 발명이 해결하고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해 될 수 있을 것이다.

**과제의 해결 수단**

[0010] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 보호 회로를 포함하는 전력 증폭기는, 제1 PNP 트랜지스터, 상기 제1 PNP 트랜지스터의 베이스 단에 연결된 제2 PNP 트랜지스터, 및 상기 제1 PNP 트랜지스터의 이미터 단과 상기 제2 PNP 트랜지스터의 베이스 단 사이에 전기적으로 연결된 제1 부하부를 포함하고, 상기 제2 PNP 트랜지스터의 컬렉터 단은 상기 제1 PNP 트랜지스터의 베이스 단과 전기적으로 연결된다.

[0011] 본 발명의 몇몇 실시예에서, 상기 제1 PNP 트랜지스터의 이미터 단과 상기 제1 부하부에 전기적으로 연결된 제2 부하부를 더 포함할 수 있다.

[0012] 본 발명의 몇몇 실시예에서, 상기 제1 부하부와 상기 제2 부하부는 병렬로 연결될 수 있다.

[0013] 본 발명의 몇몇 실시예에서, 상기 제2 PNP 트랜지스터의 이미터 단은 상기 제2 부하부와 전기적으로 연결될 수 있다.

[0014] 본 발명의 몇몇 실시예에서, 상기 제1 PNP 트랜지스터의 컬렉터 단과 상기 제2 PNP 트랜지스터의 컬렉터 단 사이에 전기적으로 연결된 제3 부하부를 더 포함할 수 있다.

[0015] 본 발명의 몇몇 실시예에서, 상기 제1 PNP 트랜지스터의 컬렉터 단은 그라운드(ground)에 접속될 수 있다.

[0016] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 보호 회로를 포함하는 전력 증폭기는, 구동 전원과 그라운드 사이에, 직렬로 순차적으로 접속된 제1 NPN 트랜지스터, 제1 부하부, 제2 부하부, 및 제1 PNP 트랜지스터, 상기 제1 NPN 트랜지스터의 베이스 단에 연결된 제2 NPN 트랜지스터, 상기 제1 NPN 트랜지스터의 이미터 단과 상기 제2 NPN 트랜지스터의 베이스 단 사이에 전기적으로 연결된 제3 부하부, 상기 제1 PNP 트랜지스터의 베이스 단에 연결된 제2 PNP 트랜지스터, 및 상기 제1 PNP 트랜지스터의 이미터 단과 상기 제2 PNP 트랜지스터의 베이스 단 사이에 전기적으로 연결된 제4 부하부를 포함하고, 상기 제2 NPN 트랜지스터의 이미터 단과 상기 제2 PNP 트랜지스터의 이미터 단 사이의 제1 노드는, 상기 제1 부하부와 상기 제2 부하부 사이의 제2 노드

와 쇼트(short)된다.

- [0017] 본 발명의 몇몇 실시예에서, 상기 제1 NPN 트랜지스터의 컬렉터 단과 상기 제2 NPN 트랜지스터의 컬렉터 단 사이에 전기적으로 연결된 제5 부하부를 더 포함할 수 있다.
- [0018] 본 발명의 몇몇 실시예에서, 상기 제1 PNP 트랜지스터의 컬렉터 단과 상기 제2 PNP 트랜지스터의 컬렉터 단 사이에 전기적으로 연결된 제6 부하부를 더 포함할 수 있다.
- [0019] 본 발명의 몇몇 실시예에서, 상기 제5 부하부와 상기 제6 부하부 사이에 직렬로 연결된 제1 다이오드와 제2 다이오드를 더 포함할 수 있다.
- [0020] 본 발명의 몇몇 실시예에서, 상기 제1 부하부와 상기 제3 부하부는 병렬로 연결되고, 상기 제2 부하부와 상기 제4 부하부는 병렬로 연결될 수 있다.
- [0021] 본 발명의 몇몇 실시예에서, 상기 제1 PNP 트랜지스터의 컬렉터 단은 상기 그라운드에 접속될 수 있다.

**발명의 효과**

- [0022] 상술한 바와 같은 본 발명에 따르면, 보호 회로를 포함하는 전력 증폭기를 이용하여, 차량의 통신 시스템에서의 AB급 전력 증폭기의 출력단에 배터리 전압이 단락되어 인가되어도, AB급 전력 증폭기 회로 내의 회로 소자를 보호할 수 있다.
- [0023] 구체적으로, 상대적으로 고전압인 배터리 전압에 의해 발생하는 고전류가 분배되어 흐를 수 있도록 전류 패스(current path)가 증가되어, AB급 전력 증폭기 회로 내의 회로 소자에 흐르는 전류량이 감소할 수 있고, 이에 따라, 회로 소자가 손상되는 것을 방지할 수 있다.

**도면의 간단한 설명**

- [0024] 도 1은 A급 동작의 고주파 전력 증폭기를 도시한 도면이다.
- 도 2는 도 1에 도시된 고주파 전력 증폭기의 이득(Gain) 특성을 나타내는 그래프이다.
- 도 3은 AB급 동작의 고주파 전력 증폭기를 도시한 도면이다.
- 도 4는 도 3에 도시된 고주파 전력 증폭기의 이득(Gain) 특성을 나타내는 그래프이다.
- 도 5는 AB급 푸시풀 증폭기의 회로도이다.
- 도 6은 종래의 AB급 전력 증폭기의 동작을 설명하기 위한 회로도이다.
- 도 7은 본 발명의 일 실시예에 따른 전력 증폭기의 회로도이다.
- 도 8은 본 발명의 일 실시예에 따른 전력 증폭기의 동작을 설명하기 위한 회로도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- [0026] 하나의 구성요소가 다른 구성요소와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 구성요소와 직접 연결 또는 커플링된 경우 또는 중간에 다른 구성요소를 개재한 경우를 모두 포함한다. 반면, 하나의 구성요소가 다른 구성요소와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 구성요소를 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0027] 비록, 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션

일 수도 있음은 물론이다.

- [0028] 본 명세서에서 사용된 용어들은 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprises)" 및/또는 "이루어지다(made of)"는 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0029] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0030] 우선, 도 1 내지 도 4를 참조하여, 본 발명에 따른 전력 증폭기의 전체 기술에 대해 설명한다.
- [0031] 도 1은 A급 동작의 고주파 전력 증폭기를 도시한 도면이다. 도 2는 도 1에 도시된 고주파 전력 증폭기의 이득 (Gain) 특성을 나타내는 그래프이다.
- [0032] 도 1 및 도 2를 참조하면, A급 동작의 고주파 전력 증폭기(50)는 입력 신호에 대해 증폭된 신호가 선형 영역이 되도록 바이어스된 증폭기를 의미한다. A급 동작의 고주파 전력 증폭기(50)는 부하에 전력을 제공하는 것이 목적인 대신호 증폭기이다. 다만, A급 동작의 고주파 전력 증폭기(50)는 열 발생이 많기 때문에, 열 방출을 고려하여 쿨링 팬(cooling fan) 또는 히트 싱크(heat sink)를 이용한다.
- [0033] 도 2에 도시된 바와 같이, A급 동작의 고주파 전력 증폭기(50)는 이득 특성이 플랫(Flat)으로 되기 때문에 왜곡 특성은 좋은 반면, 전력변환 효율(power conversion efficiency)은 나빠진다.
- [0034] 한편, 도 3은 AB급 동작의 고주파 전력 증폭기를 도시한 도면이다. 도 4는 도 3에 도시된 고주파 전력 증폭기의 이득(Gain) 특성을 나타내는 그래프이다.
- [0035] 도 3 및 도 4를 참조하면, AB급 동작의 고주파 전력 증폭기(100)는 180° 이상의 영역에서 동작되도록 바이어스된 증폭기로서, 동작점을 A급 바이어스 쪽으로 이동시킨 증폭기를 의미한다.
- [0036] AB급 동작의 고주파 전력 증폭기(100)는 A급 동작의 고주파 전력 증폭기(50)에 비하여 더 효율적이며, 입력 전력의 크기보다 더욱 큰 크기를 갖는 출력 전력을 얻을 수 있다.
- [0037] 또한, AB급 동작의 고주파 전력 증폭기(100)는 B급 동작의 고주파 전력 증폭기에서 발생하는 교차 왜곡 현상을 제거하기 위한 용도로 이용된다.
- [0038] 도 4에 도시된 바와 같이, AB급 동작의 고주파 전력 증폭기(100)는 이득 특성이 확장되기(expansion) 때문에 왜곡 특성이 저하하는 반면, 전력변환 효율(power conversion efficiency)은 좋아진다.
- [0039] 이하, 도 5 내지 도 8을 참조하여, 본 발명에 따른 전력 증폭기에 대해 자세하게 설명하기로 한다.
- [0040] 도 5는 AB급 푸시풀 증폭기의 회로도이다. 도 6은 종래의 AB급 전력 증폭기의 동작을 설명하기 위한 회로도이다.
- [0041] 도 5를 참조하면, 다이오드를 이용한 AB급 바이어스가 적용되는 푸시풀 증폭기에 대해 도시되어 있다. AB급 푸시풀 증폭기에서는, 제1 다이오드(D1)와 제2 다이오드(D2)에서 발생하는 전압 강하에 의해 제1 트랜지스터(Q1)와 제2 트랜지스터(Q2)의 바이어스 전압(VBB)이 형성된다.
- [0042] 도 6을 참조하면, 종래의 AB급 전력 증폭기에서는 (+) 출력단에 높은 전압(예를 들어, 배터리 전압)이 단락되었을 때, (+) 출력단이 그라운드(ground)와 단락되어 큰 전류가 제1 PNP 트랜지스터(PNP 1)에 흐르게 되고, 전력 증폭기를 구성하는 부품이 손상될 수 있다.
- [0043] 도 7은 본 발명의 일 실시예에 따른 전력 증폭기의 회로도이다. 도 8은 본 발명의 일 실시예에 따른 전력 증폭기의 동작을 설명하기 위한 회로도이다.
- [0044] 도 7을 참조하면, 본 발명의 일 실시예에 따른 전력 증폭기는, AB급 전력 증폭기를 2개 포함한다. 각각의 AB급 전력 증폭기는 (-) 출력단과 (+) 출력단에 연결되며, 각각의 AB급 전력 증폭기의 구성은 동일하므로 하나의 AB급 전력 증폭기에 대해서만 설명한다.
- [0045] 도 7에 도시된 것과 같이, 본 발명의 일 실시예에 따른 AB급 전력 증폭기는, 구동 전원(VCC)과 그라운드

(ground) 사이에, 직렬로 순차적으로 접속된 제1 NPN 트랜지스터(NPN 1), 제1 부하부(R1), 제2 부하부(R2), 및 제1 PNP 트랜지스터(PNP 1)를 포함한다.

- [0046] 제1 NPN 트랜지스터(NPN 1)의 베이스(base) 단에는 제2 NPN 트랜지스터(NPN 2)가 연결될 수 있다. 구체적으로, 제1 NPN 트랜지스터(NPN 1)의 베이스 단은 제2 NPN 트랜지스터(NPN 2)의 컬렉터(collector) 단과 전기적으로 연결될 수 있다.
- [0047] 제1 NPN 트랜지스터(NPN 1)의 이미터(emitter) 단과 제2 NPN 트랜지스터(NPN 2)의 베이스 단 사이에는 제3 부하부(R3)가 전기적으로 연결될 수 있다. 제2 NPN 트랜지스터(NPN 2)와 제3 부하부(R3)는 AB급 전력 증폭기의 보호 회로 역할을 할 수 있다.
- [0048] 회로 관점에서, 제1 부하부(R1)와 제3 부하부(R3)는 병렬로 연결된다. 따라서, 고전류가 분배되어 흐를 수 있는 2개의 패스(path)가 형성될 수 있다. 이에 관해서는 후술하기로 한다.
- [0049] 제1 PNP 트랜지스터(PNP 1)의 베이스 단에는 제2 PNP 트랜지스터(PNP 2)가 연결될 수 있다. 구체적으로, 제1 PNP 트랜지스터(PNP 1)의 베이스 단은 제2 PNP 트랜지스터(PNP 2)의 컬렉터 단과 전기적으로 연결될 수 있다.
- [0050] 제1 PNP 트랜지스터(PNP 1)의 이미터 단과 제2 PNP 트랜지스터(PNP 2)의 베이스 단 사이에는 제4 부하부(R4)가 전기적으로 연결될 수 있다. 제2 PNP 트랜지스터(PNP 2)와 제4 부하부(R4)는 AB급 전력 증폭기의 보호 회로 역할을 할 수 있다.
- [0051] 회로 관점에서, 제2 부하부(R2)와 제4 부하부(R4)는 병렬로 연결된다. 따라서, 고전류가 분배되어 흐를 수 있는 2개의 패스(path)가 형성될 수 있다. 이에 관해서는 후술하기로 한다.
- [0052] 제2 NPN 트랜지스터(NPN 2)의 이미터 단과 제2 PNP 트랜지스터(PNP 2)의 이미터 단 사이의 제1 노드(N1)가 정의된다. 그리고, 제1 부하부(R1)와 제2 부하부(R2) 사이에는 제2 노드(N2)가 정의된다. 제1 노드(N1)와 제2 노드(N2) 사이는 쇼트(short)되어 전류가 흐를 수 있는 패스(path)가 형성된다.
- [0053] 제1 PNP 트랜지스터(PNP 1)의 컬렉터 단은 그라운드(ground)에 접속되어, 전류가 흐를 수 있는 패스(path)가 형성된다.
- [0054] 제1 NPN 트랜지스터(NPN 1)의 컬렉터 단과 제2 NPN 트랜지스터(NPN 2)의 컬렉터 단 사이에는 제5 부하부(R5)가 전기적으로 연결된다. 그리고, 제5 부하부(R5)에는 제1 다이오드(D1)가 전기적으로 연결된다.
- [0055] 제1 PNP 트랜지스터(PNP 1)의 컬렉터 단과 제2 PNP 트랜지스터(PNP 2)의 컬렉터 단 사이에는 제6 부하부(R6)가 전기적으로 연결된다. 그리고, 제6 부하부(R6)에는 제2 다이오드(D2)가 전기적으로 연결된다.
- [0056] 즉, 제5 부하부(R5)와 제6 부하부(R6) 사이에, 제1 다이오드(D1)와 제2 다이오드(D2)가 직렬로 연결될 수 있다. 제5 부하부(R5), 제1 다이오드(D1), 제2 다이오드(D2), 및 제6 부하부(R6)가 순차적으로 직렬로 연결될 수 있다.
- [0057] 제1 다이오드(D1)와 제2 다이오드(D2) 사이에는 증폭 회로(op-amp)의 출력단이 연결될 수 있고, 증폭 회로(op-amp)의 출력이 AB급 전력 증폭기의 입력으로 인가될 수 있다. 증폭 회로(op-amp)의 입력단에는 입력 저항(Ri1, Ri2)을 통해 신호 및 오프셋 값이 입력될 수 있다.
- [0058] 지금까지, 도 7을 참고하여, (+) 출력단에 연결된 AB급 전력 증폭기의 회로 구조에 대해 설명하였다. 이에 관한 설명은 (-) 출력단에 연결된 AB급 전력 증폭기의 회로 구조에 대해서도 실질적으로 동일하게 적용된다.
- [0059] 도 8을 참조하면, 본 발명의 일 실시예에 따른 전력 증폭기에서는, (+) 출력단에 높은 전압(예를 들어, 배터리 전압)이 단락되었을 때, (+) 출력단이 그라운드(ground)와 단락될 수 있다. 이 때, 전력 증폭기 내에 고전류가 흐를 수 있는데, 고전류는 분배되어 제1 패스(PA1)와 제2 패스(PA2)로 나누어서 흐르게 된다.
- [0060] 제1 노드(N1)와 제2 노드(N2) 사이가 쇼트(short)되어, 제2 부하부(R2)와 제4 부하부(R4)는 병렬로 연결된 구조를 갖기 때문에, 제2 부하부(R2)와 제4 부하부(R4)의 각각의 부하의 크기 값에 따라 고전류가 분배되어 흐르게 된다.
- [0061] 즉, 기존에는 제1 PNP 트랜지스터(PNP 1)를 따라서만 고전류가 흐르는 구조였으나, 본 발명의 실시예에 따른 전력 증폭기의 회로 구조에서는 제1 PNP 트랜지스터(PNP 1)의 베이스 전류가 생성되어 제2 PNP 트랜지스터(PNP 2)를 따라서도 전류가 흐를 수 있다. 이에 따라, 상대적으로 제1 PNP 트랜지스터(PNP 1)로 흐르는 전류량이 감소되며, 제1 PNP 트랜지스터(PNP 1)가 손상되는 것을 방지할 수 있다.

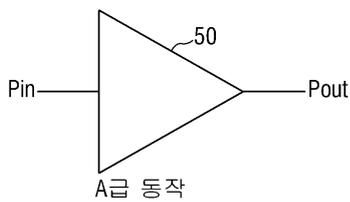
[0062] 또한, AB급 전력 증폭기 내의 다른 소자에 흐르는 전류량도 제한되어 회로 부품이 손상되는 것을 방지할 수 있다.

[0063] 차량의 배터리는 불안정하기 때문에 전압 값이 16V까지 상승할 수 있으며, 이러한 고전압이 AB급 전력 증폭기의 출력단에 단락된다면, AB급 전력 증폭기 내의 회로 소자에 손상을 입힐 수 있다. 따라서, 본 발명의 기술적 사상에 따른 보호 회로 구조를 이용하여 AB급 전력 증폭기 내의 회로 소자를 보호할 필요성이 있다.

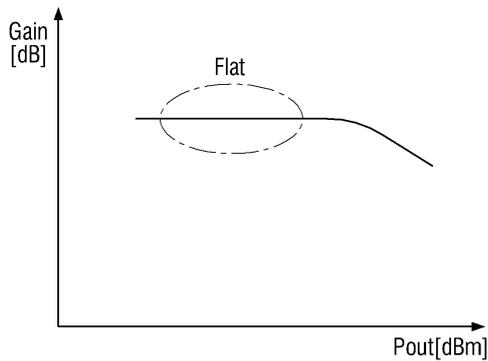
[0064] 이상, 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해되어야만 한다.

**도면**

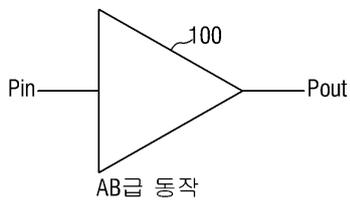
**도면1**



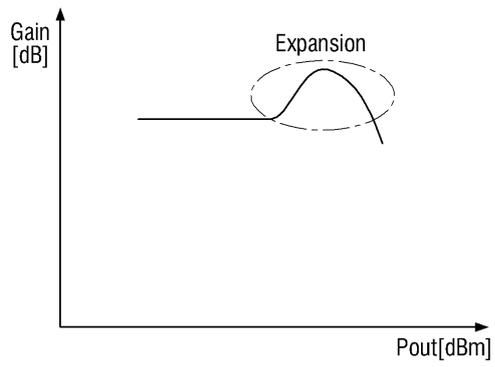
**도면2**



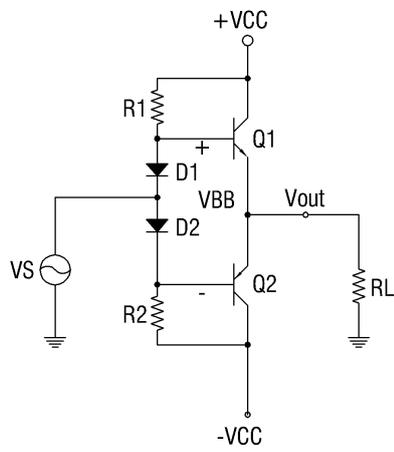
**도면3**



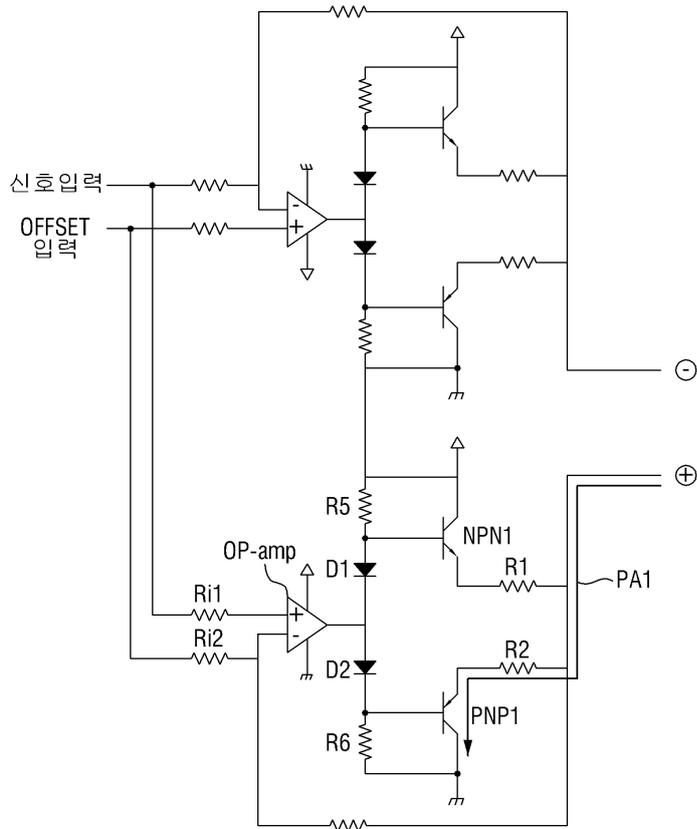
도면4



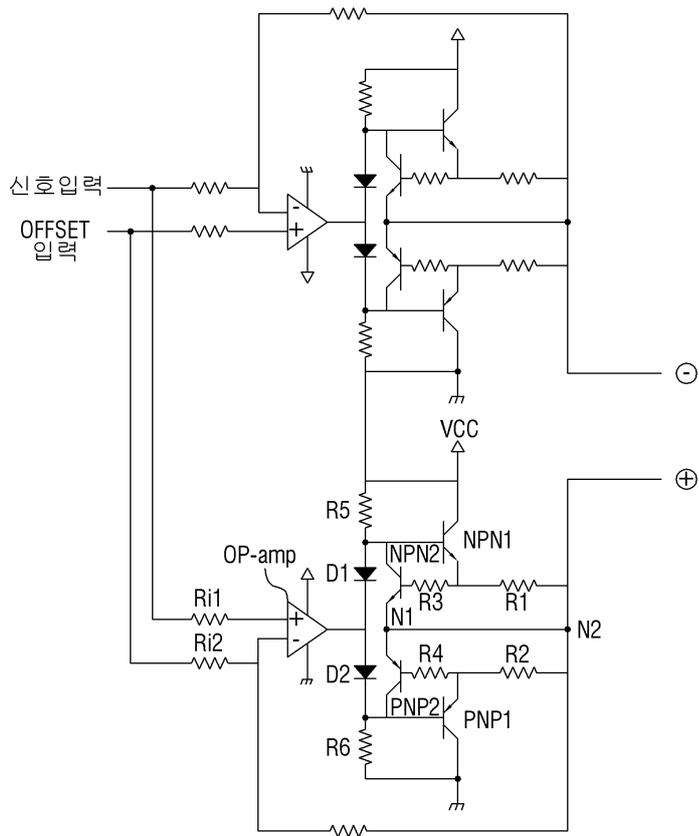
도면5



도면6



도면7



도면8

