



(12) 发明专利申请

(10) 申请公布号 CN 116779576 A

(43) 申请公布日 2023. 09. 19

(21) 申请号 202310944313.1

(22) 申请日 2023.07.28

(71) 申请人 英诺赛科(珠海)科技有限公司
地址 519080 广东省珠海市高新区金园二
路39号

(72) 发明人 崔嘉杰 王怀锋

(74) 专利代理机构 北京博思佳知识产权代理有
限公司 11415
专利代理师 靳玫

(51) Int. Cl.
H01L 23/495 (2006.01)

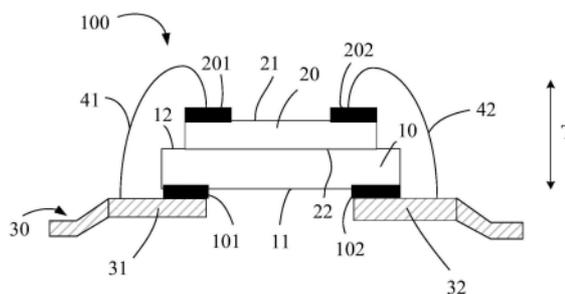
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种半导体组件及半导体器件

(57) 摘要

本申请提供一种半导体组件及半导体器件。所述半导体组件包括引线框架、第一芯片及第二芯片。引线框架具有多个引脚；第一芯片设于所述引线框架之上；所述第一芯片具有相互背离的正面和背面，所述第一芯片的正面设有控制极、第一极及第二极，所述第一芯片的正面朝向所述引线框架，所述第一芯片的控制极、第一极及第二极分别与多个所述引脚中的不同引脚对应连接；其中，至少所述第一芯片的第一极和第二极，与所连接的引脚直接接触连接；第二芯片具有相互背离的正面和背面，所述第二芯片的正面设有多个电极，所述第二芯片的背面朝向所述第一芯片的背面设置于所述第一芯片之上，且所述第二芯片的多个电极分别与多个所述引脚的不同引脚电性连接。



1. 一种半导体组件,其特征在于,包括:

引线框架,具有多个引脚;

第一芯片,设于所述引线框架之上;所述第一芯片具有相互背离的正面和背面,所述第一芯片的正面设有控制极、第一极及第二极,所述第一芯片的正面朝向所述引线框架,所述第一芯片的控制极、第一极及第二极分别与多个所述引脚中的不同引脚对应连接;其中,至少所述第一芯片的第一极和第二极,与所连接的引脚直接接触连接;

第二芯片,具有相互背离的正面和背面,所述第二芯片的正面设有多个电极,所述第二芯片的背面朝向所述第一芯片的背面设置于所述第一芯片之上,且所述第二芯片的多个电极分别与多个所述引脚的不同引脚电性连接。

2. 如权利要求1所述的半导体组件,其特征在于,所述第一芯片的控制极与所连接的引脚直接接触连接或通过引线连接。

3. 如权利要求1或2所述的半导体组件,其特征在于,所述半导体组件还包括多个电性连接结构,用于分别连接所述第二芯片的多个电极与对应的引脚。

4. 如权利要求3所述的半导体组件,其特征在于,所述第二芯片的正面的多个电极中包括与所述第一芯片的第一极、第二极及控制极分别对应的第一电极、第二电极及第三电极;所述多个引脚包括与所述第一极、第二极及控制极分别对应连接的第一引脚、第二引脚及第三引脚;

所述多个电性连接结构包括第一电性连接结构、第二电性连接结构及第三电性连接结构,所述第一电性连接结构连接所述第一电极和第一引脚,所述第二电性连接结构连接所述第二电极与所述第二引脚,所述第三电性连接结构连接所述控制极与所述第三引脚。

5. 如权利要求4所述的半导体组件,其特征在于,所述第一芯片为GaN芯片,所述第二芯片为GaN芯片或硅芯片。

6. 如权利要求5所述的半导体组件,其特征在于,所述第一电性连接结构、所述第二电性连接结构及第三电性连接结构均为连接引线。

7. 如权利要求4所述的半导体组件,其特征在于,所述第一芯片和第二芯片均为GaN芯片。

8. 如权利要求7所述的半导体组件,其特征在于,所述第一电性连接结构和所述第二电性连接结构为弯折的片状连接结构;

所述片状连接结构包括位于所述第一芯片和第二芯片的侧方并沿半导体组件厚度方向延伸的纵向连接部,以及自所述纵向连接部顶部朝向所述第二芯片顶部延伸并与所述第二芯片的第一电极、第二电极中的对应电极连接的横向连接部;其中,所述纵向连接部的底部与所述第一引脚、第二引脚中的对应引脚连接。

9. 如权利要求8所述的半导体组件,其特征在于,所述第三电性连接结构为与所述第一电性连接结构及所述第二电性连接结构相同的弯折的片状连接结构。

10. 如权利要求8或9所述的半导体组件,其特征在于,所述片状连接结构与所连接的引脚一体成型。

11. 如权利要求8或9所述的半导体组件,其特征在于,所述片状连接结构为铜片。

12. 如权利要求8所述的半导体组件,其特征在于,所述第三电性连接结构为引线。

13. 如权利要求1所述的半导体组件,其特征在于,所述第一芯片的功率大于或等于所

述第二芯片的功率。

14. 一种半导体器件,其特征在于,所述半导体器件包括塑封体以及如权利要求1至13中任一项所述的半导体组件;所述塑封体包封所述半导体组件,其中,多个所述引脚自所述塑封体外露。

一种半导体组件及半导体器件

技术领域

[0001] 本申请涉及半导体技术领域,特别涉及一种半导体组件及半导体器件。

背景技术

[0002] 具有多个芯片的半导体器件中,一般均采用打线的方式实现芯片与芯片之间的连接,以及芯片与引脚的连接。然而,这种连接方式会产生较大的寄生电感或电阻,影响半导体器件的工作性能。

发明内容

[0003] 根据本申请实施例的第一方面,提供了一种半导体组件,包括:

[0004] 引线框架,具有多个引脚;

[0005] 第一芯片,设于所述引线框架之上;所述第一芯片具有相互背离的正面和背面,所述第一芯片的正面设有控制极、第一极及第二极,所述第一芯片的正面朝向所述引线框架,所述第一芯片的控制极、第一极及第二极分别与多个所述引脚中的不同引脚对应连接;其中,至少所述第一芯片的第一极和第二极,与所连接的引脚直接接触连接;

[0006] 第二芯片,具有相互背离的正面和背面,所述第二芯片的正面设有多个电极,所述第二芯片的背面朝向所述第一芯片的背面设置于所述第一芯片之上,且所述第二芯片的多个电极分别与多个所述引脚的不同引脚电性连接。

[0007] 在一些实施例中,所述第一芯片的控制极与所连接的引脚直接接触连接或通过引线连接。

[0008] 在一些实施例中,所述半导体组件还包括多个电性连接结构,用于分别连接所述第二芯片的多个电极与对应的引脚。

[0009] 在一些实施例中,所述第二芯片的正面的多个电极中包括与所述第一芯片的第一极、第二极及控制极分别对应的第一电极、第二电极及第三电极;所述多个引脚包括与所述第一极、第二极及控制极分别对应连接的第一引脚、第二引脚及第三引脚;

[0010] 所述多个电性连接结构包括第一电性连接结构、第二电性连接结构及第三电性连接结构,所述第一电性连接结构连接所述第一电极和第一引脚,所述第二电性连接结构连接所述第二电极与所述第二引脚,所述第三电性连接结构连接所述控制极与所述第三引脚。

[0011] 在一些实施例中,所述第一芯片为Ga_N芯片,所述第二芯片为Ga_N芯片或硅芯片。

[0012] 在一些实施例中,所述第一电性连接结构、所述第二电性连接结构及第三电性连接结构均为连接引线。

[0013] 在一些实施例中,所述第一芯片和第二芯片均为Ga_N芯片。

[0014] 在一些实施例中,所述第一电性连接结构和所述第二电性连接结构为弯折的片状连接结构;

[0015] 所述片状连接结构包括位于所述第一芯片和第二芯片的侧方并沿半导体组件厚

度方向延伸的纵向连接部,以及自所述纵向连接部顶部朝向所述第二芯片顶部延伸并与所述第二芯片的第一电极、第二电极中的对应电极连接的横向连接部;其中,所述纵向连接部的底部与所述第一引脚、第二引脚中的对应引脚连接。

[0016] 在一些实施例中,所述第三电性连接结构为与所述第一电性连接结构及所述第二电性连接结构相同的弯折的片状连接结构。

[0017] 在一些实施例中,所述片状连接结构与所连接的引脚一体成型。

[0018] 在一些实施例中,所述片状连接结构为铜片。

[0019] 在一些实施例中,所述第三电性连接结构为引线。

[0020] 在一些实施例中,所述第一芯片的功率大于或等于所述第二芯片的功率。

[0021] 根据本申请实施例的第二方面,提供了一种半导体器件,所述半导体器件包括塑封体以及如上所述的半导体组件;多个所述塑封体包封所述半导体组件,其中,所述引脚自所述塑封体外露。

[0022] 本申请实施例所达到的主要技术效果是:

[0023] 本申请实施例提供的半导体组件及半导体器件,通过将至少所述第一芯片的第一极和第二极,与所连接的引脚直接接触连接,相对于通过引线实现第一极和第二极,与所连接的引脚对应连接,有利于减小具有该半导体组件的半导体器件的寄生电感或电阻,有利于提高半导体器件的工作性能。

附图说明

[0024] 图1是本申请一示例性实施例提供的半导体组件的俯视图;

[0025] 图2是沿图1所示剖面线A-A'所剖得的剖视图;

[0026] 图3是本申请另一示例性实施例提供的半导体组件的俯视图;

[0027] 图4是沿图3所示的剖面线B-B'所剖得的剖视图;

[0028] 图5是本申请又一示例性实施例提供的半导体组件的俯视图;

[0029] 图6是本申请一示例性实施例提供的半导体器件的剖视图;

[0030] 图7是本申请另一示例性实施例提供的半导体器件的剖视图。

具体实施方式

[0031] 这里将详细地对示例性实施例进行说明,其示例表示在附图中。下面的描述涉及附图时,除非另有表示,不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施例并不代表与本申请相一致的所有实施例。相反,它们仅是与如所附权利要求书中所详述的、本申请的一些方面相一致的装置和方法的例子。

[0032] 在本申请使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。在本申请和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。还应当理解,本文中使用的术语“和/或”是指并包含一个或多个相关联的列出项目的任何或所有可能组合。

[0033] 应当理解,尽管在本申请可能采用术语第一、第二、第三等来描述各种信息,但这些信息不应限于这些术语。这些术语仅用来将同一类型的信息彼此区分开。例如,在不脱离本申请范围的情况下,第一信息也可以被称为第二信息,类似地,第二信息也可以被称为第

一信息。取决于语境,如在此所使用的词语“如果”可以被解释成为“在……时”或“当……时”或“响应于确定”。

[0034] 本申请实施例提供了一种半导体组件及半导体器件。所述半导体组件包括引线框架、第一芯片及第二芯片。引线框架具有多个引脚;第一芯片设于所述引线框架之上;所述第一芯片具有相互背离的正面和背面,所述第一芯片的正面设有控制极、第一极及第二极,所述第一芯片的正面朝向所述引线框架,所述第一芯片的控制极、第一极及第二极分别与多个所述引脚中的不同引脚对应连接;其中,至少所述第一芯片的第一极和第二极,与所连接的引脚直接接触连接;第二芯片具有相互背离的正面和背面,所述第二芯片的正面设有多个电极,所述第二芯片的背面朝向所述第一芯片的背面设置于所述第一芯片之上,且所述第二芯片的多个电极分别与多个所述引脚的不同引脚电性连接。上述半导体组件,通过将至少所述第一芯片的第一极和第二极,与所连接的引脚直接接触连接,相对于通过引线实现第一极和第二极,与所连接的引脚对应连接,有利于减小具有该半导体组件的半导体器件的寄生电感或电阻,有利于提高半导体器件的工作性能。

[0035] 下面结合附图1至7,对本申请实施例中的半导体组件及半导体器件进行详细说明。在不冲突的情况下,下述的实施例中的特征可以相互补充或相互组合。

[0036] 请参照图1,并在必要时结合图2所示,在一些实施例中,半导体组件包括引线框架30、第一芯片10以及叠设于第一芯片10之上的第二芯片20。引线框架30具有多个引脚31、32、33、34等。

[0037] 第一芯片10设于所述引线框架30之上。所述第一芯片10具有相互背离的正面11和背面12,所述第一芯片10的正面11设有控制极(未示出)、第一极101及第二极102,所述第一芯片10的正面朝向所述引线框架30,所述第一芯片10的控制极、第一极101及第二极102分别与多个所述引脚中的不同引脚对应连接;其中,至少所述第一芯片10的第一极101和第二极102,与所连接的引脚直接接触连接。

[0038] 这里控制极为栅极(即Gate极),第一极101和第二极102中一个为源极(Source)、一个为漏极(Drain)。

[0039] 该第一芯片10可以为GaN芯片,比如GaN HEMT器件。

[0040] 第二芯片20具有相互背离的正面21和背面22,所述第二芯片20的正面21设有多个电极。所述第二芯片20的背面22朝向所述第一芯片10的背面12设置于所述第一芯片10之上,且所述第二芯片20的多个电极分别与多个所述引脚的不同引脚电性连接。

[0041] 这里所说的第一芯片10的功率大于或等于所述第二芯片20的功率,以便于使得较大功率的芯片直接与引脚接触,更好地减小寄生电感及电阻。

[0042] 该第二芯片20可以为硅芯片(集成有电路结构的硅片)。该硅芯片可以是硅控制器,用于为第一芯片提供控制信号。

[0043] 当然,在其它一些实施例中,该第二芯片20也可以是功率小于或等于第一芯片20的GaN芯片,比如GaN HEMT器件。

[0044] 在一些实施例中,所述第一芯片10的控制极与所连接的引脚直接接触连接,以进一步减小结构内产生的寄生电感或电阻的大小。

[0045] 由于控制极的信号为控制信号,其工作电流一般较小,在其它一些实施例中,所述第一芯片10的控制极与所连接的引脚也可通过引线连接。

[0046] 可以理解的是,相对于所述第一芯片10的控制极与所连接的引脚也通过引线连接的实施方式而言,所述第一芯片10的控制极与所连接的引脚直接接触连接的实施方式,控制极与引脚的连接可与第一极、第二极与对应的引脚连接同步实现,减少了一道打线连接的工艺,使得制备工艺更简化。

[0047] 在一些实施例中,所述半导体组件还包括多个电性连接结构,用于分别连接所述第二芯片20的多个电极与对应的引脚。

[0048] 请结合图2所示,具体地,所述第二芯片20的正面的多个电极中包括与所述第一芯片10的第一极101、第二极102及控制极分别对应的第一电极201、第二电极202及第三电极203。所述多个引脚包括与所述第一极101、第二极102及控制极分别对应连接的第一引脚31、第二引脚32及第三引脚33。

[0049] 这里第三电极可以是控制信号的输出端电极,以向对应连接的控制极输出控制信号。以第一电极201为源极,则第一极101与该第一电极201极可通过第一引脚31接地。

[0050] 需要说明的是,第二芯片20的正面还可设有其它电极(也即电气引出端),以与引线框架30的其它引脚(比如引脚34)实现电性连接,以实现相应的功能。

[0051] 所述多个电性连接结构包括第一电性连接结构41、第二电性连接结构42及第三电性连接结构43,所述第一电性连接结构41连接所述第一电极201和第一引脚31,所述第二电性连接结构42连接所述第二电极202与所述第二引脚32,所述第三电性连接结构43连接所述控制极与所述第三引脚33。

[0052] 由于打线连接已经是行业内较为成熟的连接工艺,在一些实施例中,所述第一电性连接结构41、所述第二电性连接结构42及第三电性连接结构43均为连接引线,以在保证较大功率的第一芯片10与引脚直接接触连接的基础上,能够较为方便地实现较小功率的第二芯片20与引脚的连接。

[0053] 当然,在其它一些实施例中,第二芯片的各电极与对应引脚之间还可以通过其它连接结构连接,比如铜片等片状连接结构。

[0054] 需要说明的是,第一芯片10和第二芯片20可以通过绝缘胶等粘结层固定于一起。

[0055] 请参照图3,并在必要时结合图4所示,本申请所提供的另一半导体组件200,该半导体组件200的结构与上述半导体组件200的大部分结构相同,相同或者相似之处可参考上述相关描述。下面主要针对不同之处进行描述。

[0056] 该实施例中,所述第一芯片10和第二芯片20均为Ga_N芯片,比如Ga_N HEMT器件。

[0057] 相应地,该实施例中,第三电极是第二芯片20的控制极。第一电极201和第一极101为漏极和源极中同样的电极,第二电极202和第二极102为源极和漏极中同样的电极。比如,第一极101为第一芯片10的源极,第一电极201为第二芯片20的源极。第二极102为第一芯片10的漏极,第二电极202为第二芯片20的漏极。

[0058] 该半导体组件200在实现减小寄生电感或电阻的大小的同时,在垂直于半导体组件200厚度方向T的平面内能够很好地提高器件的功率密度,有利于减小后续焊接面积尺寸需求,方便具有该半导体组件200的电气结构的布局设计等。该半导体组件200中,至少一部分第二芯片20的电极通过弯折的片状连接结构与对应的引脚相连。

[0059] 请结合图4所示,所述第一电性连接结构44、所述第二电性连接结构45及所述第三电性连接结构46均为弯折的片状连接结构。

[0060] 如图4所示,第一电性连接结构44为片状连接结构的,其包括位于所述第一芯片10和第二芯片20的侧方并沿半导体组件200厚度方向T延伸的纵向连接部441,以及自所述纵向连接部441顶部朝向所述第二芯片20顶部延伸并与所述第二芯片20的第一电极201连接的横向连接部442。其中,所述纵向连接部441的底部与所述第一引脚31连接。

[0061] 需要说明的是,横向连接部442可覆盖第一电极201背离第一芯片10一侧的表面而与第一电极201接触连接。

[0062] 同样地,如图4所示,第二电性连接结构45为片状连接结构的,其包括位于所述第一芯片10和第二芯片20的侧方并沿半导体组件200厚度方向T延伸的纵向连接部451,以及自所述纵向连接部451顶部朝向所述第二芯片20顶部延伸并与所述第二芯片20的第二电极202连接的横向连接部452。其中,所述纵向连接部451的底部与所述第二引脚32连接。

[0063] 同样地,第三电性连接结构46为片状连接结构的,其包括位于所述第一芯片10和第二芯片20的侧方并沿半导体组件200厚度方向T延伸的纵向连接部,以及自所述纵向连接部顶部朝向所述第二芯片20顶部延伸并与所述第二芯片20的第三电极203连接的横向连接部。其中,所述纵向连接部的底部与所述第三引脚连接。

[0064] 在一些实施例中,第一芯片10的功率大于或等于所述第二芯片20的功率,以便于使得较大功率的芯片直接与引脚接触,更好地减小寄生电感及电阻。

[0065] 在一些实施例中,所述片状连接结构与所连接的引脚一体成型。如图4所示,第一电性连接结构44和相连的第一引脚31一体成型,形成一体结构340。第二电性连接结构45和相连的第二引脚32一体成型,形成一体结构350。第三电性连接结构46和相连的第三引脚33同样可以一体成型,形成一体结构。

[0066] 可以理解的是,电性连接结构与对应连接的引脚采用一体成型结构,能够更好地减小寄生电感及电阻,能够很好地保证电连接的稳定性等电性能。

[0067] 在一些实施例中,这里所说的片状连接结构可以为铜片,能够很好地实现连接的同时,还有利于散热。

[0068] 由于控制极的信号为控制信号,其工作电流一般较小,在其它一些实施例中,所述第一芯片10的控制极与所连接的引脚也可通过引线连接。

[0069] 可以理解的是,相对于所述第一芯片10的控制极与所连接的引脚也通过引线连接的实施方式而言,所述第一芯片10的控制极与所连接的引脚直接接触连接的实施方式,控制极与引脚的连接可与第一极、第二极与对应的引脚连接同步实现,减少了一道打线连接的工艺,使得制备工艺更简化。

[0070] 请参照图5所示,本申请另提供一种半导体组件300。该半导体组件300的结构与上述半导体组件200的结构基本相同。不同的是,考虑到第三电极203作为控制极时,由于控制极的信号为控制信号,其工作电流一般较小,所述第三电极203(即第二芯片10的控制极)与所连接的引脚33通过引线47连接。

[0071] 请参照图6所示,本申请提供一种半导体器件1000。所述半导体器件1000包括塑封体400以及如上所述的半导体组件100。所述塑封体400包封所述半导体组件100,其中,多个所述引脚自所述塑封体400外露。

[0072] 该半导体器件1000可以是SMD(表面安装器件),其各引脚(比如引脚31、32)背离第一芯片10、第二芯片20的表面外露,以用于与对应外界结构电气连接,比如与电路板的上对

应的焊点连接。

[0073] 请结合图7所示,本申请还提供一种半导体器件2000。该半导体器件2000包括塑封体400以及半导体组件200。同样地,所述塑封体400包封所述半导体组件200,其中,多个所述引脚自所述塑封体400外露。

[0074] 该半导体器件2000同样可以是SMD(表面安装器件),其各引脚(比如引脚31、32)背离第一芯片10、第二芯片20的表面外露,以用于与对应外界结构电气连接,比如与电路板上对应的焊点连接。

[0075] 此外,本申请提供的半导体器件,还可以为包括塑封体400及半导体组件300的器件结构。当然,还可以是包括类似半导体组件100、200及300的半导体组件的半导体器件结构。

[0076] 需要指出的是,在附图中,为了图示的清晰可能夸大了层和区域的尺寸。而且可以理解,当元件或层被称为在另一元件或层“上”时,它可以直接在其他元件上,或者可以存在中间的层。另外,可以理解,当元件或层被称为在另一元件或层“下”时,它可以直接在其他元件下,或者可以存在一个以上的中间的层或元件。另外,还可以理解,当层或元件被称为在两层或两个元件“之间”时,它可以为两层或两个元件之间唯一的层,或还可以存在一个以上的中间层或元件。通篇相似的参考标记指示相似的元件。

[0077] 本领域技术人员在考虑说明书及实践这里公开的公开后,将容易想到本申请的其它实施方案。本申请旨在涵盖本申请的任何变型、用途或者适应性变化,这些变型、用途或者适应性变化遵循本申请的一般性原理并包括本申请未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的,本申请的真正范围和精神由下面的权利要求指出。

[0078] 应当理解的是,本申请并不局限于上面已经描述并在附图中示出的精确结构,并且可以在不脱离其范围进行各种修改和改变。本申请的范围仅由所附的权利要求来限制。

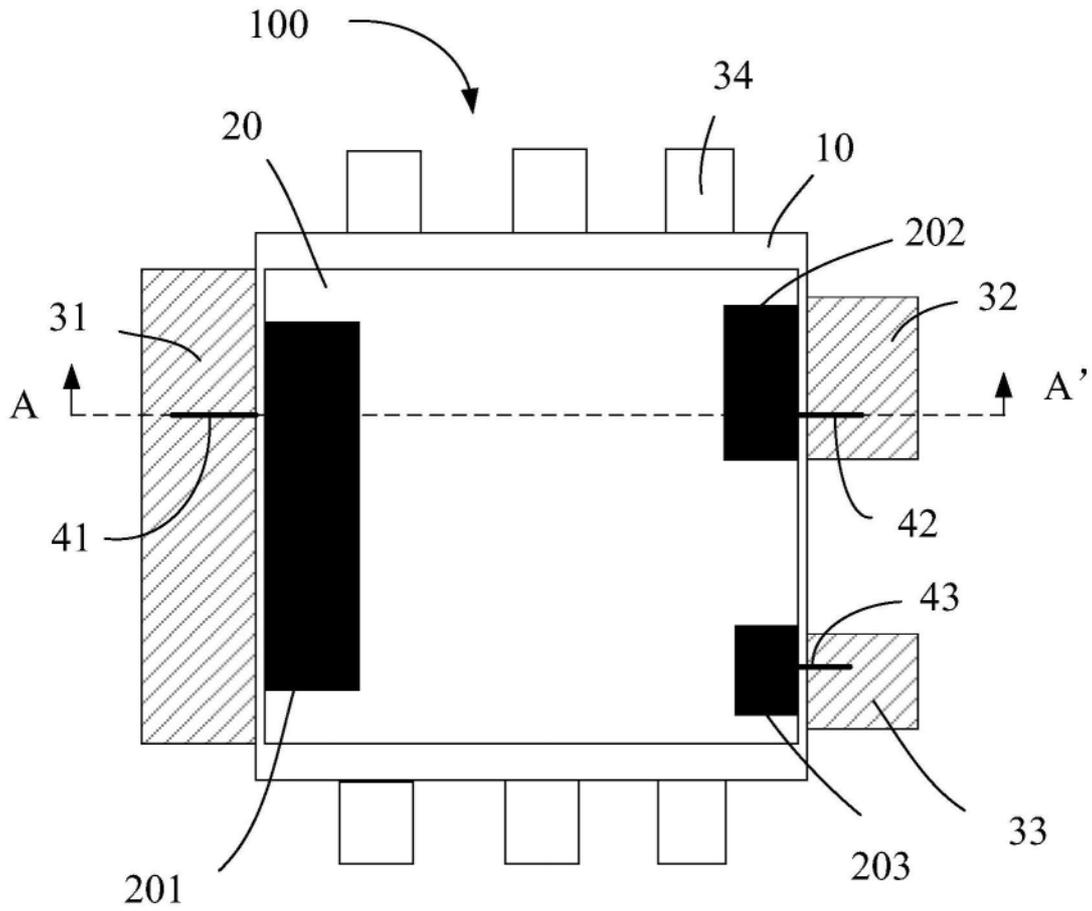


图1

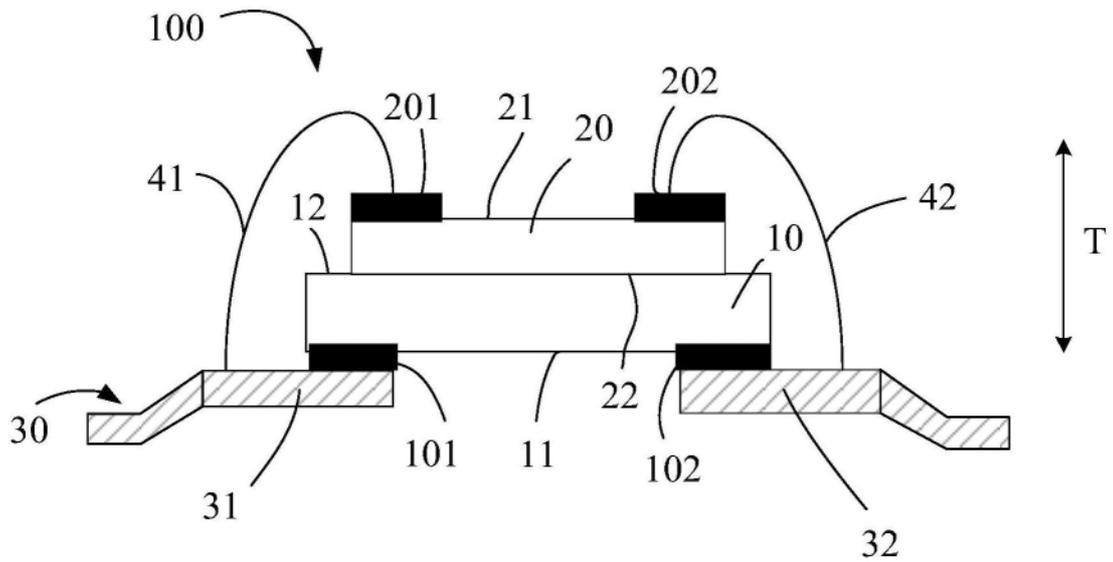


图2

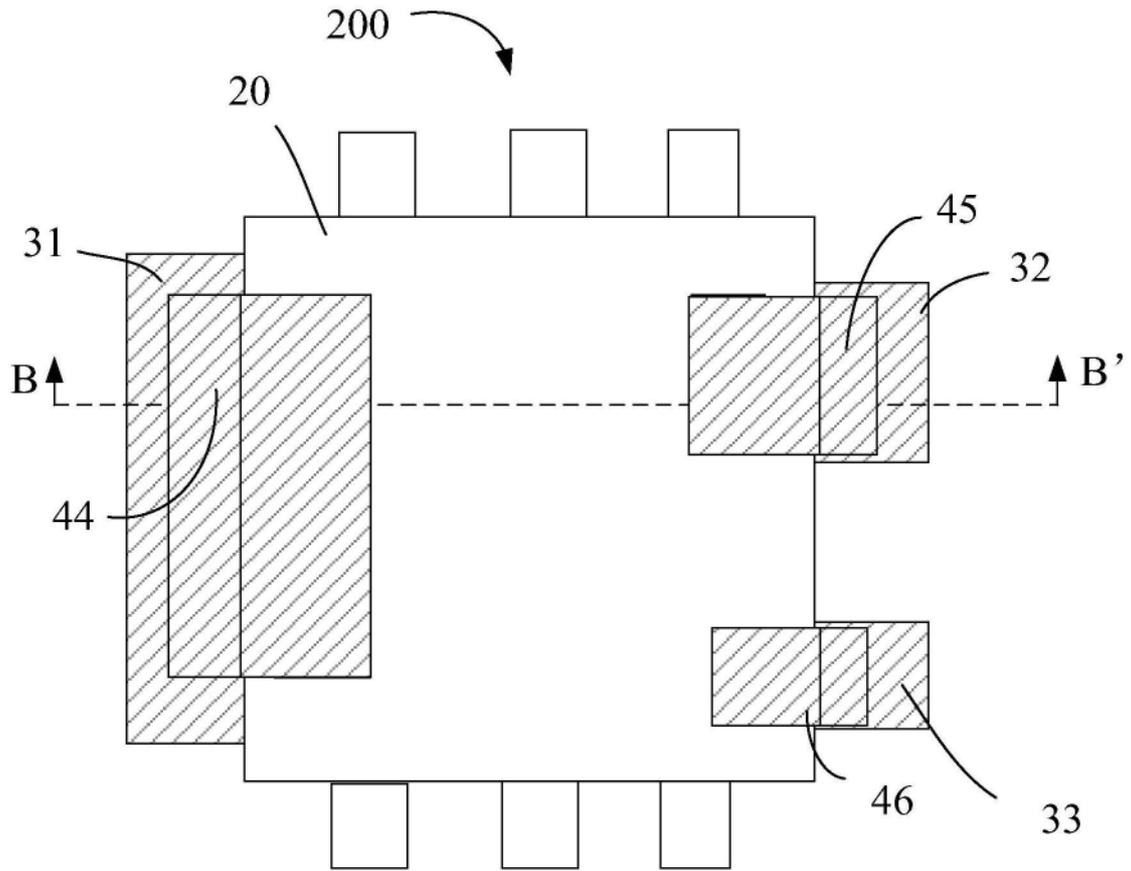


图3

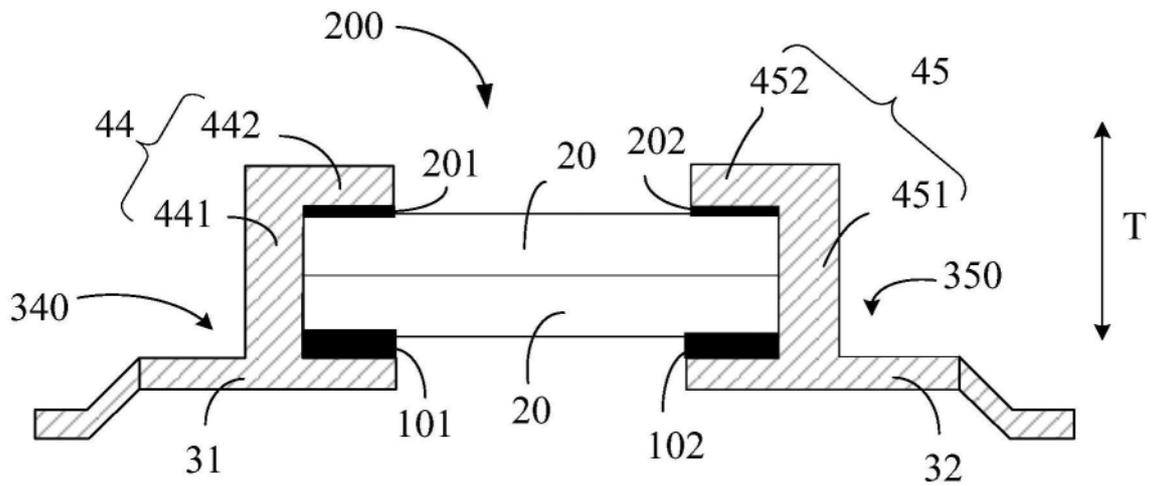


图4

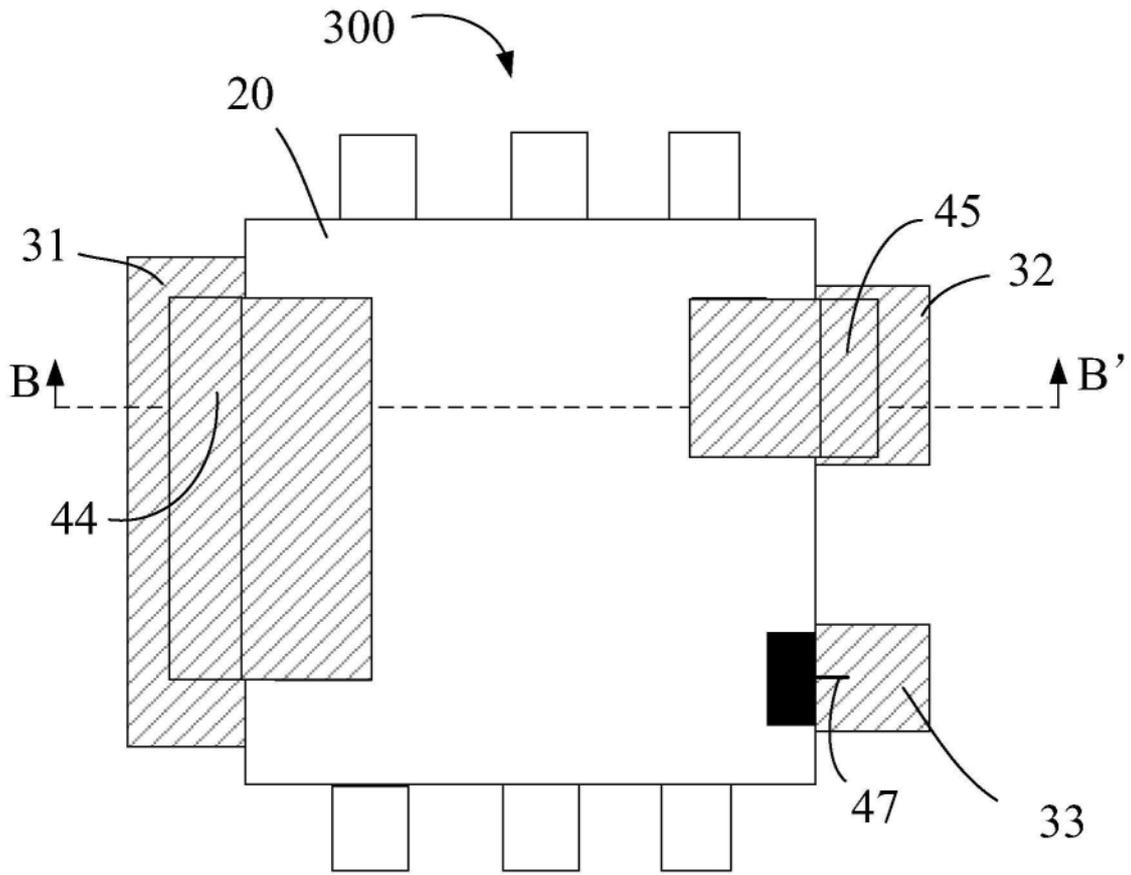


图5

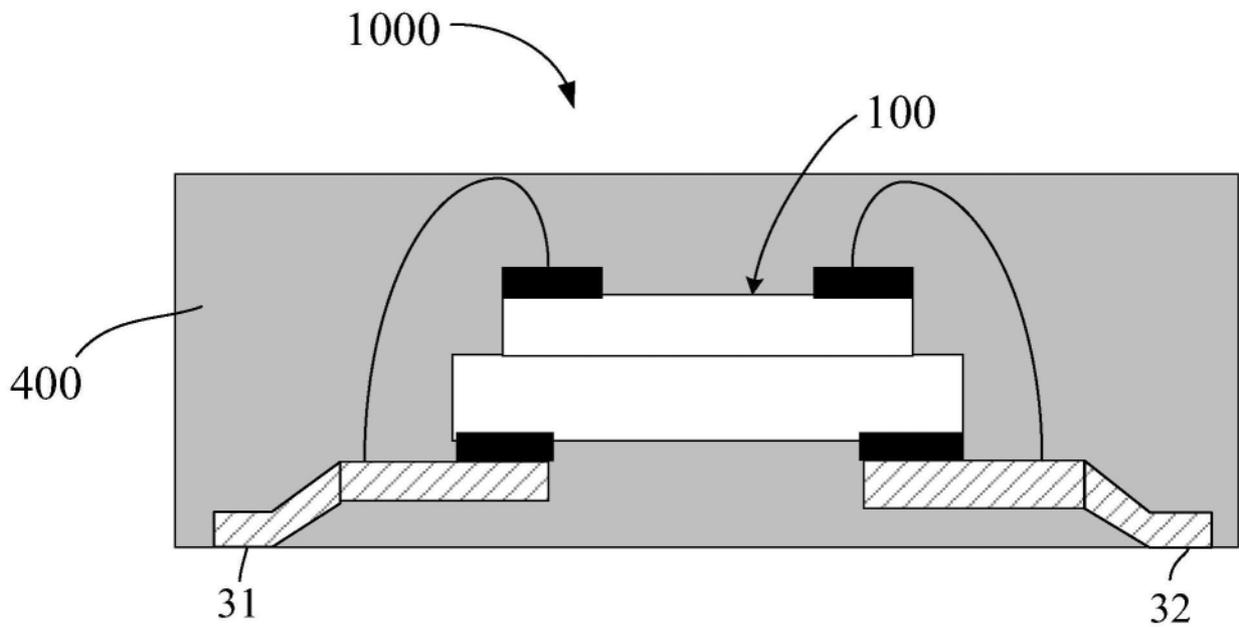


图6

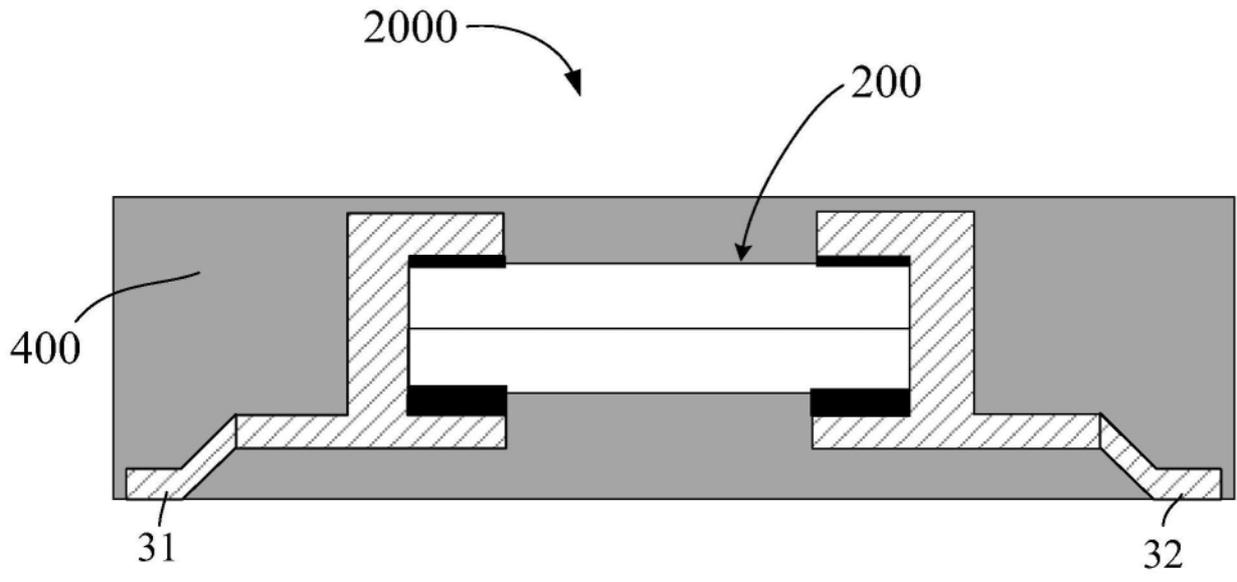


图7