

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/409 (2006.01)

G11C 7/00 (2006.01)

H01L 27/108 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510069472.3

[45] 授权公告日 2009年12月9日

[11] 授权公告号 CN 100568386C

[22] 申请日 2005.5.9

[21] 申请号 200510069472.3

[30] 优先权

[32] 2004.5.10 [33] KR [31] 10-2004-0032845

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 郑宪三

[56] 参考文献

CN1606095A 2005.4.13

US2002/0184461A1 2002.12.5

CN1228599A 1999.9.15

US2005/0057981A1 2007.3.17

审查员 刘浩然

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 杨红梅

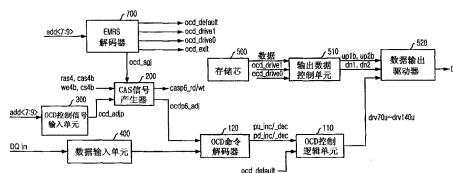
权利要求书 6 页 说明书 26 页 附图 19 页

[54] 发明名称

能够调节数据输出驱动器的阻抗的半导体存储器件

[57] 摘要

一种用于执行离线驱动校准控制操作以调节数据输出阻抗的半导体存储器件，其包括：用于解码地址信号以产生离线驱动默认控制信号、离线驱动操作信号及数据的解码单元；用于通过数据输入/输出接收数据以响应该接收到的数据产生离线驱动控制代码的数据输入单元；用于接收该离线驱动控制代码及该离线驱动操作信号以响应该接收到的 OCD 控制代码及该接收到的 OCD 操作信号产生多个阻抗调节控制信号的阻抗调节控制信号产生单元；以及用于接收该数据并响应该多个阻抗调节控制信号调节该数据输出阻抗的输出驱动器。



1. 一种用于执行离线驱动（OCD）校准控制操作以调节数据输出阻抗的半导体存储器件，包括：

用于解码地址信号以产生 OCD 默认控制信号、OCD 操作信号及数据的解码单元；

用于通过数据输入/输出垫接收数据以响应该接收到的数据产生 OCD 控制代码的数据输入单元；

用于接收该 OCD 控制代码及该 OCD 操作信号以响应该接收到的 OCD 控制代码及该接收到的 OCD 操作信号产生多个阻抗调节控制信号的阻抗调节控制信号产生单元；以及

用于接收该数据并响应该多个阻抗调节控制信号调节该数据输出阻抗的输出驱动器。

2. 如权利要求 1 所述的半导体存储器件，其中所述用于解码该地址信号的解码单元包括：

扩展模式寄存器设置（EMRS）解码器，用于解码该地址信号以产生该 OCD 默认控制信号、第一驱动模式信号、第二驱动模式信号、OCD 退出信号及 OCD 周期信号。

3. 如权利要求 2 所述的半导体存储器件，其中所述用于解码该地址信号的解码单元进一步包括：

OCD 控制信号输入单元，用于接收该地址信号以产生 OCD 模式进入信号；以及

列地址选通（CAS）信号产生器，用于响应该 OCD 周期信号、该 OCD 模式进入信号、行地址选通（RAS）信号、列地址选通（CAS）信号、写入使能信号及芯片选择信号将该 OCD 操作信号输出至用于接收该 OCD 控制代码的装置。

4. 如权利要求 3 所述的半导体存储器件，其中该 CAS 信号产生器包括：

第一 CAS 信号产生器，其由该 OCD 模式进入信号使能，以产生第一步 CAS 信号；

第二 CAS 信号产生器，用于通过延迟该第一步 CAS 信号一预定延迟时间来产生第二步 CAS 信号；以及

第三 CAS 信号产生器，用于响应该 OCD 模式进入信号输出该第二步 CAS 信号作为该 OCD 操作信号。

5. 如权利要求 4 所述的半导体存储器件，其中该第一 CAS 信号产生器包括：

读取/写入控制信号输入单元，用于响应多个写入命令信号激活第一节点的输出信号；

OCD 信号输入单元，用于在该 OCD 校准控制操作期间激活该第一节点的该输出信号；以及

CAS 信号传送单元，用于锁存该第一节点的该输出信号并响应时钟信号输出该第一节点的该输出信号作为该第一步 CAS 信号。

6. 如权利要求 5 所述的半导体存储器件，其中该 CAS 信号传送单元包括：

信号传送单元，用于在该第一节点的该输出信号被激活时响应该时钟信号传送该第一节点的该信号至第二节点；

第一锁存单元，用于锁存从该信号传送单元传送至该第二节点的该输出信号并输出该第二节点的输出信号；

传送门，用于响应该时钟信号传送该第一锁存单元锁存的该第二节点的该输出信号；

第二锁存单元，用于锁存该传送门的输出信号；

第一触发器移位器，用于接收该第二锁存单元的该输出信号并响应附加的等待时间信号移位该第二锁存单元的该输出信号；以及

第二触发器移位器，用于接收该第二锁存单元的该输出信号，并响应 CAS 等待时间信号移位该第一触发器移位器的该输出信号，从而输出该第一步 CAS 信号。

7. 如权利要求 4 所述的半导体存储器件，其中该第二 CAS 信号产生器包括：

信号输入单元，用于接收该第一步 CAS 信号；

第一锁存单元，用于锁存该信号输入单元的输出信号；

传送门，用于响应时钟信号传送该第一锁存单元的输出信号；

延迟单元，用于延迟该传送门的输出信号一个时钟周期；以及

第二锁存单元，用于锁存该延迟单元的输出信号以输出锁存信号作为该第二步 CAS 信号。

8. 如权利要求 4 所述的半导体存储器件，其中该第三 CAS 信号产生器包括：

信号输入单元，用于接收该第二步 CAS 信号；

第一信号输出单元，用于接收该信号输入单元的输出信号和该 OCD 周期信号，并在该 OCD 周期信号被激活时输出该信号输入单元的该输出信号作为该 OCD 操作信号；以及

第二信号输出单元，用于接收该信号输入单元的输出信号和该 OCD 周期信号，并在该 OCD 周期信号被去激活时输出该信号输入单元的该输出信号作为该第二 CAS 信号。

9. 如权利要求 8 所述的半导体存储器件，其中在该半导体存储器件

处于 OCD 校准控制模式时，所述用于接收该数据的数据输入单元产生该 OCD 控制代码以便对齐该数据。

10. 如权利要求 9 所述的半导体存储器件，其中所述用于接收该 OCD 控制代码的阻抗调节控制信号产生单元包括：

OCD 命令解码器，用于解码该 OCD 控制代码及该 OCD 操作信号以便产生上拉增加信号、上拉减少信号、下拉增加信号及下拉减少信号；以及

OCD 控制逻辑单元，用于基于在该 OCD 命令解码器中解码得到的该上拉增加信号、该上拉减少信号、该下拉增加信号、该下拉减少信号以及该 OCD 默认信号产生该多个阻抗调节控制信号。

11. 如权利要求 10 所述的半导体存储器件，其中该 OCD 控制逻辑单元包括：

上拉 OCD 控制逻辑单元，用于接收该 OCD 默认控制信号、该上拉增加信号、该上拉减少信号及上电信号以产生多个上拉阻抗调节控制信号；以及

下拉 OCD 控制逻辑单元，用于接收该 OCD 默认控制信号、该下拉增加信号、该下拉减少信号及上电信号以产生多个下拉阻抗调节控制信号；

其中该多个阻抗调节控制信号包括该多个上拉阻抗调节控制信号及该多个下拉阻抗调节控制信号。

12. 如权利要求 11 所述的半导体存储器件，其中该上拉 OCD 控制逻辑单元包括：

多个初始高寄存器及多个初始低寄存器，用于接收该 OCD 默认控制信号、该上拉增加信号、该上拉减少信号及上电信号，并响应该 OCD 默认控制信号、该上拉增加信号、该上拉减少信号及该上电信号产生该多个上拉阻抗调节控制信号。

13. 如权利要求 12 所述的半导体存储器件，其中该多个初始高寄存器中的每个包括：

第一使能缓冲器单元及第二使能缓冲器单元，用于接收该上电信号；

第一信号输入单元，用于接收该 OCD 默认控制信号、该上拉增加信号及前一初始高寄存器的输出信号；

第二信号输入单元，用于接收该上拉减少信号；

RS 触发器单元，用于接收该第一信号输入单元及该第二信号输入单元的输出信号；以及

信号输出单元，用于接收该 RS 触发器单元的输出信号，并响应该 RS 触发器单元的该输出信号产生所述上拉阻抗调节控制信号之一。

14. 如权利要求 12 所述的半导体存储器件，其中该多个初始低寄存器中的每个包括：

使能缓冲器单元，用于接收该上电信号；

第一信号输入单元，用于接收该上拉增加信号及前一初始低寄存器的输出信号；

第二信号输入单元，用于接收该上拉减少信号及该 OCD 默认控制信号；

RS 触发器单元，用于接收该第一信号输入单元及该第二信号输入单元的输出信号；以及

信号输出单元，用于接收该 RS 触发器单元的输出信号，并响应该 RS 触发器单元的该输出信号产生所述上拉阻抗调节控制信号之一。

15. 如权利要求 11 所述的半导体存储器件，其中该上拉 OCD 控制逻辑单元包括：

多个初始高寄存器及多个初始低寄存器，用于接收该 OCD 默认控制

信号、该上拉增加信号、该上拉减少信号及上电信号，并响应该 OCD 默认控制信号、该上拉增加信号、该上拉减少信号及上电信号产生该多个上拉阻抗调节控制信号。

16. 如权利要求 15 所述的半导体存储器件，其中该多个初始高寄存器中的每个包括：

第一使能缓冲器单元及第二使能缓冲器单元，用于接收该上电信号；

第一信号输入单元，用于接收该 OCD 默认控制信号、该上拉增加信号及前一初始高寄存器的输出信号；

第二信号输入单元，用于接收该上拉减少信号；

RS 触发器单元，用于接收该第一信号输入单元及该第二信号输入单元的输出信号；以及

信号输出单元，用于接收该 RS 触发器单元的输出信号，并响应该 RS 触发器单元的该输出信号产生所述上拉阻抗调节控制信号之一。

17. 如权利要求 15 所述的半导体存储器件，其中该多个初始低寄存器中的每个包括：

使能缓冲器单元，用于接收该上电信号；

第一信号输入单元，用于接收该上拉增加信号及前一初始低寄存器的输出信号；

第二信号输入单元，用于接收该上拉减少信号及该 OCD 默认控制信号；

RS 触发器单元，用于接收该第一信号输入单元及该第二信号输入单元的输出信号；以及

信号输出单元，用于接收该 RS 触发器单元的输出信号，并响应该 RS 触发器单元的该输出信号产生所述上拉阻抗调节控制信号之一。

能够调节数据输出驱动器的阻抗的半导体存储器件

技术领域

本发明有关于一种半导体存储器件；以及更具体地，有关于一种能够调节数据输出驱动器的阻抗的半导体存储器件。

背景技术

已持续地改进动态随机存取存储器(DRAM)以增加其操作速度。使内部时钟信号同步于外部时钟信号是用于提高 DRAM 的操作速度的方法之一。特别地，将同步于外部时钟信号而操作的 DRAM 称为同步动态随机存取存储器(SDRAM)。

该 SDRAM 在该外部时钟信号的上升沿处执行数据存取操作。亦即，该 SDRAM 可在该外部时钟信号的一个周期内执行一次数据存取操作。

将在该外部时钟信号的一个周期内执行一次数据存取操作的 SDRAM 称为单数据速率(SDR) SDRAM。

然而，需要进一步改善该 SDR SDRAM，以使用于高速度系统中。因而，发展出双数据速率(DDR) SDRAM。该 DDR SDRAM 可在该外部时钟信号的上升沿及下降沿处执行数据存取操作。亦即，该 DDR SDRAM 可在该外部时钟信号的一个周期内执行两次数据存取操作。

双数据速率 2(DDR2) SDRAM 是该 DDR SDRAM 的升级版本。

为了增强该 DDR2 SDRAM 的操作速度，一国际电子标准机构(亦即，电子工程设计发展联合会议(Joint Electron Device Engineering Council (JEDEC)))已提出了新的技术观点。离线驱动校准控制(off chip driver (OCD) calibration control)是所提出的观点之一。

该 OCD 校准控制是指调节数据输出驱动器的阻抗，以使该数据输出驱动器可具有最佳阻抗。可藉由测量从外部装置如芯片组流至该数据输出驱动器的电流或该芯片组与该数据输出驱动器间的电压，该数据输出驱动器的最佳阻抗可以被找到。

因此，基于上述目的，该 DDR2 SDRAM 应被提供有可调节该数据输出驱动器的阻抗的能力。

图 1 是显示一芯片组与一传统 DDR SDRAM 间的数据接口的方块图。

图 1 所示的数据接口大致显示如何执行数据存取操作。

如所示，该传统 DDR SDRAM 从该芯片组接收多个命令信号如芯片选择杠信号/CS、写入使能杠信号/WE、时钟信号 CLK 及时钟杠信号/CLK。该传统 DDR SDRAM 亦接收多个地址信号 A0 至 A15。此外，该传统 DDR SDRAM 通过多个数据输出针脚 DQ0 至 DQ15 接收或输出数据。

该传统 DDR SDRAM 通过数据选通输入针脚 DQS 接收或输出数据选通信号 DQS。在执行该数据存取操作时，该数据选通信号 DQS 周期性地改变其逻辑电平。该传统 DDR SDRAM 通常使用用于对齐的该数据选通信号 DQS，并且将对齐的数据传送至该 DDR SDRAM 的内部。

图 2 是显示执行 JEDEC 所提出的 OCD 校准控制操作的操作程序的流程图。该操作程序的每一步骤以从 10 到 21 的步骤号来标记。

该操作程序主要被分成两个序列，亦即，用于测量数据输出驱动器的阻抗的第一序列及用于调节该阻抗的第二序列。

该数据输出驱动器包括上拉驱动器及下拉驱动器，以及激活这些驱动器之一以输出数据。亦即，该数据输出驱动器通过该上拉驱动器输出具有逻辑高电平的数据，以及通过该下拉驱动器输出具有逻辑低电平的数据。因此，可藉由测量该上拉驱动器的阻抗或该下拉驱动器的阻抗来

测量该数据输出驱动器的阻抗。在第一驱动模式 DRIVE1 中，该上拉驱动器的阻抗被测量，以及在第二驱动模式 DRIVE0 中，该下拉驱动器的阻抗被测量。

以下将参考图 2 来描述该 OCD 校准控制操作的操作顺序。

如果驱动模式由扩展模式寄存器设置(extended mode register set, EMRS)设置到该第一驱动模式 DRIVE1，则如步骤 10 中所示通过所有数据引脚(DQ 引脚)输出的数据信号及该数据选通信号 DQS 变成逻辑高电平，以及该数据选通杠信号/DQS 变成逻辑低电平。依据在该 EMRS 中的值组来控制 DDR SDRAM 的各种操作。

这里，在该第一驱动模式 DRIVE1 中，当该上拉驱动器输出数据为逻辑高电平时，该数据输出驱动器的阻抗被测量。

然后，该芯片组测量该上拉驱动器的阻抗。如步骤 11 及 15 中所示，如果该上拉驱动器的所测量阻抗对于当前系统状态而言为最佳值，则该 EMRS 被设置为该 OCD 校准控制操作的终止。在步骤 15 之后，该 OCD 校准控制操作被再次执行，亦即，如步骤 16 中所示，该 EMRS 被设置为该第二驱动模式 DRIVE0。

另外，如步骤 11 及 12 中所示，如果该上拉驱动器的测量阻抗对于该当前系统状态不是最佳值，该 EMRS 被设置为调节模式，以调节该上拉驱动器的测量阻抗。

在该调节模式中，参考步骤 13 及 14，藉由解码脉冲串码(burst code)以增加或减少该上拉驱动器的输出阻抗，藉此调节该上拉驱动器的阻抗。这里，该脉冲串码是由该芯片组所输出并且脉冲串长度(BL)被设置为 4。

在该调节模式中，藉由控制在该上拉驱动器所包含的接通的上拉 MOS 晶体管的数目来调节该上拉驱动器的输出阻抗。于此，该上拉 MOS 晶体

管被并联连接，并且另外每一上拉 MOS 晶体管具有相同驱动强度。

之后，如步骤 14 所示，依据该 EMRS 终止该 OCD 校准控制操作。然后，再次执行该 OCD 校准控制操作，亦即，将该 EMRS 设置为该第一驱动模式 DRIVE1，以再次测量该上拉驱动器的阻抗，如步骤 10 中所示。

如果该上拉驱动器的阻抗不是最佳值，则藉由相同方式，亦即，上述步骤 12 到 14 来调节该上拉驱动器的阻抗，直到该测量阻抗被认为是最佳值为止。

如果该上拉驱动器的阻抗为最佳值，驱动模式，亦即该 EMRS 中的一值组被设置到该第二驱动模式 DRIVE0，如上面步骤 16 处所述。

在该第二驱动模式 DRIVE0 中，当该下拉驱动器输出具有逻辑低电平的数据至该芯片组时，该数据输出驱动器的阻抗被测量。

亦即，该芯片组测量该下拉驱动器的阻抗。如果该下拉驱动器的测量阻抗对于该当前系统状态而言为最佳值，该 OCD 校准控制操作被终止如步骤 17 及 21 所示。

另一方面，如果该下拉驱动器的测量阻抗对于该当前系统状态而言不是最佳值，则如步骤 18 所示该 EMRS 设置该调节模式，以调节该下拉驱动器的测量阻抗。然后，步骤 19、20、16 及 17 被顺序地执行，直到该下拉驱动器的测量阻抗变成最佳值为止。如果步骤 17 的结果为该下拉驱动器的测量阻抗成为最佳值，该 OCD 校准控制操作在步骤 21 处终止。

图 3A 是显示在执行该 OCD 校准控制操作时测量该数据输出驱动器的阻抗这一操作的时序图。

图 3B 是显示响应通过地址针脚 A7、A8 及 A9 所输入的 3 位控制信号执行该 OCD 校准控制操作这一操作的操作表。

参考图 3A 及 3B，详细描述用于测量该数据输出驱动器的输出阻抗的

操作。

首先，该芯片组输入该 3 位控制信号至 DDR2 SDRAM，以使该 EMRS 能够将该驱动模式设置为该第一驱动模式 DRIVE1 及该第二驱动器模式 DRIVE0 中之一。

于此，如上所述将该 3 位控制信号输入至地址引脚 A7 至 A9。依据该 3 位控制信号的 OCD 校准控制操作被定义于图 3B 所示的操作表中。

例如，如果该 3 位控制信号被输入为 100 或 010，则该 EMRS 分别设置该驱动模式为该第一驱动模式或该第二驱动模式。之后，如果该 3 位控制信号被输入为 001，则该 EMRS 设置该调节模式。此外，如果该 3 位控制信号被输入为 111，则将该数据输出驱动器的阻抗被设置到默认阻抗值。

在该第一驱动模式 DRIVE1 中，该数据输出驱动器通过该上拉驱动器输出数据为逻辑高电平，以及测量该上拉驱动器的阻抗。

在该第二驱动模式 DRIVE0 中，该数据输出驱动器通过该下拉驱动器输出数据为逻辑低电平，以及测量该下拉驱动器的阻抗。

图 3A 所示的 ‘EMRS’ 指示设置该 EMRS 的时序，以及 ‘NOP’ 指示无操作。

图 4A 是显示在执行该 OCD 校准控制操作时调节该数据输出驱动器的阻抗这一操作的时序图。

图 4B 是显示依据该脉冲串码的 OCD 校准控制操作的操作表。

参考图 4A 及 4B，详细描述调节该数据输出驱动器的阻抗的操作。

如果该 EMRS 设置该调节模式，则该芯片组通过该 DQ 引脚输入该 4 位脉冲串码至该传统 DDR SDRAM。

图 4B 所示的操作表显示依据该 4 位脉冲串码的该调节模式中的操

作。

如上所述，该调节模式中的操作是藉由接通/关断在该数据输出驱动器中所包含的 MOS 晶体管来实施。

例如，如果该脉冲串码被输入为‘1000’一次，则关断该下拉驱动器中所包含的激活的下拉 MOS 晶体管中之一。如果该脉冲串码输入为‘1001’，则使该上拉驱动器中所包含的激活的上拉 MOS 晶体管的数目增加 1，以及使该下拉驱动器中所包含的激活的下拉 MOS 晶体管的数目减少 1。

在完成该调节模式之后，亦即，该 3 位控制信号被输入为‘000’，该 OCD 校准控制操作被完成。

然而，上述 OCD 校准控制操作是由 JEDEC 新提出的观念，并且尚未开发出用于执行该 OCD 校准控制操作的电路。因此，对于 DDR2 SDRAM 而言，需要能执行该 OCD 校准控制操作的电子电路。

发明内容

因此，本发明的一目的在于提供一种半导体存储器件，其具有用于调节数据输出驱动器的阻抗的电路。

依据本发明的一个方面，提供一种用于执行 OCD 校准控制操作以调节数据输出阻抗的半导体存储器件，其包括：用于解码地址信号以产生 OCD 默认控制信号、OCD 操作信号及数据的解码单元；用于通过数据输入/输出垫接收数据以响应该接收到的数据产生 OCD 控制代码的数据输入单元；用于接收该 OCD 控制代码及该 OCD 操作信号以响应该接收到的 OCD 控制代码及该接收到的 OCD 操作信号产生多个阻抗调节控制信号的阻抗调节控制信号产生单元；以及用于接收该数据并响应该多个阻抗调节控

制信号调节该数据输出阻抗的输出驱动器。

附图说明

从下面较佳实施例的说明并配合所附图式可明显了解本发明的上述及其它目的以及特征。

图 1 是显示一芯片组与一传统 DDR SDRAM 间的一数据接口的方块图；

图 2 是显示执行 JEDEC 所提出的 OCD 校准控制操作的操作程序的流程图；

图 3A 是显示在执行该 OCD 校准控制操作时测量该数据输出驱动器的阻抗这一操作的时序图；

图 3B 是显示执行该 OCD 校准控制操作这一操作的操作表；

图 4A 是显示在执行该 OCD 校准控制操作时调节该数据输出驱动器的阻抗这一操作的时序图；

图 4B 是显示依据一脉冲串码的 OCD 校准控制操作的操作表；

图 5 是显示依据本发明的半导体存储器件的方块图；

图 6 是显示 OCD 控制信号输入单元的示意电路图；

图 7 是显示图 5 所示的列地址选通 (CAS) 信号产生器的方块图；

图 8A 是显示图 7 所示的第一 CAS 信号产生器的示意电路图；

图 8B 是显示图 7 所示的第二 CAS 信号产生器的示意电路图；

图 8C 是显示图 7 所示的第三 CAS 信号产生器的示意电路图。

图 9 是显示在传统半导体存储器件中所包含的传统 CAS 信号产生器的方块图；

图 10 是显示图 9 所示的传统 CAS 信号产生器的操作的时序图；

图 11 是显示图 5 所示的数据输入单元的方块图；

图 12 是显示图 5 所示的数据输入单元的操作的时序图；
图 13 是显示图 7 所示的 CAS 信号产生器的时序图；
图 14 是显示 OCD 控制逻辑单元、上拉驱动器及下拉驱动器的方块图；
图 15A 是显示初始高寄存器的示意电路图；
图 15B 是显示初始低寄存器的示意电路图；
图 16 是显示图 5 所示的 OCD 命令解码器的方块图；以及
图 17 是显示图 16 所示的 OCD 命令解码器的操作的时序图。

具体实施方式

以下，将配合所附图式详细描述依据本发明的半导体存储器件。

图 5 是显示依据本发明的半导体存储器件的方块图。

如所示，该同步半导体存储器件包括扩展模式寄存器设置 (EMRS) 解码器 700、列地址选通 (CAS) 信号产生器 200、离线驱动 (Off Chip Driver, OCD) 控制信号输入单元 300、数据输入单元 400、OCD 命令解码器 120、OCD 控制逻辑单元 110、存储芯块 500、输出数据控制单元 510 及数据输出驱动器单元 520。

该数据输入单元 400 在数据存取操作期间锁存及对齐通过数据输入/输出垫 (pad) 输入的多个数据，以及该数据输入单元 400 在 OCD 校准控制操作期间锁存及对齐通过该数据输入/输出垫输入的 OCD 控制代码。该数据输出驱动器 520 将从该存储芯块 500 所传送的多个数据输出至该数据输入/输出垫。

该 OCD 命令解码器 120 解码从该数据输入单元 400 所输出的 OCD 控制代码，以产生一上拉增加信号 pu_inc、一上拉减少信号 pu_dec、一下拉增加信号 pd_inc 及一下拉减少信号 pd_dec。

该 OCD 控制逻辑单元 110 依据从该 OCD 命令解码器 120 所输出的上拉增加信号 pu_inc、上拉减少信号 pu_dec、下拉增加信号 pd_inc 及下拉减少信号 pd_dec 控制该数据输出驱动器 520 的阻抗。

该 CAS 信号产生器 200 在数据存取操作期间产生第一及第二 CAS 信号 casp6_rd 及 casp6_wt, 以将从该数据输入单元 400 所输出的对齐数据传送至该存储芯块 500, 或者在该 OCD 校准控制操作期间产生 OCD 操作信号 ocdp6_adj, 以控制该 OCD 命令解码器 120。

该输出数据控制单元 510 将该存储芯块 500 所输出的数据传送至该数据输出驱动器 520 或者在该 OCD 校准控制操作期间无条件地使该数据输出驱动器 520 输出具有逻辑高电平及逻辑低电平之一的该多个数据。

该 OCD 控制信号输入单元 300 通过 3 位地址引脚 add<7:9>接收 OCD 控制信号, 以产生 OCD 模式进入信号 ocd_adjp。该 CAS 信号产生器 200 依据该 OCD 模式进入信号 ocd_adjp 产生该 OCD 操作信号 ocdp6_adj。

该 EMRS 解码器 700 通过该 3 位地址引脚 add<7:9>接收该 OCD 控制信号, 以产生 OCD 默认控制信号 ocd_default、第一驱动模式信号 ocd_drive1、第二驱动模式信号 ocd_drive0、OCD 退出(exit)信号 ocd_exit 及 OCD 周期信号 ocd_adj, 以控制该输出数据控制单元 510、该 OCD 控制逻辑单元 110 及该 OCD 命令解码器 120。

图 6 是显示该 OCD 控制信号输入单元 300 的示意电路图。

如所示, 该 OCD 控制信号输入单元 300 包括多个反相器及一 NAND 门。如果通过该 3 位地址引脚 add<7:9>输入具有 '001' 值的 OCD 控制信号, 则将该 OCD 模式进入信号 ocd_adjp 被激活为逻辑高电平, 以执行该 OCD 校准控制操作。另一方面, 在该数据存取操作期间通过该 3 位地址引脚 add<7:9>输入具有除 '001' 之外的另一数字值的 OCD 控制信号。

图 7 是显示图 5 所示的 CAS 信号产生器 200 的方块图。

如所示, 该 CAS 信号产生器 200 包括第一 CAS 信号产生器 210、第二 CAS 信号产生器 220 及第三 CAS 信号产生器 230。

该第一 CAS 信号产生器 210 藉由该 OCD 模式进入信号 ocd_adj 来使能并响应时钟信号 clkp4 产生第一步 CAS 信号 (first step CAS signal) caspwt。

该第二 CAS 信号产生器 220 藉由延迟该第一步 CAS 信号 caspwt 两个时钟周期以产生第二步 CAS 信号 casp_wt。

该第三 CAS 信号产生器 230 响应该 OCD 周期信号 ocd_adj 输出该第二步 CAS 信号 casp_wt 作为该第一 CAS 信号 casp6_wt 或该 OCD 操作信号 ocdp6_adj。

图 8A 是显示图 7 所示的第一 CAS 信号产生器 210 的示意电路图。

如所示, 该第一 CAS 信号产生器 210 包括写入控制信号输入单元 212, 用于响应多个写入命令信号 cas4b、we4b、ras4 及 cs4b 激活第一节点 ND1 的输出信号; OCD 模式进入信号输入单元 211, 用于在该 OCD 校准控制操作期间激活该第一节点 ND1 的输出信号; 以及 CAS 信号传送单元 213, 用于在激活该第一节点 ND1 的输出信号时依据该时钟信号 clkp4、附加等待时间信号 (additive latency signal) AL<0:6> 及 CAS 等待时间信号 CL<0:6> 输出该第一节点 ND1 的输出信号作为该第一步 CAS 信号 caspwt 至该第二 CAS 信号产生器 220。

该 CAS 信号传送单元 213 包括信号传送单元 213_1、第一锁存单元 213_2、第一传送门 213_3、第二锁存单元 213_4、第一触发器移位器 213_5 及第二触发器移位器 213_6。

当激活该第一节点 ND1 的输出信号时, 该信号传送单元 213_1 响应

该时钟信号 `clkp4` 传送该第一节点 ND1 的输出信号至第二节点 ND2。该第一锁存单元 `213_2` 锁存由该信号传送单元 `213_1` 传送至该第二节点 ND2 的信号。

该第一传送门 `213_3` 响应该时钟信号 `clkp4` 将该第一锁存单元 `213_2` 所锁存的信号传送至该第二锁存单元 `213_4`。然后,该第二锁存单元 `213_4` 锁存由该第一传送门 `213_3` 所传送的信号。

该第一触发器移位器 `213_5` 响应该附加等待时间信号 `AL<0:6>` 将该第二锁存单元 `213_4` 所锁存的信号传送至该第二触发器移位器 `213_6`。该第二触发器移位器 `213_6` 响应该 CAS 等待时间信号 `CL<0:6>` 将从该第一触发器移位器 `213_5` 所接收的信号输出作为该第一步 CAS 信号 `caspwt`。

于此,该附加等待时间是当输入一读取/写入命令信号的计时与执行该读取/写入命令信号的计时间的时段。该 CAS 等待时间是执行该读取/写入命令信号的计时与响应该读取/写入命令信号输出该数据的计时之间的时段。

同时,该第一 CAS 信号产生器 `210` 产生该第一步 CAS 信号 `caspwt`, 以可依据该第一步 CAS 信号 `caspwt` 产生该 CAS 信号 `casp6_wt` 或该 OCD 操作信号 `ocdp6_adj`。特别地,在产生该第一步 CAS 信号 `caspwt` 以产生该 OCD 操作信号 `ocdp6_adj` 的情况中,该 OCD 模式进入信号输入单元 `211` 用于控制该第一步 CAS 信号 `caspwt`。

如果该 OCD 模式进入信号 `ocd_adjp`、脉冲信号 `mregsetp8` 及解码排组 (bank) 地址 `aBA<1>` 全部为逻辑高电平时,则该 OCD 模式进入信号输入单元 `211` 将该第一节点 ND1 设置为逻辑低电平。因此,该第一 CAS 信号产生器 `210` 输出该第一步 CAS 信号 `caspwt` 为逻辑高电平。

于此,如果通过该 3 位地址引脚 `add<7:9>` 输入一具有 '001' 逻辑值的

3 位控制代码, 则该 OCD 模式进入信号 `ocd_adj` 被激活。依据该 EMRS 或模式寄存器设置 (MRS) 的值激活该脉冲信号 `mregsetp8`。为了该 EMRS 与该 MRS 间的区分而使用该解码排地址信号 `aBA<1>`。在此, 该 MRS 具有相同于该 EMRS 的结构; 然而, 藉由 MRS 所控制的半导体存储器件的操作不同于该 EMRS 的那些。

图 8B 是显示图 7 所示的第二 CAS 信号产生器 220 的示意电路图。

如所示, 该第二 CAS 信号产生器 220 包括第一步 CAS 信号输入单元 221、第三锁存单元 222、第二传送门 223、延迟单元 224 及第四锁存单元 225。

该第一步 CAS 信号输入单元 221 接收该第一 CAS 信号产生器 200 所输出的第一步 CAS 信号 `caspwt`。该第三锁存单元 222 锁存该第一步 CAS 信号输入单元 221 的输出信号, 以及该第二传送门 223 传送该第三锁存单元 222 的锁存信号至该延迟单元 224。该延迟单元 224 延迟该第二传送门 223 的输出信号一预定延迟时间, 亦即该时钟信号 `clkp4` 的一个时钟周期。该第四锁存单元 225 锁存该延迟单元 224 的输出信号, 以输出锁存信号作为该第二步 CAS 信号 `casp_wt`。

图 8C 是显示图 7 所示的第三 CAS 信号产生器 230 的示意电路图。

如所示, 该第三 CAS 信号产生器 230 包括第二步 CAS 信号输入单元 231、第一信号输出单元 232 及第二信号输出单元 233。

该第二步 CAS 信号输入单元 231 接收该第二步 CAS 信号 `casp_wt`。该第一信号输出单元 232 接收该第二步 CAS 信号输入单元 231 的输出信号及该 OCD 周期信号 `ocd_adj`, 以在该 OCD 周期信号 `ocd_adj` 为逻辑高电平时输出该第二步 CAS 信号输入单元 231 的输出信号作为该 OCD 操作信号 `ocdp6_adj`。

同样地，该第二信号输出单元 233 接收该第二步 CAS 信号输入单元 231 的输出信号及该 OCD 周期信号 `ocd_adj`，以在该 OCD 周期信号 `ocd_adj` 为逻辑低电平时输出该第二步 CAS 信号输入单元 231 的输出信号作为该 CAS 信号 `casp6_wt`。

亦即，在接收该第二步 CAS 信号 `casp6_wt` 之后，该第三 CAS 信号产生器 230 依据该 OCD 周期信号 `ocd_adj` 输出该 OCD 操作信号 `ocdp6_adj` 或该 CAS 信号 `casp6_wt`。依据该 EMRS 激活该 OCD 周期信号 `ocd_adj`，以及不改变该 OCD 周期信号的逻辑电平，直到该 EMRS 被复位为止。亦即，类似于如果该 EMRS 被设置不会改变其值的该 CAS 等待时间或脉冲串长度 (burst length, BL)，当该 EMRS 被设置时，该 OCD 周期信号 `ocd_adj` 保持其逻辑值。

该 OCD 周期信号 `ocd_adj` 是在该 OCD 校准控制操作期间被激活，以及如果终止该 OCD 校准控制操作，则使该 OCD 周期信号 `ocd_adj` 成为不被激活。亦即，只在实施该 OCD 校准控制操作时，激活该 OCD 周期信号 `ocd_adj`。使该 OCD 周期信号 `ocd_adj` 在该数据存取操作期间不被激活。

当该 OCD 周期信号 `ocd_adj` 是逻辑高电平时，该第三 CAS 信号产生器 230 激活该 OCD 操作信号 `ocdp6_adj` 成为逻辑高脉冲，或者当该 OCD 周期信号 `ocd_adj` 是逻辑低电平时，该第三 CAS 信号产生器 230 激活该 CAS 信号 `casp6_wt`。

图 9 是显示在传统半导体存储器件中所包含的 CAS 信号产生器的方块图。

如所示，该 CAS 信号产生器包括第一至第三 CAS 信号产生器。因为该 CAS 信号产生器是一般所使用且为熟习该项技艺者所熟知，所以省略该等 CAS 信号产生器的详细说明。

图 10 是显示图 9 所示的 CAS 信号产生器的操作的时序图。

如果输入写入命令信号 WT,则在从该写入命令信号 WT 的输入时序起经过 $(AL+CL-1)$ 的延迟时间之后,4 位数据被顺序地输入。然后,在两个时钟周期的延迟时间之后,该 4 位数据被对齐,以及该对齐的 4 位数据被输入至一存储芯块。于此,该 CAS 信号 `casp6_wt` 是用于作为一参考信号,其指示将该对齐的 4 位数据输入至该存储芯块的时序。

此外,当输入该写入命令信号 WT 时,在从该写入命令信号 WT 的输入时序起经过 $(AL+CL-1)$ 的延迟时间之后,产生该第一步 CAS 信号 `caspwt`。然后,藉由延迟该第一步 CAS 信号 `caspwt` 两个时钟周期的延迟时间,以产生该第二步 CAS 信号 `casp_wt`。藉由调节该第二步 CAS 信号 `casp_wt`,以产生该 CAS 信号 `casp6_wt`。

依据本发明的 CAS 信号产生器 200 具有图 10 所示的相同时序图。然而,该 CAS 信号产生器 200 可进一步产生用于该 OCD 校准控制操作的该 OCD 操作信号 `ocdp6_adj`。此操作将描述于图 13 中。

图 11 是显示图 5 所示的数据输入单元 400 的方块图。如所示,该数据输入单元 400 包括多个用于对齐输入数据的对齐单元。每个对齐单元响应从该数据选通信号 DQS 所产生的第一及第二对齐控制信号 `dsrp4` 及 `dsfp4` 执行对齐操作。所述对齐数据被输出为多个单个位数据 `algn_dinr0`、`algn_dinr1`、`algn_dinf0` 及 `algn_dinf1`。

图 12 是该数据输入单元 400 的操作的时序图。

当所述数据在该数据输入单元 400 中被对齐时,同时对齐该 OCD 控制代码。因此,当产生该 CAS 信号 `casp6_wt` 时,同时产生该 OCD 操作信号 `ocdp6_adj`。

图 13 是显示图 7 所示的 CAS 信号产生器 200 的时序图。

如所示, 该 OCD 操作信号 `ocdp6_adj` 产生在所述数据在该数据输入单元 400 中被对齐时的时序处。

如果激活该 OCD 模式进入信号 `ocd_adj`, 则在 $(AL+CL-1)$ 的延迟时间之后, 该第一 CAS 信号产生器 210 产生该第一步 CAS 信号 `caspwt`。

之后, 藉由延迟该第一步 CAS 信号 `caspwt` 两个时钟周期的延迟时间, 该第二 CAS 信号产生器 220 产生该第二步 CAS 信号 `casp_wt`。然后, 该第三 CAS 信号产生器 230 响应该 OCD 周期信号 `ocd_adj` 将该第二步 CAS 信号 `casp_wt` 输出为该 OCD 操作信号 `ocdp6_adj`。在此, 该两个时钟周期的延迟时间为用于对齐输入至该数据输入单元 400 的 4 位数据所需的时间。

如果该 OCD 操作信号 `ocdp6_adj` 被产生, 该 OCD 命令解码器 120 解码由该数据输入单元 400 所对齐的 OCD 控制代码。结果, 该 OCD 命令解码器 120 产生该上拉增加信号 `pu_inc`、该上拉减少信号 `pu_dec`、该下拉增加信号 `pd_inc` 及该下拉减少信号 `pd_dec`。该 OCD 控制逻辑单元依据该上拉增加信号 `pu_inc`、该上拉减少信号 `pu_dec`、该下拉增加信号 `pd_inc` 及该下拉减少信号 `pd_dec` 控制该数据输出驱动器 520 的阻抗。

图 14 是显示该 OCD 控制逻辑单元 110、上拉驱动器 521 及下拉驱动器 522 的方块图。于此, 该上拉驱动器 521 及该下拉驱动器 522 被包含于该数据输出驱动器 520 中。

如所示, 该 OCD 控制逻辑单元 110 包括上拉 OCD 控制逻辑单元 112 及下拉 OCD 控制逻辑单元 114。

详而言之, 该上拉 OCD 控制逻辑单元 112 包括第一至第四初始高寄存器 (`initial-high registers`) R0 到 R3 及第一至第四初始低寄存器 (`initial-low registers`) R4 到 R7, 每个分别响应该上拉增加信号 `pu_inc` 及该上拉减少信号 `pu_dec` 产生第一至第八上拉驱动器阻抗调节信号

drv70u 至 drv140u。

同样地，该下拉 OCD 控制逻辑单元 114 包括 4 个初始高寄存器及 4 个初始低寄存器，它们响应该下拉增加信号 pd_inc 及该下拉减少信号 pd_dec 产生第一至第八下拉驱动器阻抗调节信号 drv70d 至 drv140d。于此，该下拉 OCD 控制逻辑单元 114 的结构及操作是相同于该上拉 OCD 控制逻辑单元 112 的那些。因此，省略该下拉 OCD 控制逻辑单元 114 的详细说明。

在一初始操作中，该上拉 OCD 控制逻辑单元 112 响应该 OCD 默认控制信号 ocd_default 激活并输出该第一至第八上拉驱动器阻抗调节信号 drv70u 至 drv140u 中的预定上拉驱动器阻抗调节信号，例如该第一至第四上拉驱动器阻抗调节信号 drv70u 至 drv100u。之后，该上拉 OCD 控制逻辑单元 112 响应该上拉增加信号 pu_inc 及该上拉减少信号 pu_dec 控制该第一至第八上拉驱动器阻抗调节信号 drv70u 至 drv140u 中的激活上拉驱动器阻抗调节信号的数量。

上电信号 pwrup 用作该第一至该第四初始高寄存器 R0 到 R3 及该第一至该第四初始低寄存器 R4 到 R7 的使能信号。

第一开关 SW1 及第二开关 SW2 在该第一初始高寄存器 R0 的输出信号与电源电压 VDD 间做选择，以及输出所选择信号作为该第一上拉驱动器阻抗调节信号 drv70u。

至少应该激活在该第一至该第八上拉驱动器阻抗调节信号 drv70u 至 drv140u 中的第一上拉驱动器阻抗调节信号 drv70u。因此，该第二开关 SW2 输出该电源电压 VDD 至该 drv70u，藉此总是激活该 drv70u。

图 15A 是显示该上拉 OCD 控制逻辑单元 112 中所包含的第一至第四初始高寄存器 R0 到 R3 中之一的示意电路图。

如所示，该第三初始高寄存器 R2 包括第一使能缓冲器单元 151、第二使能缓冲器单元 154、第一信号输入单元 152、第二信号输入单元 153、第一 RS 触发器单元 155 及第一信号输出单元 156。

该第一信号输入单元 152 通过默认输入端子 DF 接收该处于逻辑高电平的 OCD 默认控制信号 `ocd_default`，以及在缓冲该 OCD 默认控制信号 `ocd_default` 之后，输出该 OCD 默认控制信号 `ocd_default`。该第一信号输入单元 152 亦对该上拉增加信号 `pu_inc` 及前一初始高寄存器即此情况中的该第二初始高寄存器 R1 的输出信号执行逻辑运算，然后输出该逻辑运算的结果。

该第二信号输入单元 153 对该上拉减少信号 `pu_dec` 的反相信号及下一初始高寄存器即此情况中的该第四初始高寄存器 154 的输出信号执行逻辑 NOR 运算，然后输出该逻辑 NOR 运算的结果。

该第一 RS 触发器单元 155 接收该第一及该第二信号输入单元 152 及 153 的输出信号，作为其输入信号，以及该第一 RS 触发器单元 155 是藉由该上电信号 `pwrup` 来使能。

该第一信号输出单元 156 是由该上电信号 `pwrup` 来使能以及缓冲该第一 RS 触发器单元 155 的输出信号，藉此将该被缓冲信号输出为该第三初始高寄存器 R2 的输出信号，即该第三上拉驱动器阻抗调节信号 `dru90u`。

该第一及该第二使能缓冲器单元 151 及 154 分别用于将该上电信号 `pwrup` 传送至该第一 RS 触发器单元 155 及该第一信号输出单元 156。

图 15B 是显示该上拉 OCD 控制逻辑单元 112 中所包含的第一至第四初始低寄存器中之一的示意电路图。

如所示，该第三初始低寄存器 R6 包括第三信号输入单元 161、第四信号输入单元 162、第二 RS 触发器单元 163、第三使能缓冲器单元 164

及第二信号输出单元 165。

该第三信号输入单元 161 对该上拉增加信号 pu_inc 及前一寄存器即此情况中该第二初始低寄存器 R5 的输出信号执行逻辑 NAND 运算，然后输出该逻辑 NAND 运算的结果。

该第四信号输入单元 162 通过该默认输入端子 DF 接收该 OCD 默认控制信号 ocd_default, 以及在缓冲该 OCD 默认控制信号 ocd_default 之后，输出该 OCD 默认控制信号 ocd_default。该第四信号输入单元 162 亦对该上拉减少信号 pu_dec 的反相信号及下一寄存器的输出信号执行逻辑 NOR 运算；并且然后输出该逻辑 NOR 运算的结果。

该第二 RS 触发器单元 163 是由该电源信号 pwrup 来使能及接收该第三及该第四信号输入单元 161 及 162 的输出信号。

第二信号输出单元 165 是由该上电信号 pwrup 来使能及缓冲该第二 RS 触发器单元 163 的输出信号，藉此输出该被缓冲信号作为该第三初始低寄存器 117 的输出信号，即第七上拉驱动器阻抗调节信号 drv130u。

图 16 是显示图 5 所示的 OCD 命令解码器 120 的方块图。

如所示，该 OCD 命令解码器 120 包括 OCD 锁存单元 125、解码器 122 及 OCD 编码器 123。

OCD 锁存单元 125 锁存该被对齐的 OCD 控制代码，即该多个单个-位数据 algn_dinr0、algn_dinr1、algn_dinf0 及 algn_dinf1。该解码器 122 解码该 OCD 锁存单元 125 所锁存的 OCD 控制代码，以产生多个 OCD 控制信号，以及该解码器 122 激活该多个 OCD 控制信号中之一。该 OCD 编码器 123 依据该多个 OCD 控制信号的被激活信号产生该上拉增加信号 pu_inc、该上拉减少信号 pu_dec、该下拉增加信号 pd_inc 及该下拉减少信号 pd_dec。

图 17 是显示图 16 所示的 OCD 命令解码器 120 的操作的时序图。

以下参考图 5-17 来描述依据本发明的半导体存储器件的操作。

如上所述，该 OCD 校准控制操作已由 JEDEC 所提出，以增加一半导体存储器件的操作速度。

为了调节一数据输出驱动器的阻抗而执行该 OCD 校准控制操作，以使该数据输出驱动器能在当前系统状态中具有最佳阻抗。

为了上述目的，应首先测量该数据输出驱动器的阻抗，并且然后在该 OCD 校准控制操作时，调节该数据输出驱动器的阻抗，以使该数据输出驱动器能在当前系统状态中具有最佳阻抗。因此，半导体存储器件应被提供 OCD 控制代码输入引脚、OCD 控制代码输入单元及控制单元，以藉由解码该 OCD 控制代码来调节该数据输出驱动器的阻抗。

然而，如图 5 所示，依据本发明的半导体存储器件不包括特定的 OCD 控制代码输入单元。取而代之，该半导体存储器件使用该数据输入单元 400 作为该 OCD 控制代码输入单元。

在该数据存取操作期间，该半导体存储器件通过该数据输入单元 400 接收数据及传送该被接收数据至该存储芯片 500。在该 OCD 校准控制操作期间，OCD 控制代码被输入至该数据输入单元 400，以使该 OCD 控制代码能够被解码，以调节该数据输出驱动器 520 的阻抗。

特别地，该半导体存储器件使用该 CAS 信号产生器 200 以产生该 OCD 操作信号 `ocdp6_adj`。因此，该 CAS 信号产生器 200 被提供有该 OCD 模式进入信号输入单元 211。

在调节该数据输出驱动器的阻抗以获得最佳阻抗之后，该数据输出驱动器 520 通过数据输入/输出引脚(DQ 垫)输出该数据。同时，因为该数据输出驱动器 520 的阻抗对于当前系统状态而言是最佳，所述数据能够

被以高速度稳定地输出。

如上所述，可将该 OCD 校准控制操作分成两个序列，亦即用于测量该数据输出驱动器 520 的阻抗的第一序列及用于调节该阻抗的第二序列。

该 EMRS 解码器 700 通过该 3 位地址针脚 $add\langle 7:9 \rangle$ 解码该 OCD 控制信号，以指示该半导体存储器件是处于用于执行该 OCD 校准控制操作的模式。

如果输入至该 3 位地址针脚 $add\langle 7:9 \rangle$ 的 OCD 控制信号为 ‘100’，则该 EMRS 解码器 700 激活该第一驱动模式信号 ocd_drive1 。依据输入至该 3 位地址针脚 $add\langle 7:9 \rangle$ 的 OCD 控制信号的 EMRS 解码器 700 的操作被显示于图 3B 中。

如果该第一驱动模式 ocd_drive1 被激活，该上拉驱动器 521 输出数据为逻辑高电平。此时，由芯片组来测量该上拉驱动器 521 的阻抗。

之后，如果通过该 3 位地址针脚 $add\langle 7:9 \rangle$ 输入的 OCD 控制信号为 ‘001’，该 EMRS 解码器 700 激活该 OCD 周期信号 ocd_adj 。

如果该 OCD 周期信号 ocd_adj 被激活，4 位控制代码通过该 DQ 垫被顺序地输入。该 4 位控制代码由该数据输入单元 400 来对齐。

然后，该 OCD 命令解码器 120 解码该被对齐的 4 位控制代码，以产生该上拉增加信号 pu_inc 、该上拉减少信号 pu_dec 、该下拉增加信号 pd_inc 及该下拉减少信号 pd_dec 。之后，该 OCD 控制逻辑单元 110 响应该上拉增加信号 pu_inc 及上拉减少信号 pu_dec 产生该第一至第八上拉驱动器阻抗调节信号 $drv70u$ 到 $drv140u$ 。

之后，依据该第一至第八上拉驱动器阻抗调节信号 $drv70u$ 到 $drv140u$ 来调节该上拉驱动器 521 的阻抗。在此，藉由控制在该上拉驱动器 521 中所包含的全部 MOS 晶体管中的接通的 MOS 晶体管的数量来调节

该上拉驱动器的阻抗。

之后，在输出数据为高电平期间，该上拉驱动器 521 的阻抗被设置到所述调节的阻抗。

同时，藉由上述相同方式来执行用于调节该下拉驱动器 522 的阻抗的操作。

如上所述，依据本发明的半导体存储器件解码该 OCD 控制代码，而不需使用额外输入/输出针脚及 OCD 控制代码输入单元。因此，依据本发明的半导体存储器件可执行该 OCD 校准控制操作，最小化用于该 OCD 校准控制操作的附加电路的尺寸。

本申请案包含有关于 2004 年 5 月 10 日向韩国专利局所提交的韩国专利申请案第 2004-32845 号的主体，其整个内容被结合在这里以供参考。

虽然以特定实施例来描述本发明，但是熟习该项技艺者将清楚知道可在不脱离下面所附权利要求所界定的本发明的精神及范围内实施各种变化和修改。

【主要组件符号说明】

110	OCD 控制逻辑单元
112	上拉 OCD 控制逻辑单元
114	下拉 OCD 控制逻辑单元
120	OCD 命令解码器
122	解码器
123	OCD 编码器
125	OCD 锁存单元
151	第一使能缓冲器单元
152	第一信号输入单元
153	第二信号输入单元
154	第二使能缓冲器单元
155	第一 RS 触发器单元
156	第一信号输出单元
161	第三信号输入单元
162	第四信号输入单元
163	第二 RS 触发器单元
164	第三使能缓冲器单元
165	第二信号输出单元
200	列地址选通 (CAS) 信号产生器
210	第一 CAS 信号产生器
211	OCD 模式进入信号输入单元
212	写入控制信号输入单元
213	CAS 信号传送单元

213_1	信号传送单元
213_2	第一锁存单元
213_3	第一传送门
213_4	第二锁存单元
213_5	第一触发器移位器
213_6	第二触发器移位器
220	第二 CAS 信号产生器
221	第一步 CAS 信号输入单元
222	第三锁存单元
223	第二传送门
224	延迟单元
225	第四锁存单元
230	第三 CAS 信号产生器
231	第二步 CAS 信号输入单元
232	第一信号输出单元
233	第二信号输出单元
300	OCD 控制信号输入单元
400	数据输入单元
500	存储芯块
510	输出数据控制单元
520	数据输出驱动器单元
521	上拉驱动器
522	下拉驱动器
700	扩展模式寄存器设置 (EMRS) 解码器

aBA<1>	解码组地址
add<7:9>	3 位地址引脚
AL<0:6>	附加延迟信号
algn_dinr0	单位元数据
algn_dinr1	单位元数据
algn_dinf0	单位元数据
algn_dinf1	单位元数据
cas4b	写入命令信号
casp6_rd	第一 CAS 信号
casp6_wt	第二 CAS 信号
caspwt	第一步 CAS 信号
casp_wt	第二步 CAS 信号
CL<0:6>	CAS 延迟信号
clkp4	时钟信号
cs4b	写入命令信号
DF	预设输入端
DQ	数据输出引脚
DQS	数据选通信号
/DQS	数据选通杠信号
drv70u-drv140u	上拉驱动器阻抗调节信号
dsfp4	第二对齐控制信号
dsrp4	第一对齐控制信号
mregsetp8	脉冲信号
ND1	第一节点

ocd_adj	OCD 周期信号
ocd_adjp	OCD 模式进入信号
ocd_default	OCD 预设控制信号
ocd_drive0	第二驱动模式信号
ocd_drive1	第一驱动模式信号
ocd_exit	OCD 离开信号
ocdp6_adj	OCD 操作信号
pd_dec	下拉减少信号
pd_inc	下拉增加信号
pu_dec	上拉减少信号
pu_inc	上拉增加信号
pwrup	电力开启信号
R0	第一初始高寄存器
R1	第二初始高寄存器
R2	第三初始高寄存器
R3	第四初始高寄存器
R4	第一初始低寄存器
R5	第二初始低寄存器
R6	第三初始低寄存器
R7	第四初始低寄存器
ras4	写入命令信号
SW1	第一开关
SW2	第二开关
VDD	电源电压

we4b 写入命令信号
WT 写入命令信号。

图1
(现有技术)

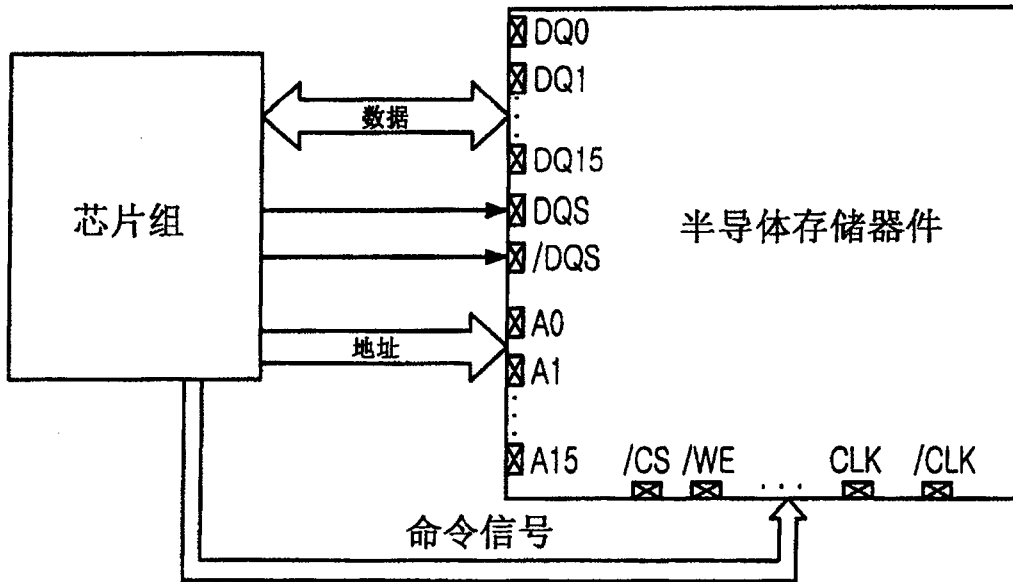


图2
(现有技术)

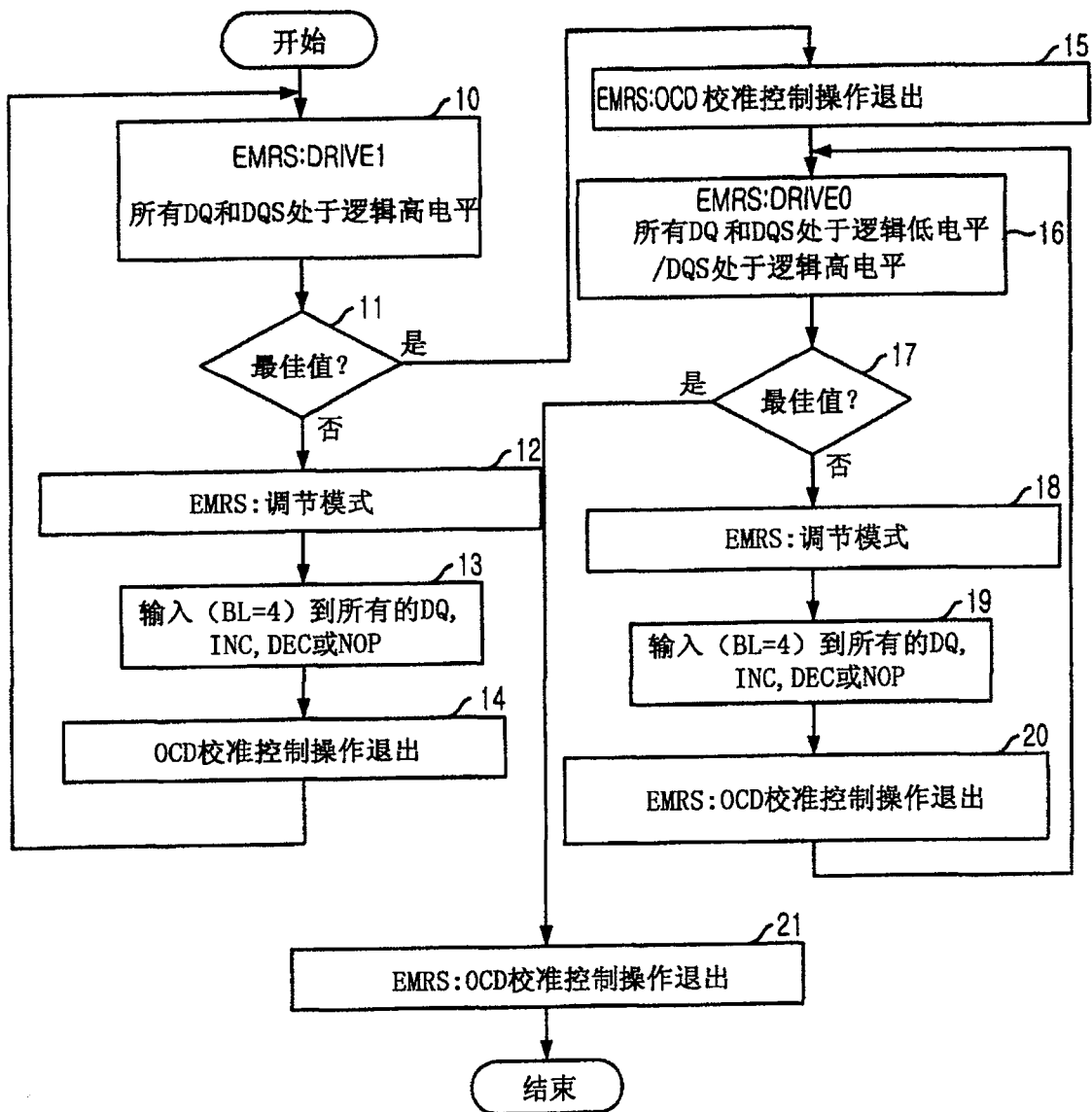


图3A
(现有技术)

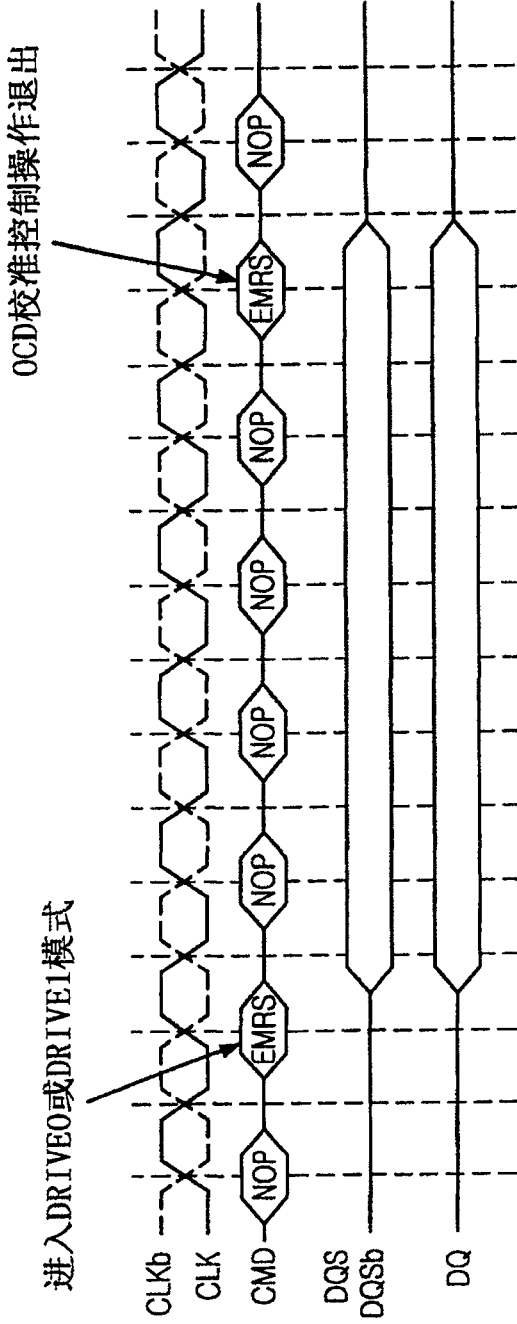


图3B
(现有技术)

A9	A8	A7	操作
0	0	0	OCD校准控制操作退出
0	0	1	DRIVE1, DQ 和 DQS 处于逻辑高电平, /DQS 处于逻辑低电平
0	1	0	DRIVE0, DQ 和 DQS 处于逻辑低电平, /DQS 处于逻辑高电平
1	0	0	调节模式
1	1	1	输出OCD校准默认值

图4A
(现有技术)

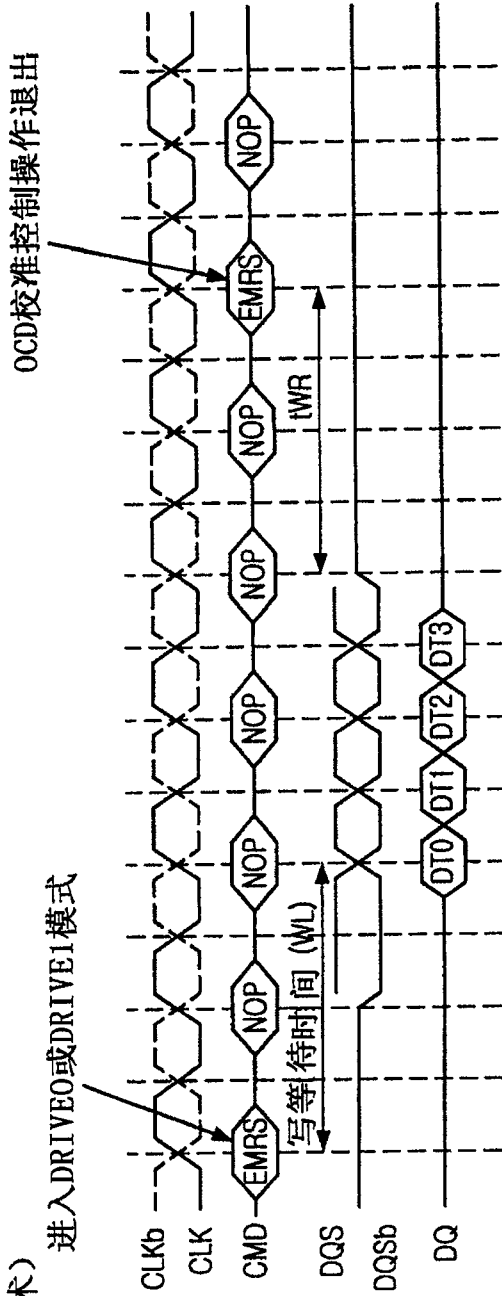


图4B
(现有技术)

4-位代码输出				操作	
D ₁₀	D ₁₁	D ₁₂	D ₁₃	上拉驱动器	下拉驱动器
0	0	0	0	无操作	无操作
0	0	0	1	增加	无操作
0	0	1	0	减少	无操作
0	1	0	0	无操作	增加
1	0	0	0	无操作	减少
0	1	0	1	增加	增加
0	1	1	0	减少	增加
1	0	0	1	增加	减少
1	0	1	0	减少	减少

图5

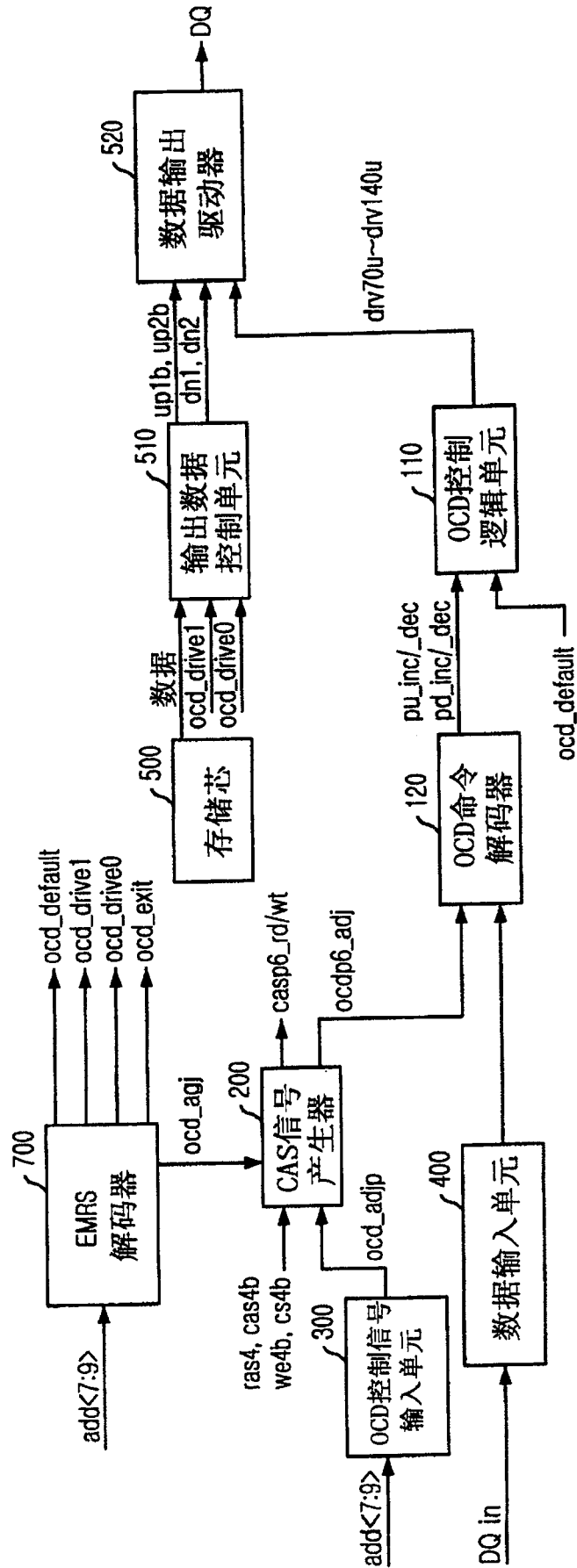


图6

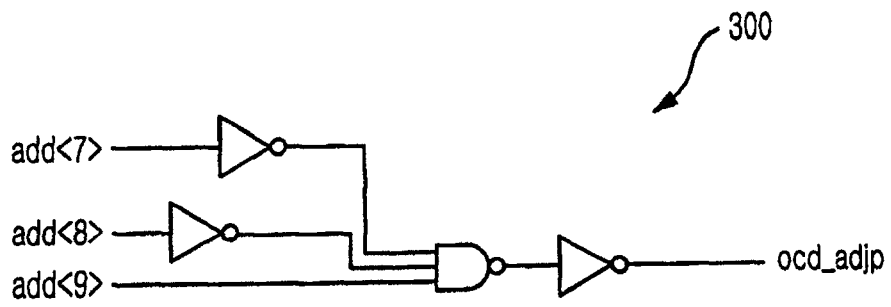
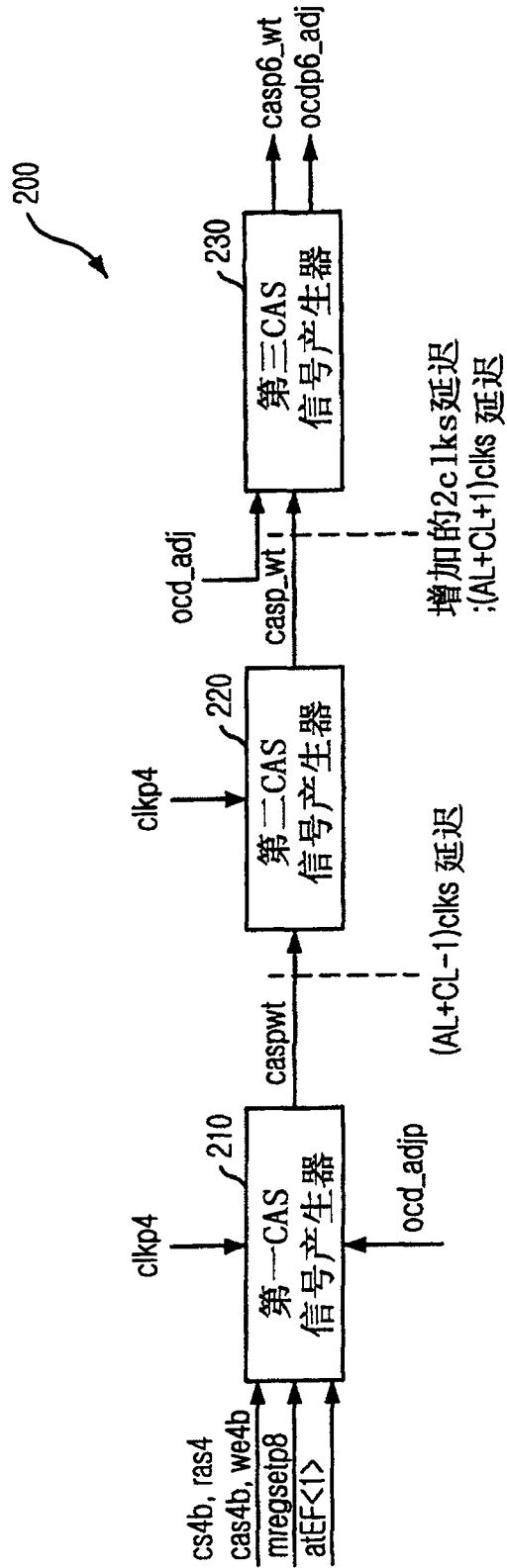


图7



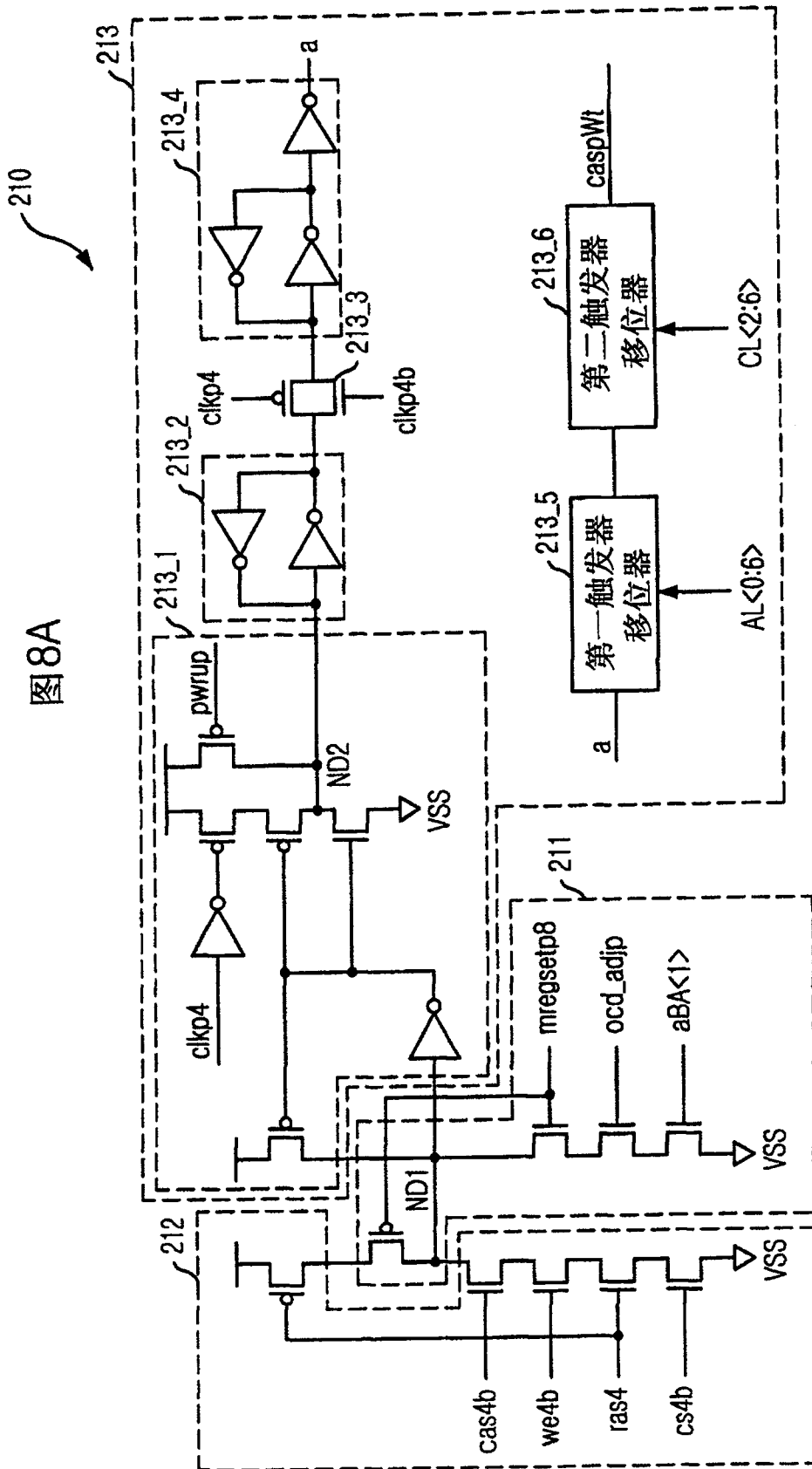


图8B

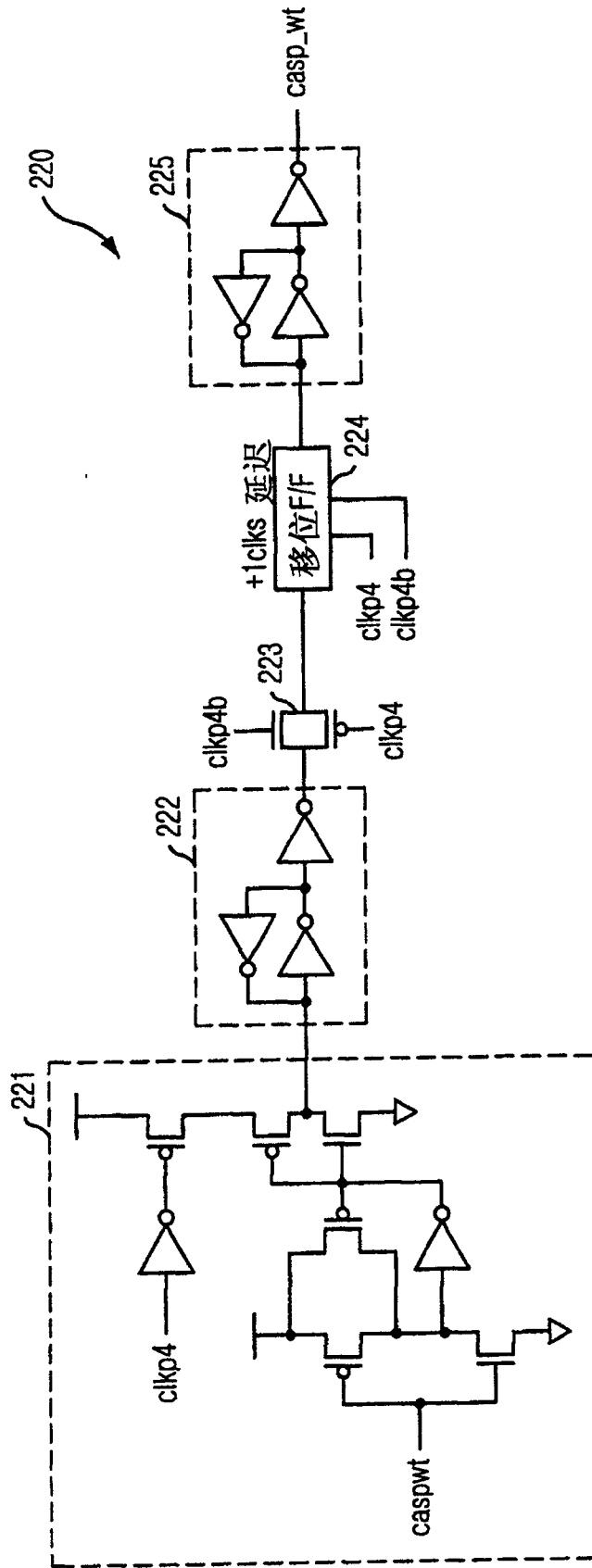


图8C

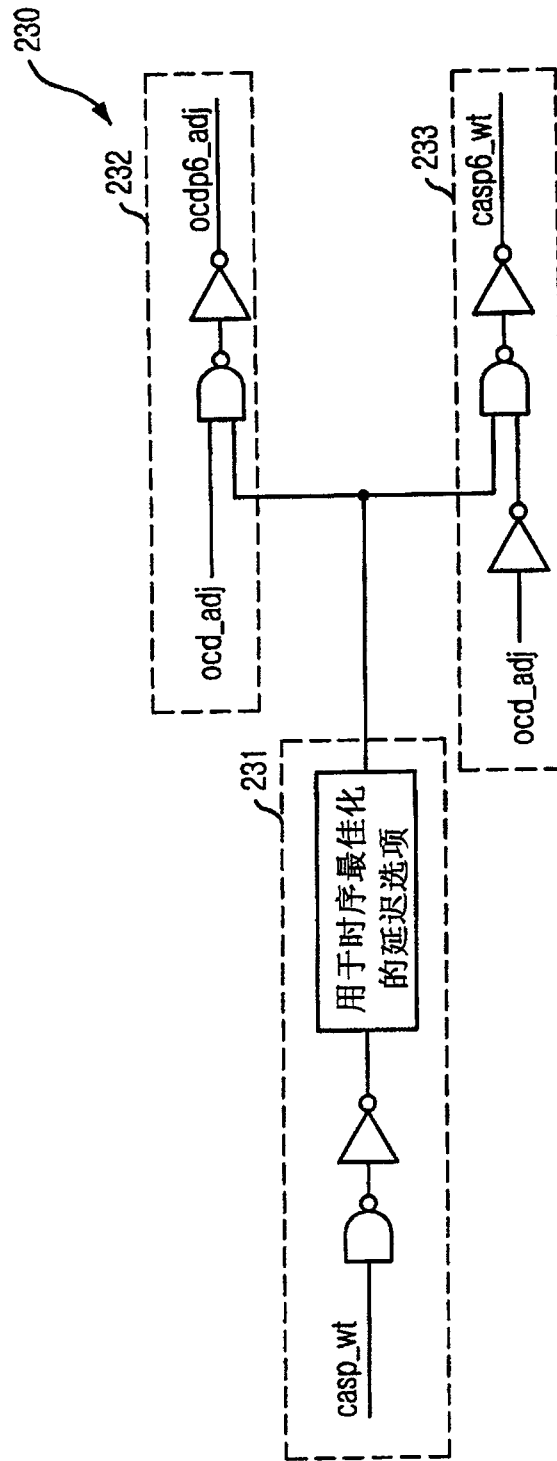


图9

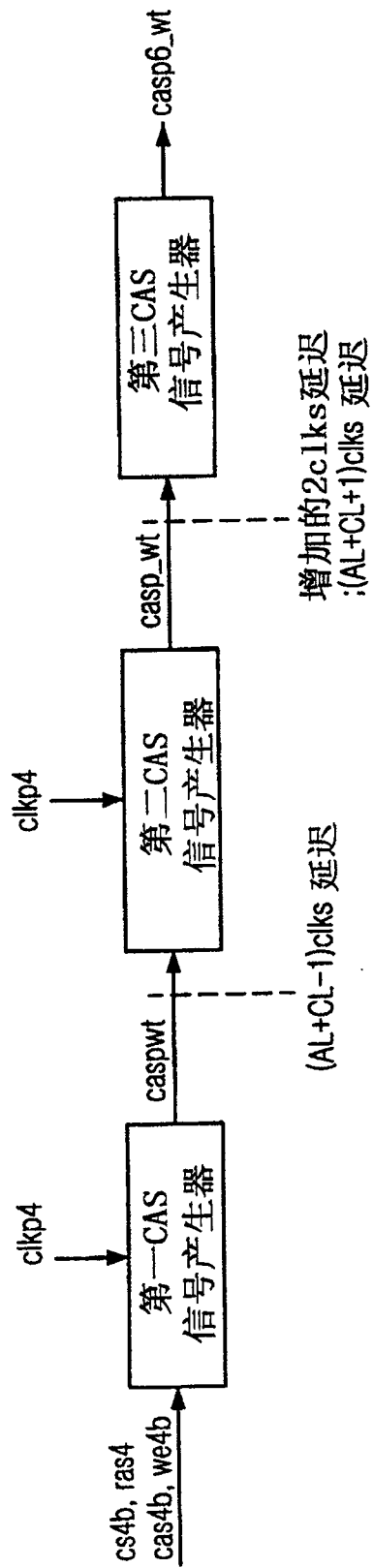


图10

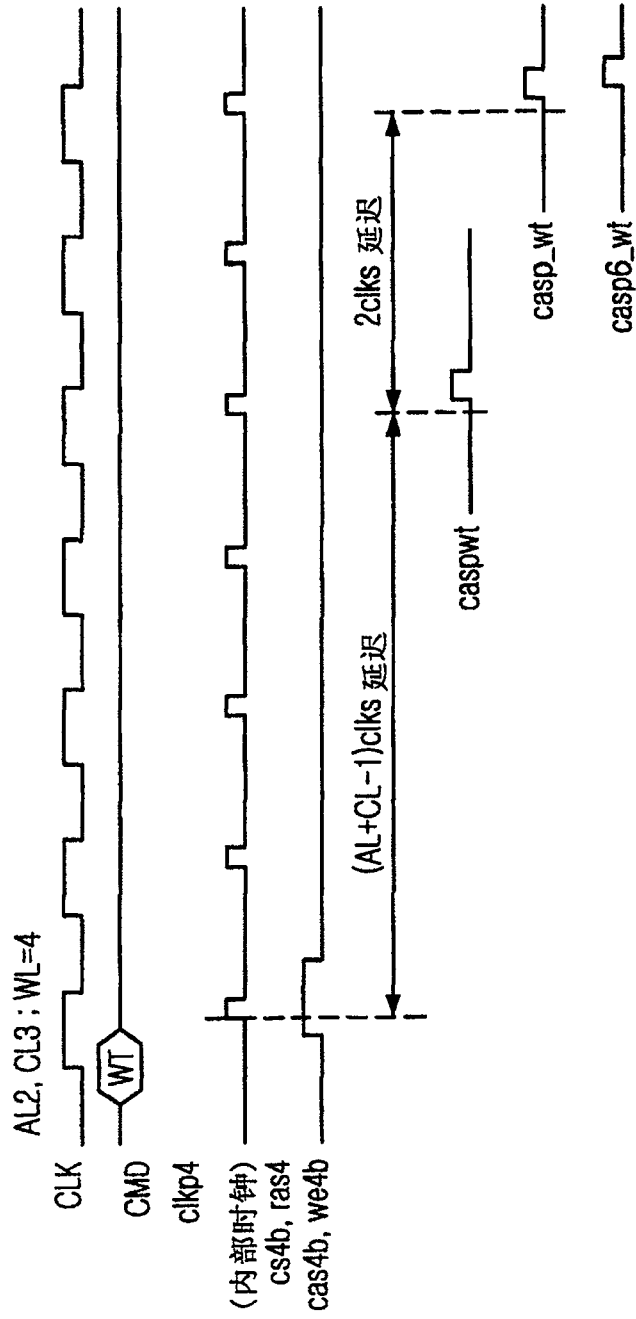


图12

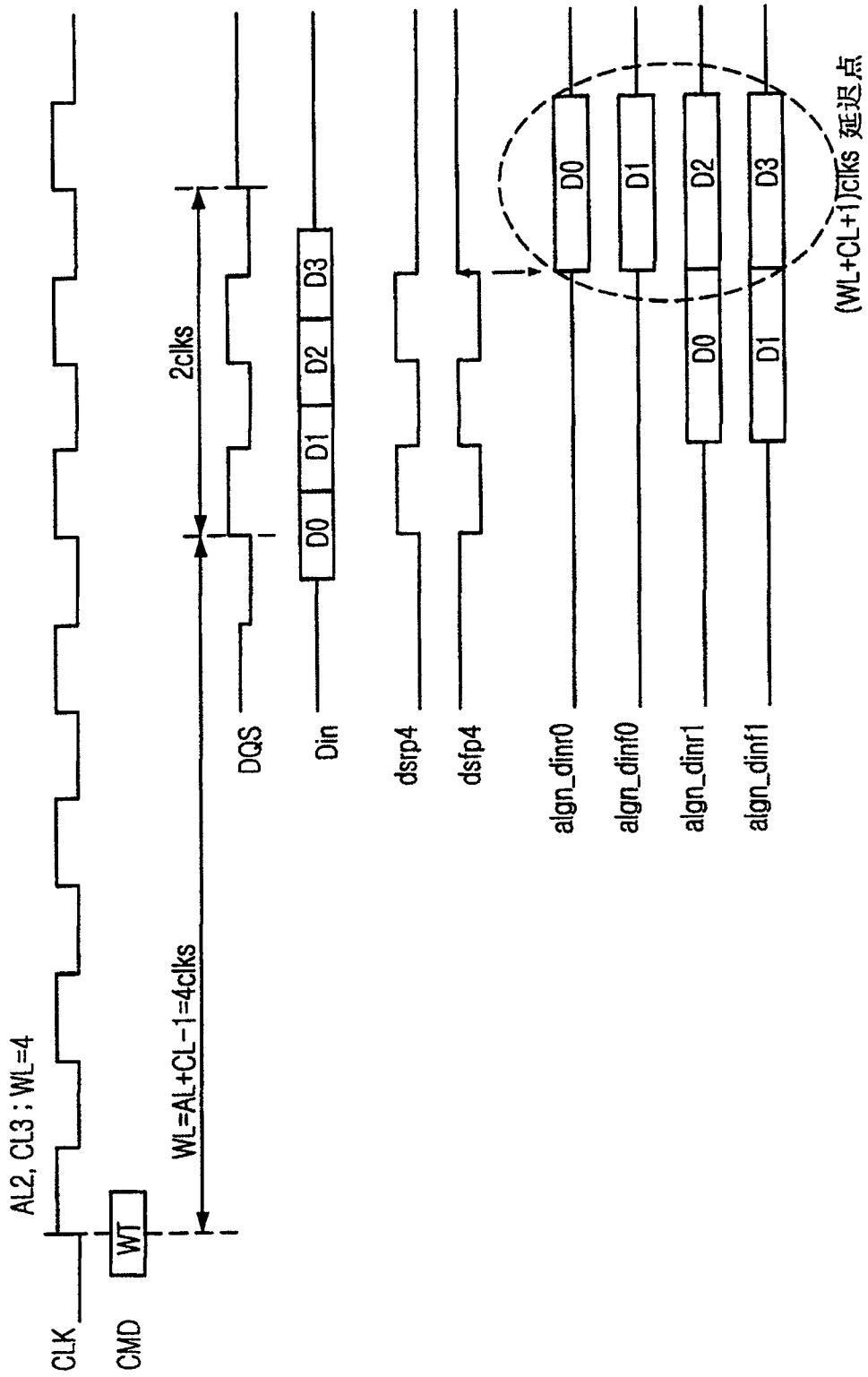


图13

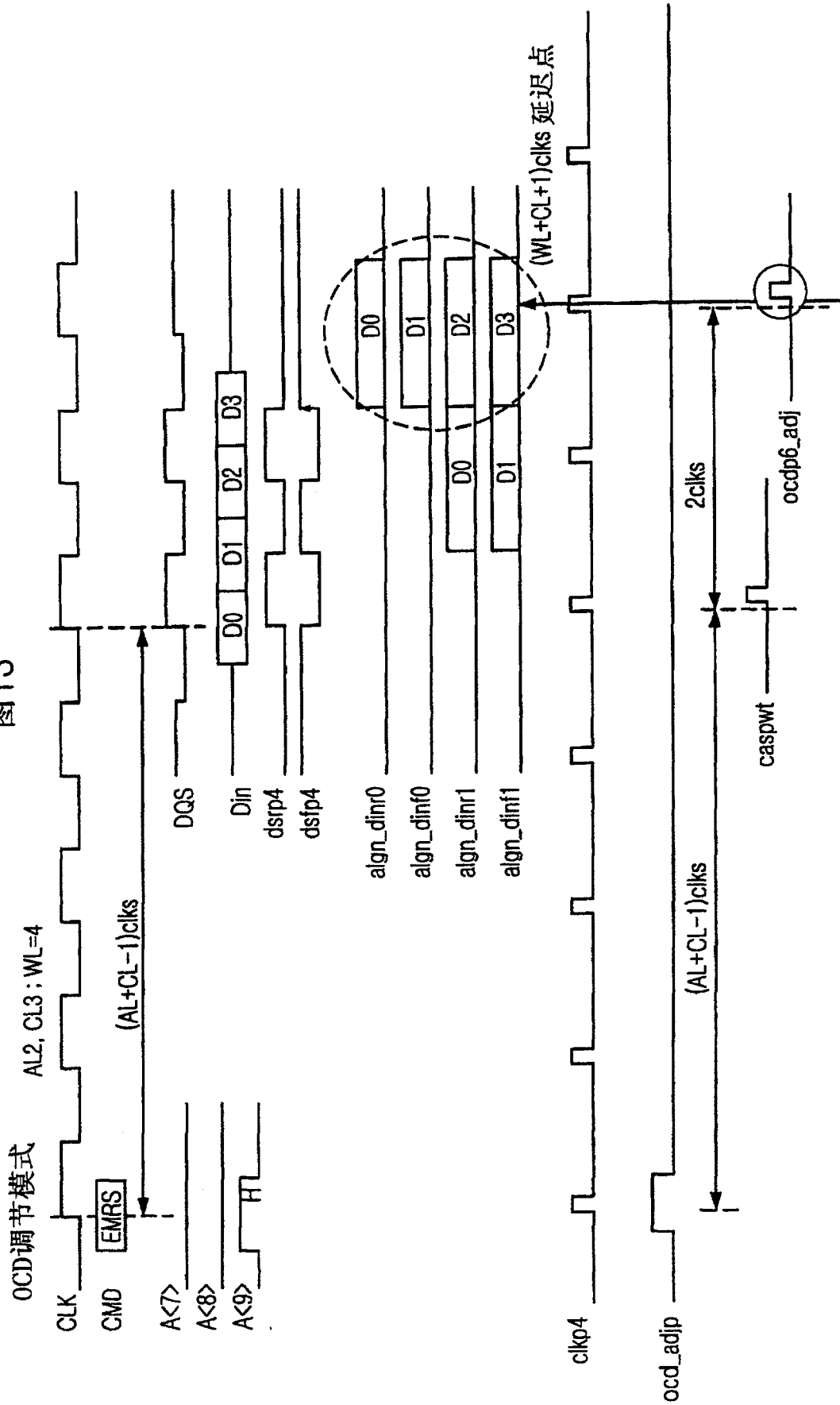


图14

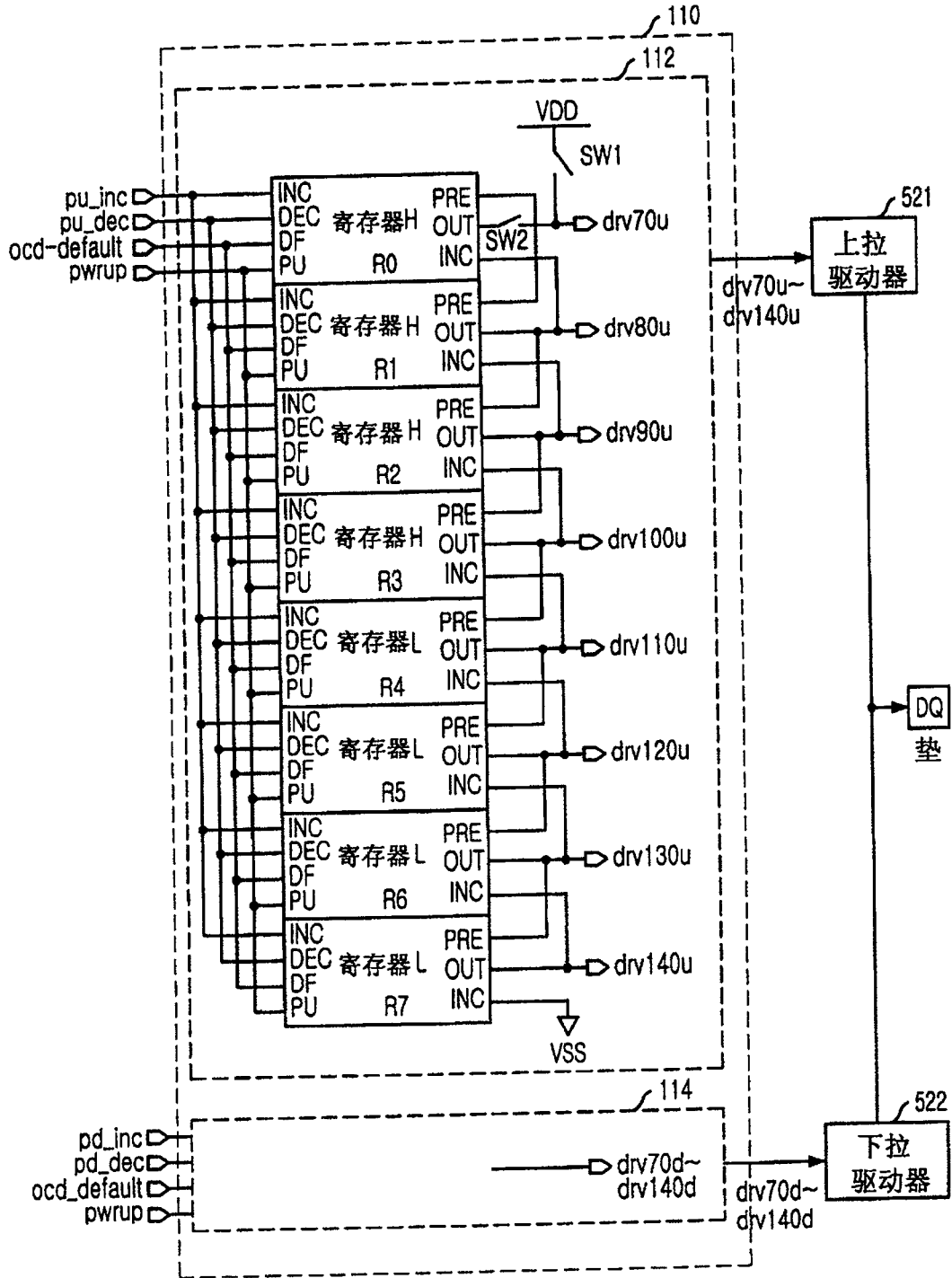


图15A

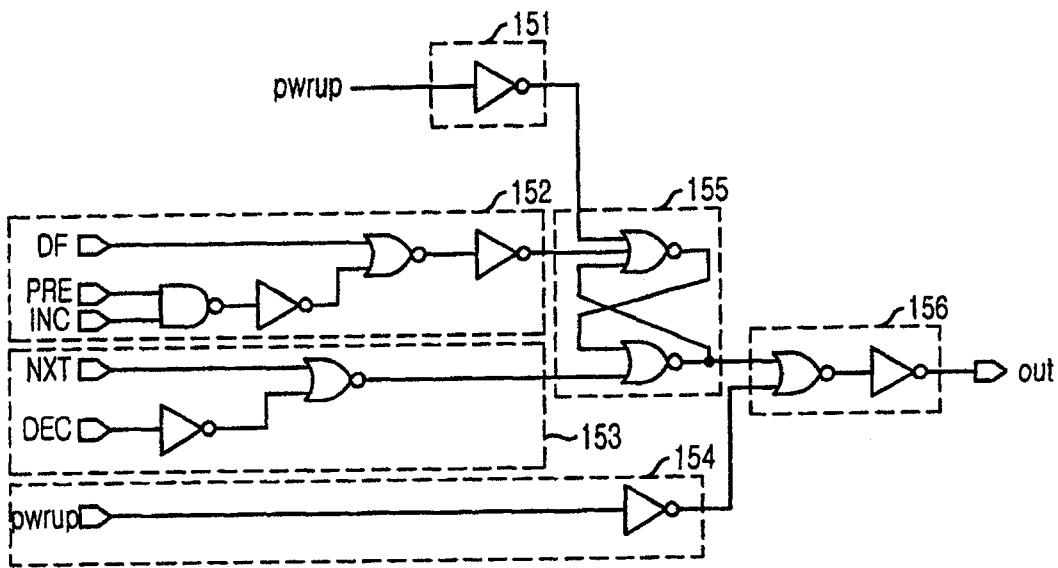


图15B

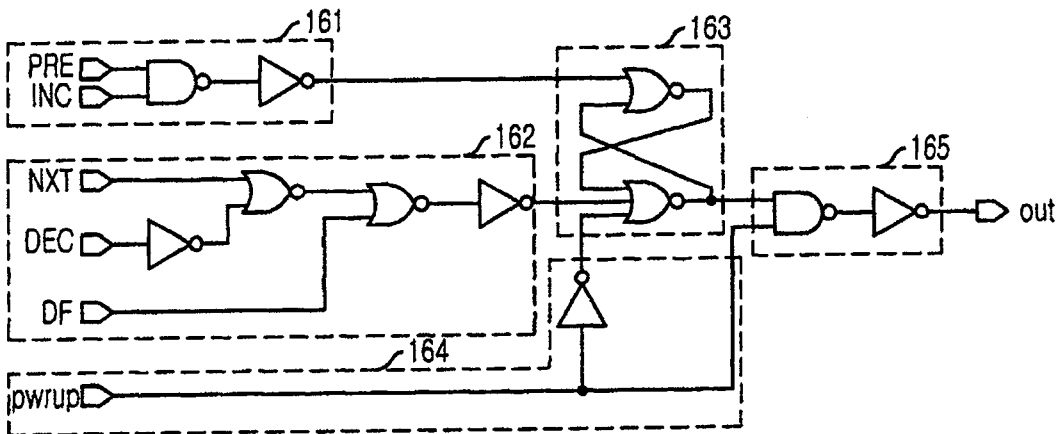


图16

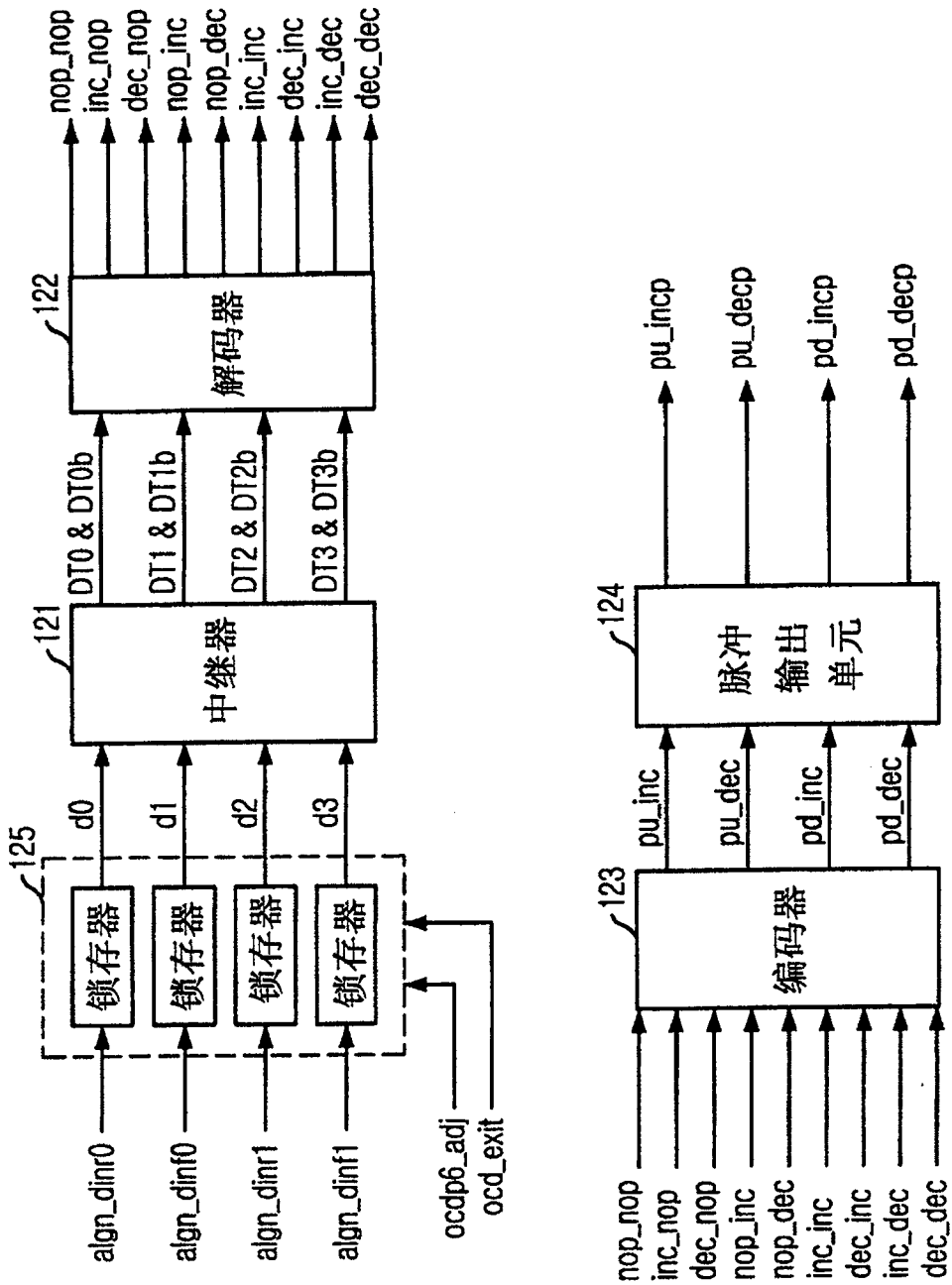


图17

