



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0106500  
(43) 공개일자 2009년10월09일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/> <b>G11C 16/06</b> (2006.01) <b>G11C 5/14</b> (2006.01)<br/> <b>G11C 16/12</b> (2006.01) <b>G11C 11/34</b> (2006.01)</p> <p>(21) 출원번호 10-2009-7013925<br/>                 (22) 출원일자 2007년11월30일<br/>                 심사청구일자 없음<br/>                 (85) 번역문제출일자 2009년07월03일<br/>                 (86) 국제출원번호 PCT/US2007/086175<br/>                 (87) 국제공개번호 WO 2008/070578<br/>                 국제공개일자 2008년06월12일<br/>                 (30) 우선권주장<br/>                 11/943,578 2007년11월20일 미국(US)<br/>                 60/868,456 2006년12월04일 미국(US)</p> | <p>(71) 출원인<br/> <b>카탈리스트 세미컨덕터, 인크.</b><br/>                 미국 캘리포니아주 95050 산타 클라라 스텐더웨이 2975</p> <p>(72) 발명자<br/> <b>스프레, 라두 에이.</b><br/>                 영국 구일드포드 서레이 지유2 7제이엘, 유니버시티 오브 서레이, 인터내셔널 하우스, 룸 케이2-6<br/> <b>조지스쿠, 소린 에스.</b><br/>                 미국 캘리포니아 95136, 산 호세, 99 파크 에섹스 플레이스<br/> <b>포에나루, 아일리 마리안 아이.</b><br/>                 루마니아 알-061012 부카레스트, 섹터 6, 크리널 데 파두레 널</p> <p>(74) 대리인<br/> <b>장훈</b></p> |
|---|--|

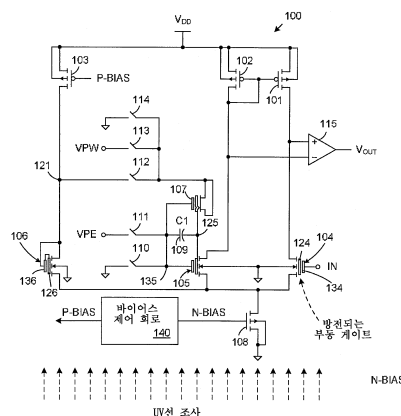
전체 청구항 수 : 총 19 항

**(54) 아날로그 부동 게이트 셀에서의 전하 손실 감소 방법**

**(57) 요약**

제 1 비휘발성 메모리(non-volatile memory ; NVM) 트랜지스터(transistor)의 프로그램된 문턱 전압(threshold voltage)에 응답하여 기준 전압(reference voltage)을 제공하는 전압 기준 회로를 제공한다. 제 1 NVM 트랜지스터의 문턱 전압은, 제 1 NVM 트랜지스터와 부동 게이트(floating gate)를 공유하는 터널링 캐패시터(tunneling capacitor)의 공통 접속된 소스/드레인 영역들(source/drain regions)에 프로그래밍 전압(programming voltage)을 인가함으로써 프로그램된다. 전압 기준 회로가 정상 동작하는 동안, 터널링 캐패시터의 소스/드레인 영역들은 제 1 NVM 트랜지스터의 부동 게이트와 동일한 전기적 및 열적 특성들을 갖는 제 2 NVM 트랜지스터에 접속된다. 결과적으로, 제 1 NVM 트랜지스터의 부동 게이트로부터의 전하 손실이 유리하게 최소화될 수 있다.

**대표도 - 도2**



## 특허청구의 범위

### 청구항 1

집적 회로에서 기준 전압을 제공하는 방법에 있어서,

제 1 비휘발성 메모리(non-volatile memory : NVM) 트랜지스터(transistor)의 문턱 전압(threshold voltage)을 터널링 캐패시터(tunneling capacitor)를 통하여 프로그래밍(programming)하는 단계로서, 상기 제 1 NVM 트랜지스터와 상기 터널링 캐패시터가 제 1 부동 게이트(floating gate)를 공유하고 또한 상기 터널링 캐패시터가 상기 제 1 부동 게이트로부터 격리된 프로그래밍 단자를 갖는, 상기 프로그래밍 단계;

상기 제 1 부동 게이트의 전기적 및 열적 특성들과 매칭하도록 선택된 전기적 및 열적 특성들을 갖는 반도체 구조에 상기 터널링 캐패시터의 상기 프로그래밍 단자를 결합하는 단계; 및

상기 터널링 캐패시터의 프로그래밍 단자가 상기 반도체 구조에 결합되는 동안, 상기 제 1 NVM 트랜지스터의 상기 프로그래밍된 문턱 전압에 응답하여 싱글-엔디드 기준 전압(single-ended reference voltage)을 발생하는 단계를 포함하는, 집적 회로에서의 기준 전압 제공 방법.

### 청구항 2

제 1 항에 있어서,

상기 제 1 NVM 트랜지스터의 문턱 전압을 프로그래밍하는 상기 단계는, 상기 터널링 캐패시터의 상기 프로그래밍 단자와 상기 제 1 부동 게이트 양단에 프로그래밍 전압을 인가하는 단계를 포함하는, 집적 회로에서의 기준 전압 제공 방법.

### 청구항 3

제 1 항에 있어서,

상기 제 1 NVM 트랜지스터의 문턱 전압을 프로그래밍하는 상기 단계 동안, 상기 제 1 NVM 트랜지스터와 전류 미러 구성(current mirror configuration)으로 제 2 NVM 트랜지스터를 결합하는 단계; 및

상기 제 1 NVM 트랜지스터의 문턱 전압을 프로그래밍하는 상기 단계 동안, 상기 제 2 NVM 트랜지스터에 기준 전압을 인가하는 단계를 더 포함하는, 집적 회로에서의 기준 전압 제공 방법.

### 청구항 4

제 3 항에 있어서,

상기 제 1 NVM 트랜지스터의 문턱 전압을 프로그래밍하는 상기 단계 동안, 상기 제 1 NVM 트랜지스터와 상기 제 2 NVM 트랜지스터를 차동 증폭기(differential amplifier)에 결합하는 단계; 및

상기 차동 증폭기의 출력이 스위치(switch) 할 때, 상기 제 1 NVM 트랜지스터의 상기 문턱 전압을 프로그래밍하는 단계를 종료하는, 집적 회로에서의 기준 전압 제공 방법.

### 청구항 5

제 3 항에 있어서,

상기 제 1 NVM 트랜지스터의 상기 문턱 전압을 프로그래밍하기 전에, 상기 제 2 NVM 트랜지스터의 문턱 전압을 증립 상태로 초기화하는 단계를 더 포함하는, 집적 회로에서의 기준 전압 제공 방법.

### 청구항 6

제 5 항에 있어서,

상기 제 2 NVM 트랜지스터의 문턱 전압을 초기화하는 상기 단계는 상기 제 2 NVM 트랜지스터를 자외선(UV) 방사에 노출하는 단계를 포함하는, 집적 회로에서의 기준 전압 제공 방법.

### 청구항 7

제 1 항에 있어서,

상기 싱글-엔디드 기준 전압을 발생하는 상기 단계 동안, 상기 제 1 NVM 트랜지스터와 전류 미러 구성으로 제 2 NVM 트랜지스터를 결합하는 단계를 더 포함하는, 집적 회로에서의 기준 전압 제공 방법.

**청구항 8**

제 7 항에 있어서,

상기 싱글-엔디드 기준 전압을 발생하는 상기 단계 동안, 상기 제 1 NVM 트랜지스터 및 상기 제 2 NVM 트랜지스터를 차동 증폭기의 입력들에 결합하는 단계를 더 포함하며, 상기 차동 증폭기는 상기 싱글-엔디드 기준 전압을 제공하는, 집적 회로에서의 기준 전압 제공 방법.

**청구항 9**

제 7 항에 있어서,

상기 싱글-엔디드 기준 전압을 발생하는 상기 단계 동안, 상기 제 1 NVM 트랜지스터를 통해 제 1 전류가 흐르고, 상기 싱글-엔디드 기준 전압을 발생하는 상기 단계 동안, 상기 제 1 전류와 동일한 전류가 상기 반도체 구조를 통해 흐르게 하는 단계를 더 포함하는, 집적 회로에서의 기준 전압 제공 방법.

**청구항 10**

제 1 항에 있어서,

상기 제 1 NVM 트랜지스터의 상기 문턱 전압을 프로그래밍하기 전에, 상기 터널링 캐패시터를 통해 상기 제 1 NVM 트랜지스터를 소거하는 단계를 더 포함하는, 집적 회로에서의 기준 전압 제공 방법.

**청구항 11**

제 1 항에 있어서,

상기 제 1 NVM 트랜지스터의 상기 문턱 전압은 파울러 노르드하임(Fowler-Nordheim) 터널링에 의해 프로그래밍되는, 집적 회로에서의 기준 전압 제공 방법.

**청구항 12**

기준 전압을 발생하기 위한 전압 기준 회로에 있어서,

프로그램된 전하를 저장하도록 구성된 제 1 부동 게이트를 갖는 제 1 비휘발성 메모리(NVM) 트랜지스터로서, 상기 기준 전압은 상기 제 1 부동 게이트 상에 저장된 상기 프로그램된 전하에 응답하여 발생하는, 상기 제 1 비휘발성 메모리(NVM) 트랜지스터;

상기 제 1 부동 게이트를 상기 제 1 NVM 트랜지스터와 공유하는 터널링 캐패시터로서, 상기 터널링 캐패시터는 상기 제 1 부동 게이트로부터 격리된 프로그래밍 단자를 갖는, 상기 터널링 캐패시터;

상기 제 1 NVM 트랜지스터의 전기적 및 열적 특성들과 매칭하도록 선택된 전기적 및 열적 특성들을 갖는 반도체 구조; 및

상기 전압 기준 회로가 상기 기준 전압을 발생하는 정상 동작 모드 동안, 상기 반도체 구조에 상기 프로그래밍 단자를 결합하도록 구성된 제 1 스위치를 포함하는, 기준 전압 발생을 위한 전압 기준 회로.

**청구항 13**

제 12 항에 있어서,

상기 프로그램된 전하가 상기 제 1 부동 게이트 상에 저장되는 프로그래밍 모드 동안, 상기 프로그래밍 단자를 프로그래밍 전압에 결합하도록 구성된 제 2 스위치를 더 포함하는, 기준 전압 발생을 위한 전압 기준 회로.

**청구항 14**

제 12 항에 있어서,

상기 프로그래밍 단자는 비휘발성 메모리 트랜지스터 구조의 공통 결합된 소스/드레인 영역들을 포함하는, 기준 전압 발생을 위한 전압 기준 회로.

**청구항 15**

제 12 항에 있어서,

상기 제 1 NVM 트랜지스터와 공통 소스 구성으로 결합된 제 2 NVM 트랜지스터; 및

상기 제 1 및 제 2 NVM 트랜지스터들에 결합된 입력들과 상기 기준 전압을 제공하도록 구성된 출력을 갖는 차동 증폭기를 더 포함하는, 기준 전압 발생을 위한 전압 기준 회로.

**청구항 16**

제 12 항에 있어서,

상기 제 1 NVM 트랜지스터는 상기 제 2 NVM 트랜지스터와 동일하며 또한 상기 반도체 구조는 상기 제 1 및 제 2 NVM 트랜지스터들과 동일한 제 3 NVM 트랜지스터인, 기준 전압 발생을 위한 전압 기준 회로.

**청구항 17**

제 12 항에 있어서,

상기 반도체 구조는 NVM 트랜지스터 구조를 포함하고,

상기 NVM 트랜지스터 구조는:

상기 제 1 스위치가 상기 드레인 영역과 상기 프로그래밍 단자 간에 결합되는 드레인 영역;

상기 드레인 영역에 결합되는 제어 게이트; 및

상기 제어 게이트에 결합되는 제 2 부동 게이트를 포함하는, 기준 전압 발생을 위한 전압 기준 회로.

**청구항 18**

제 17 항에 있어서,

상기 NVM 트랜지스터 구조는 상기 제 1 NVM 트랜지스터의 소스 영역에 공통으로 결합된 소스 영역을 더 포함하는, 기준 전압 발생을 위한 전압 기준 회로.

**청구항 19**

제 12 항에 있어서,

상기 제 1 NVM 트랜지스터를 통해 흐르는 전류와 동일한 전류를 상기 반도체 구조를 통해 도입하도록 구성된 바이어스 트랜지스터(bias transistor)를 더 포함하는, 기준 전압 발생을 위한 전압 기준 회로.

**명세서**

**기술분야**

<1> 관련 출원

<2> 본 출원은 2006년 12월 4일자에 Radu A. Sporea, Sorin S. Georgescu, Ilie M. Poenaru에 의해 출원된 미국임시특허출원 제60/868,456호에 관한 것으로 그의 우선권을 주장한다.

<3> 본 발명은 표준 CMOS 기술을 사용하는 비휘발성 프로그래밍 가능 집적회로들(non-volatile programmable integrated circuits)의 분야이다.

**배경기술**

<4> 부동 게이트 기준 회로들(floating gate reference circuits)은 비휘발성 메모리 트랜지스터(non-volatile memory transistor)의 부동 게이트(floating gate) 상에 저장된 전하에 응답하여 기준 전압을 발생시킨다. 상기 비휘발성 메모리 트랜지스터는 통상적으로 프로그래밍 캐패시터(programming capacitor)의 얇은 산화물을 통하

여 프로그램된다. 그러나, 특히 고온에서, 장시간의 기간 동안, 바이어스 전압(bias voltage)이 인가되면, 이 얇은 산화물을 통하여 전하가 누설될 수 있고, 그에 의해, 발생된 기준 전압에 바람직하지 않게 악영향을 미친다. 그러므로, 부동 게이트 기준 회로에서 비휘발성 메모리 트랜지스터를 정확하게 프로그래밍한 다음, 장시간의 기간 동안, 프로그램된 전하를 유지하기 위한 회로를 갖도록 하는 것이 바람직하다.

**발명의 상세한 설명**

- <5> 따라서, 본 발명은 제 1 비휘발성 메모리(NVM) 트랜지스터의 프로그램된 문턱 전압(threshold voltage)에 응답하여 싱글-엔디드 기준 전압(single-ended reference voltage)을 제공하는 전압 기준 회로를 제공한다. 상기 제 1 NVM 트랜지스터의 상기 문턱 전압은, 상기 제 1 NVM 트랜지스터와 부동 게이트를 공유하는 터널링 캐패시터(tunneling capacitor)를 통해 초기에 프로그램된다. 상기 터널링 캐패시터의 프로그래밍 단자(즉, 공통으로 접속된 소스/드레인 영역들(source/drain regions))은 얇은 산화물에 의해 이 부동 게이트로부터 격리된다. 상기 제 1 NVM 트랜지스터의 상기 문턱 전압은 상기 터널링 캐패시터의 프로그래밍 단자에 프로그래밍 전압을 인가함으로써 프로그램되며, 그에 의해, 상기 얇은 산화물 양단에 파울러-노르드하임(Fowler-Nordheim) 터널링이 유발된다.
- <6> 상기 전압 기준 회로가 정상 동작하는 동안, 상기 제 1 NVM 트랜지스터는 제 2 NVM 트랜지스터와 전류 미러 구성(current mirror configuration)으로 접속된다. 상기 제 1 NVM 트랜지스터와 상기 제 2 NVM 트랜지스터의 상기 드레인들에 결합된 입력들을 갖는 차동 증폭기(differential amplifier)는 출력으로서 기준 전압을 제공한다. 또한 정상 동작하는 동안, 상기 터널링 캐패시터의 상기 프로그래밍 단자는 상기 제 1 NVM 트랜지스터의 상기 부동 게이트와 동일한 전기적 및 열적 특성들을 갖도록 구성된 반도체 구조(예, 제 3 NVM 트랜지스터)에 접속된다. 결과적으로, 정상 동작하는 동안, 상기 프로그래밍 단자의 전압은 넓은 동작 조건들의 범위에 걸쳐, 상기 제 1 NVM 트랜지스터의 상기 부동 게이트의 상기 전압과 실질적으로 동일하게 유지할 수 있으며, 그에 의해, 상기 터널링 캐패시터를 통한 전하의 손실을 최소화할 수 있다.
- <7> 본 발명은 하기의 설명과 도면을 참조하면 더 충분히 이해할 수 있을 것이다.

**실시예**

- <14> 도 1은 CMOS 부동 게이트 전압 기준 회로(100)의 일부의 회로도로서, 본 발명의 일 실시예에 따라 구성된 회로도이다. 이 회로(100)는 p-채널 MOS 트랜지스터들(101-103), n-채널 비휘발성 메모리(NVM) 트랜지스터들(104-106), 얇은 유전체 터널 캐패시터(107), n-채널 MOS 트랜지스터(108), 캐패시터(109), 스위치들(110-114), 차동 증폭기(115) 및 바이어스 제어 회로(bias control circuit)(140)를 포함한다.
- <15> 일반적으로, 상기 CMOS 부동 게이트 전압 기준 회로(100)는 NVM 트랜지스터들(104,105)의 드레인들에 결합된 입력 단자들을 갖는 비교기(comparator)(115)의 출력에서 기준 출력 전압(Vout)을 발생시킨다. 캐패시터(109)(즉, NVM 트랜지스터(105)의 부동 게이트(125))는 NVM 트랜지스터(104)의 제어 게이트와 부동 게이트에 인가된 전압을 제어하는 동안, 소망했던 전하로 초기에 프로그램된다. 프로그래밍이 완료된 후, 비교기(115)의 출력은 NVM 트랜지스터(104)의 제어 게이트와 부동 게이트로 피드백되어, 출력 기준 전압(Vout)을 발생시킨다. 일 실시예에서, CMOS 전압 기준 회로(100)는 두 개의 NVM 트랜지스터들을 사용하고, 이들 NVM 트랜지스터들 중 하나의 부동 게이트는 다른 NVM 트랜지스터의 부동 게이트가 소망했던 전하로 프로그램되는 동안, 방전(예, UV선 조사에 의한 방전) 된다. 다른 실시예에서, 전(full) CMOS 전압 기준 회로는 공동으로 소유된 미국특허출원 제11/355,394호 또는 공동으로 소유된 미국특허출원 제11/611,665호에 서술된 바와 같이 실시될 수도 있다.
- <16> 비휘발성 메모리 트랜지스터들(104,105,106)은 제각기 부동 게이트들(124,125,126) 및 제어 게이트들(134,135,136)을 포함한다. NVM 트랜지스터들(104-106)은 동일한 기하학적 형태 및 횡단 구조를 갖는다. NVM 트랜지스터들(104-106)의 본체 영역들(body regions)은 접지에 접속된다. 비휘발성 메모리 트랜지스터들(104-106) 각각은 부동 게이트들(124-126)로부터 전하 누설을 방지하도록 충분히 큰 유전체 두께(예, 100 옹스트롬 이상)를 갖는 표준 이중 폴리실리콘 게이트 구조(double polysilicon gate structure)를 갖는다. 일 실시예에서, 각각의 부동 게이트들(124-126)은 약 150 내지 250 옹스트롬의 유효 실리콘 이산화물 두께를 갖는 유전체에 의해 대응하는 제어 게이트들(134-136)로부터 격리된다. 이 유전체는 예컨대, 실리콘 산화물/실리콘 질화물/실리콘 산화물(ONO)의 샌드위치일 수 있다. 메모리 트랜지스터들(104,105)의 제어 게이트들(134,135)은 이 유전체를 통하여 그들 각각의 부동 게이트들(124,125)에 용량적으로 결합된다. NVM 트랜지스터(106)의 제어 게이트(136) 및 부동 게이트(126)는 하기 설명으로부터 명백해질 이유 때문에 NVM 트랜지스터(106)의 드레인에 전기적으로 단락

된다.

- <17> 용량(C1)을 갖는 캐패시터(109)는 비휘발성 메모리 트랜지스터(105)의 부동 게이트(125)와 제어 게이트(135) 간에 결합된다. 캐패시터(109)는 부동 게이트(125)에 대한 용량 결합을 증가시키며 또한 요구되는 프로그래밍 전압을 저하시키는데 도움을 준다.
- <18> 터널 캐패시터(107)는 공통 결합된 소스와 드레인 영역들, NVM 트랜지스터(105)의 제어 게이트(135)와 공통인 제어 게이트, 그리고 NVM 트랜지스터(105)의 부동 게이트(125)와 공통인 부동 게이트를 갖는 부동 게이트 트랜지스터에 의해 형성된다.
- <19> 위 설명된 실시예에서, 터널 캐패시터(107)는 약 6 내지 12 볼트의 범위 내의 고전압 바이어스 하에서 전류를 도통시킬 수 있는 얇은 유전체(약 60 내지 120 옹스트롬의 유효 실리콘 이산화물)를 갖는다. 이하에 좀더 상세히 설명되는 바와 같이, 터널 캐패시터(107)의 얇은 유전체를 통하여 터널링 전류가 부동 게이트(125)로 통과되어, 비휘발성 메모리 트랜지스터(105)의 문턱 전압을 소망하는 레벨들로 변경할 수 있다. 좀더 구체적으로, 터널 캐패시터(107)는 터널 캐패시터(107)의 얇은 유전체 양단에 (어느 한 극성의) 큰 전압을 걸어줌으로써 파울러-노르드하임 도전을 통하여 전기 충전을 허용한다. 이 물리적 프로세스(process)는 EEPROM 메모리 디바이스들(devices) 분야에서 알 수 있는 것들로 잘 알려져 있다.
- <20> 비휘발성 메모리 트랜지스터들(104-106)의 소스들은 n-채널 트랜지스터(108)의 드레인에 공통으로 접속된다. n-채널 트랜지스터(108)의 소스는 접지에 결합되고, 또한 n-채널 트랜지스터(108)의 게이트는 바이어스 제어 회로(140)로부터 바이어스 신호(N-BIAS)를 수신하도록 결합된다. 비휘발성 메모리 트랜지스터(104,105,106)의 드레인들은 p-채널 트랜지스터들(101,102,103)의 드레인들에 제각기 결합된다. p-채널 트랜지스터들(101-103)의 소스들과 본체 영역들은  $V_{DD}$  전압 공급 단자에 공통으로 접속된다. p-채널 트랜지스터들(101,102)의 게이트들은 p-채널 트랜지스터(102)의 드레인에 공통으로 접속된다. 그러므로, p-채널 트랜지스터들(101,102)은 전류 미러 구성으로 배열된다. 설명된 실시예에서, p-채널 트랜지스터들(101,102)은 동일한 트랜지스터들이다. 결과적으로, p-채널 트랜지스터들(101,102)과 비휘발성 메모리 트랜지스터들(104,105)은 두 개의 매칭된 회로 분지들(matched circuit branches)을 형성한다.
- <21> p-채널 트랜지스터(103)의 게이트는 바이어스 제어 회로(140)로부터 바이어스 신호(P-BIAS)를 수신하도록 결합된다. p-채널 트랜지스터(103)의 드레인과 NVM 트랜지스터(106)의 드레인은 단자(121)에서 스위치(112)에 결합된다. 스위치들(110,111)은 제각기 비휘발성 메모리 트랜지스터(105)의 제어 게이트(135)를 접지 단자 또는 소거 전압 단자(VPE)에 선택적으로 결합하도록 구성된다. 스위치들(112,113,114)은 제각기 터널 캐패시터(107)의 소스/드레인 영역들을 단자(121), 프로그래밍 전압 단자(VPW) 또는 접지 단자에 선택적으로 결합하도록 구성된다.
- <22> 차동 증폭기(115)의 입력 단자들은 p-채널 트랜지스터들(101,102)의 드레인들에 결합된다. 차동 증폭기(115)의 출력 단자는 프로그래밍 논리(도시안됨) 및 출력 기준 전압( $V_{OUT}$ )을 공급하는 기준 전압 출력 단자에 결합된다.
- <23> 일반적으로, 회로(100)는 다음과 같이 동작한다. 비휘발성 메모리 트랜지스터(104)는 초기에 0에 가까운 전하를 갖도록 제어된다. 도 2는 본 발명의 일 실시예에 따른 NVM 트랜지스터(104)의 부동 게이트 전하를 설정하는 것을 나타내는 회로도이다. 이 실시예에서, 비휘발성 메모리 트랜지스터(104)의 부동 게이트(124)는 초기에 자외선(UV) 조사(예, 표준 EEPROM 메모리 프로세스의 UV 소거 방식을 사용)에 의해 중성 상태로 방전된다. 트랜지스터들((105,106)의 부동 게이트들(125,126)은 통상적으로 부동 게이트(124)와 동시에 방전된다는 것을 주목해야한다. 그러나, 최초의 방전이 완료된 후, 비휘발성 메모리 트랜지스터(104)의 문턱 전압은 회로(100)의 동작을 실질적으로 동일하게 유지시킨다. 즉, 문턱 전압이 비휘발성 메모리 트랜지스터(104)에 설정된 후, 부동 게이트(124)의 안에서나 또는 밖에서 의도적인 전하 이동이 없다.
- <24> 문턱 전압이 메모리 트랜지스터(104)에 설정된 후, 비휘발성 메모리 트랜지스터(105)에서 소거 동작이 수행된다. 도 3은 본 발명의 일 실시예에 따른 NVM 트랜지스터(105)상에 수행된 소거 동작을 나타내는 회로도이다. 소거 동작을 수행하기 전에, n-채널 트랜지스터(108)를 통과하는 전류는 N-BIAS 신호에 의해 소망하는 레벨까지 설정된다. 소거 동작은 비휘발성 메모리 트랜지스터(105)의 부동 게이트(125) 상에 초기의 큰 음 전하(negative charge)(높은 문턱 전압에 대응함)를 설정한다. 소거 단계를 수행하기 위해, 비교기(115)의 출력은 NVM 트랜지스터(104)의 제어 게이트(134)에 결합된다. 스위치(114)가 폐쇄되고, 스위치들(112,113)이 개방되면, 그에 의해, 0 볼트의 전압을 터널 캐패시터(107)의 소스/드레인 영역들에 인가한다. 스위치(111)가 폐쇄되고, 스위치(110)가 개방되면, 소거 단자(VPE)에 인가된 소거 신호가 NVM 트랜지스터(105)의 제어 게이트(135)와 터



널 캐패시터(107)에 결합된다. 소거 신호는 0 볼트의 저전압에서 15볼트의 고전압까지 변화한다. 이러한 동작을 하는 동안, 터널 캐패시터(107)의 얇은 유전체 양단에 걸리는 전압은 부동 게이트(125)를 음 전하로 충전하는 파울러-노르드하임 터널링 전류를 야기한다.

- <25> 결과적으로, 비휘발성 메모리 트랜지스터(105)의 문턱 전압은 통상적으로 2 내지 8 볼트의 범위 내에서 비교적 큰 값까지 증가된다. 부동 게이트(125)의 최종 전위와 비휘발성 메모리 트랜지스터(105)의 대응하는 문턱 전압은 인가된 소거 신호의 최고치에 의존한다. 이 비휘발성 메모리 트랜지스터(105)가 결과로서 프로그램되기 전에, 이 문턱 전압이 수용가능한 초기 상태를 설정해야만 되기 때문에 비휘발성 메모리 트랜지스터(105)의 정밀한 문턱 전압은 이 단계에서 중요하지 않다.
- <26> 그 다음, 비휘발성 메모리 트랜지스터(105)가 프로그램된다. 좀더 구체적으로, 비휘발성 메모리 트랜지스터(105)의 부동 게이트(125)는 기준 전압으로서 메모리 트랜지스터(104)의 제어 게이트(134)(즉, IN 핀) 상에 인가된 전압을 사용하여 폐쇄 루프 사이클(closed loop cycle)에서 정밀한 양 전하(positive charge)로 프로그램된다.
- <27> 도 4는 본 발명의 일 실시예에 따른 NVM 트랜지스터(105)의 프로그래밍을 나타내는 회로도이다. 이 프로그래밍 동작 동안, 비휘발성(115)의 출력은 NVM 트랜지스터(104)로부터 디커플(decouple)되고, 또한 기준 전압( $V_{REF}$ )은 NVM 트랜지스터(104)의 제어 게이트(134)(즉, IN 핀)에 인가된다.
- <28> 스위치(113)가 폐쇄되고, 스위치들(112, 114)이 개방되어, 프로그래밍 단자(VPW)가 터널 캐패시터(107)의 소스/드레인 영역들에 결합된다. 스위치(110)가 폐쇄되고, 스위치(111)가 개방되면, NVM 트랜지스터(105)의 제어 게이트(135)와 터널 캐패시터(107)가 접지에 결합된다. 프로그래밍 신호는 프로그래밍 단자(VPW)에 인가되고, 여기서, 프로그래밍 신호는 10 볼트 이상의 양의 값까지 상승된다. 제어 게이트(135)가 접지되기 때문에 터널 캐패시터(107)의 얇은 유전체 양단에 인가된 전압은 파울러-노르드하임 터널링 전류를 야기하여 부동 게이트(125)로부터 음 전하를 제거한다. 결과적으로, 비휘발성 메모리 트랜지스터(105)의 문턱 전압이 감소된다. 여기서 주목해야하는 것은 터널 캐패시터(107) 양단에 인가된 고 전압이 소거 동작과 프로그램 동작 동안 상이한 극성들을 갖는다는 것이다.
- <29> 부동 게이트(125)로부터 더 많은 음 전하가 제거되기 때문에, 트랜지스터(105)의 문턱 전압은 계속하여 감소되며, 그에 의해, 비휘발성 메모리 트랜지스터(105)를 통해 흐르는 전류를 증가시키게 된다. 비휘발성 메모리 트랜지스터(105)의 프로그래밍은 NVM 트랜지스터(105)를 통해 흐르는 드레인 전류가 메모리 트랜지스터(104)를 통하여 흐르는 드레인 전류와 동일할 때까지 계속된다. NVM 트랜지스터(105)의 드레인 전류가 메모리 트랜지스터(104)를 통하여 흐르는 드레인 전류보다 커지게 될 때, 차동 증폭기(115)의 출력이 상태를 변경하여, 프로그래밍 동작을 정지(프로그래밍 단자(VPW)에 인가된 프로그래밍 신호를 차단함으로써)하도록 프로그램 논리(도시안됨)를 시그널링(signaling)한다. 이 때에 비휘발성 메모리 트랜지스터(105)의 문턱 전압은 프로그래밍 동안, NVM 트랜지스터(104)의 제어 게이트(134)에 인가된 기준 전압( $V_{REF}$ )을 정밀하게 나타내는 값으로 프로그램된다.
- <30> 그 다음, 정상 동작 모드가 인에이블되고, 여기서 NVM 트랜지스터들(104, 105)은 차동 증폭기(115)에 결합되고, 그에 의해, 차동 증폭기(115)가 NVM 트랜지스터(105)의 프로그램된 문턱 전압에 대응하는 기준 전압( $V_{OUT}$ )을 출력하게 된다. 이러한 방식으로, 안정되고 정밀한 기준 전압이 낮은 임피던스 노드(impedance node) 상에 제공된다.
- <31> 도 5는 본 발명의 일 실시예에 따른 정상 동작 모드를 나타내는 회로도이다. 바이어스 제어 회로(140)는 도 5에 더 상세히 도시된다. 도시된 실시예에서, 바이어스 제어 회로(140)는 p-채널 트랜지스터(141), n-채널 트랜지스터(142) 및 N-BIAS 전압 발생기(145)를 포함한다.
- <32> 정상 동작 모드를 인에이블하기 위해, 비교기(115)의 출력 단자는 NVM 트랜지스터(104)의 제어 게이트(134)에 결합된다(또한 NVM 트랜지스터(104)는 외부 기준 전압( $V_{REF}$ )으로부터 디커플된다). 스위치(110)가 폐쇄되고, 스위치(111)가 개방되면, NVM 트랜지스터(105)의 제어 게이트(135)와 터널 캐패시터(107)가 접지에 결합된다. 그 외에도, 스위치(112)가 폐쇄되고, 스위치들(113, 114)가 개방되면, 터널 캐패시터(107)의 소스/드레인 영역들은 단자(121)에 접속된다.
- <33> 이들 조건하에서, p-채널 트랜지스터들(101, 102)은 제각기 NVM 트랜지스터들(104, 105)의 드레인들을 통하여 동일한 전류가 흐르도록 강제한다. NVM 트랜지스터들(104, 105)의 드레인 전류들 간의 불균형은 차동 증폭기(115)에 의해 증폭된다. 차동 증폭기(115)의 출력은 NVM 트랜지스터(104)의 제어 게이트(134)로 피드백되어, NVM 트

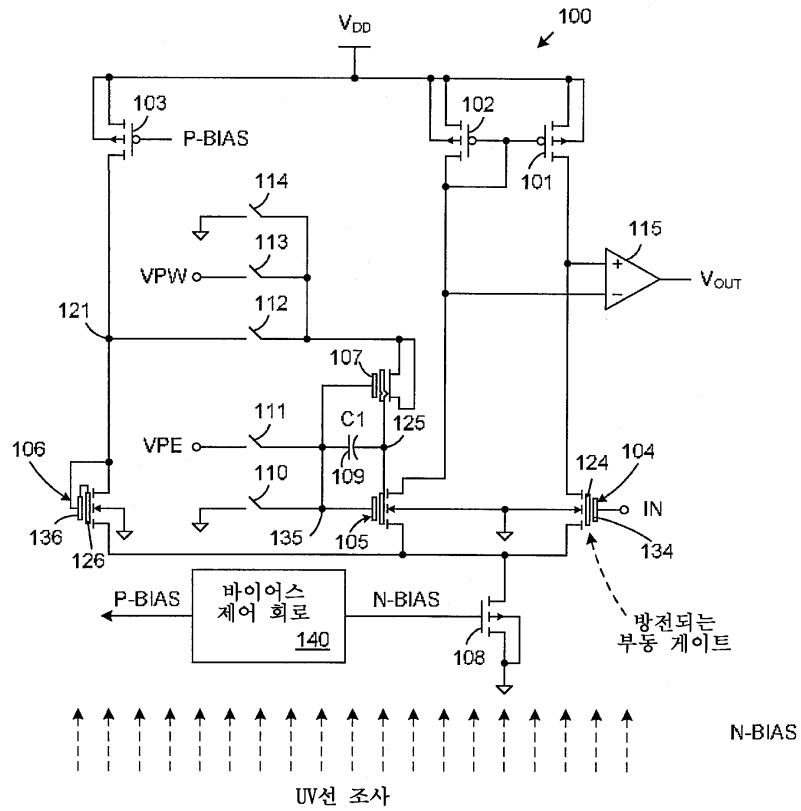
랜지스터(104,105)를 통하여 흐르는 전류가 동일하고, 두 부동 게이트들(124,125)이 동일 전압으로 유지되는 것을 보장한다. 결과적으로, 출력 기준 전압( $V_{OUT}$ )은 부동 게이트(125)의 프로그램된 전압에 대응한다.

- <34> 스위치(112)를 폐쇄함으로써, 터널 캐패시터(107)의 소스/드레인 영역들은 PMOS 트랜지스터(103)의 드레인, NVM 트랜지스터(106)의 드레인, NVM 트랜지스터(106)의 제어 게이트(136) 및 NVM 트랜지스터(106)의 부동 게이트(126)에 공통으로 접속된다. 스위치(112)에 의해 제공된 접속은 하기와 같은 이유 때문에 중요하다.
- <35> 터널 캐패시터(107)의 얇은 유전체는 이 유전체 양단의 전압이 0 볼트 이외의 값을 가질 때, 캐패시터(109)로부터 바람직하지 않게 전하를 누설하는 원천이 된다. 터널 캐패시터(107)의 얇은 유전체를 통한 전하 손실은 온도와 더불어 증가한다.
- <36> 터널 캐패시터(107)의 얇은 유전체를 통한 전하 누설을 제거하기 위해, 스위치(112)는 터널 캐패시터(107)의 프로그래밍 단자(즉, 소스/드레인 영역들)를 부동 게이트(125)와 동일한 온도 의존성을 나타내며, 또한 그에 대응하는 전기 전위에 접속시킨다. 결과적으로, 동일한 온도에 준한 전압 변동들이 터널 캐패시터(107)의 부동 게이트(125)와 소스/드레인 영역들 양자에서 발생한다. 결론적으로, 가변하는 온도에 걸쳐 터널 캐패시터(107)의 부동 게이트(125)와 소스/드레인 영역들 양단에 0 전압 차가 유지되어, 전하 누설을 최소화한다.
- <37> 단자(121)는 하기 방식으로 부동 게이트(125)와 동일한 온도 의존성과 동일한 전기 전위를 제공받는다. 바이어스 제어 회로(140)에서, p-채널 트랜지스터(141)는 p-채널 트랜지스터들(101,102,103)과 동일하며, n-채널 트랜지스터(142)는 n-채널 트랜지스터(108)보다 3배 더 작다. 결과적으로, n-채널 트랜지스터(142)를 통해 흐르는 전류(그러므로, p-채널 트랜지스터(141)를 통해 흐르는 전류)는 n-채널 트랜지스터(108)를 통해 흐르는 전류의 1/3과 동일하다. p-채널 트랜지스터들(141,103)이 전류 미러 배열로 구성되기 때문에, p-채널 트랜지스터(103)를 통해 흐르는 전류는 p-채널 트랜지스터(141)를 통해 흐르는 전류와 동일하거나 또는 n-채널 트랜지스터(108)를 통해 흐르는 전류의 1/3과 동일하다. 그러므로, NVM 트랜지스터(106)를 통해 흐르는 전류는 n-채널 트랜지스터(108)를 통해 흐르는 전류의 1/3과 동일하다.
- <38> n-채널 트랜지스터(108)를 통해 흐르는 전류의 나머지 2/3 전류는 p-채널 트랜지스터(101,102)를 통해 흐른다. 상술한 바와 같이, 이들 p-채널 트랜지스터들(101,102)의 구성은 이들 트랜지스터들을 통해 흐르는 전류와 실질적으로 동일하게 된다. 따라서, 각각의 p-채널 트랜지스터들(101,102)을 통하여 흐르는 전류는 n-채널 트랜지스터(108)를 통하여 흐르는 전류의 1/3과 거의 동일하다. 따라서, 실질적으로 동일한 전류가 p-채널 트랜지스터들(101,102,103)을 통하여 흐른다. 결론적으로, 실질적으로 동일한 전류들은 또한 연관된 NVM 트랜지스터들(104,105,106)을 통해서도 흐른다.
- <39> 상술한 바와 같이, NVM 트랜지스터(106)는 NVM 트랜지스터들(104,105)과 동일한 기하학적 형태와 횡방향 구조를 갖는다. 그러나, NVM 트랜지스터(106)의 드레인, 제어 게이트(136) 및 부동 게이트(126)는 전기적으로 단락된다. NVM 트랜지스터(106)의 부동 게이트(126)가 NVM 트랜지스터(105)의 부동 게이트(125)와 동일하기 때문에, 이들 부동 게이트들의 전기적 및 열적 특성들은 실질적으로 동일하다. 따라서, 터널 캐패시터(107)의 소스/드레인 영역들을 NVM 트랜지스터(106)의 부동 게이트(126)에 결합함으로써, 터널 캐패시터(107)의 소스/드레인 영역들의 전기적 및 열적 특성들이 부동 게이트(125)의 전기적 및 열적 특성들과 실질적으로 동일하다. 이들 NVM 트랜지스터들(105,106)을 통해 흐르는 전류를 동일하게 유지시키면, 이들 NVM 트랜지스터들은 실질적으로 동일한 동작 조건들을 갖게 될 것이다.
- <40> 이들 조건하에서, 터널 캐패시터(107)의 소스/드레인 영역들과 부동 게이트(125) 간에 0 전압 강하가 유지되므로, 캐패시터(109)로부터 터널링 캐패시터(107)의 얇은 유전체를 통한 전하 누설이 근본적으로 제거된다.
- <41> 본 발명은 프로그램된 기준 전압의 정밀성을 유리하게 증가시키고, 시간에 걸쳐 프로그램된 기준 전압의 안정성을 증가시키고, 기준 전압 회로를 실현하기 위해 필요한 전류 소모를 감소시키고, 또한 전체적으로 작은 회로 영역을 보유한다.
- <42> 도 6은 본 발명의 다른 실시예에 따른 CMOS 부동 게이트 전압 기준 회로(600)의 일부의 회로도이다. CMOS 부동 게이트 전압 기준 회로(600)는 CMOS 부동 게이트 전압 기준 회로(100)(도 1)와 동일하기 때문에, 도 1과 도 6에서의 동일 요소들에 동일한 참조 번호를 부여한다. 도 6의 실시예에서, 비휘발성 메모리 트랜지스터(104)의 부동 게이트(124)와 제어 게이트(134)가 전기적으로 단락되면, 그에 의해, 트랜지스터(104)가 표준 문턱 전압을 나타내는 표준 게이트 트랜지스터로 효과적으로 렌더링된다. 이 실시예에서, 트랜지스터(104)의 부동 게이트(124)를 도 2와 관련하여 상술한 방식으로 초기에 UV선 조사에 노출함으로써 중성 상태로 방전시킬 필요가 없다. 그러나, CMOS 부동 게이트 전압 기준 회로(600)는 도 3, 4 및 5와 관련하여 상술한 동일 방식으로 동일한

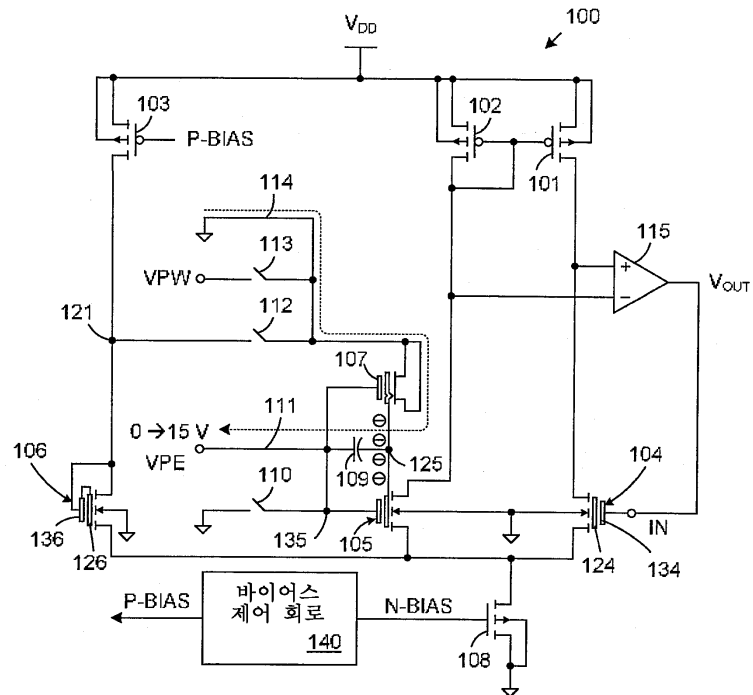




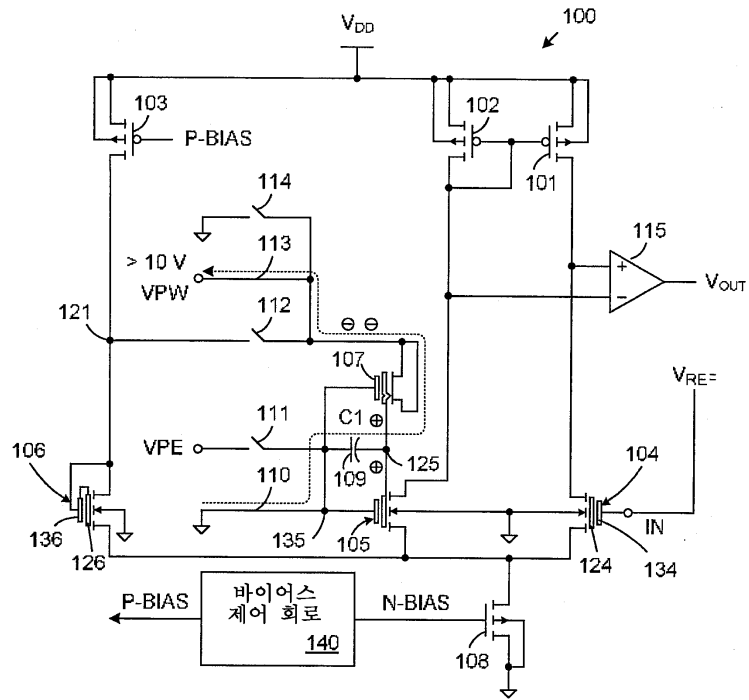
도면2



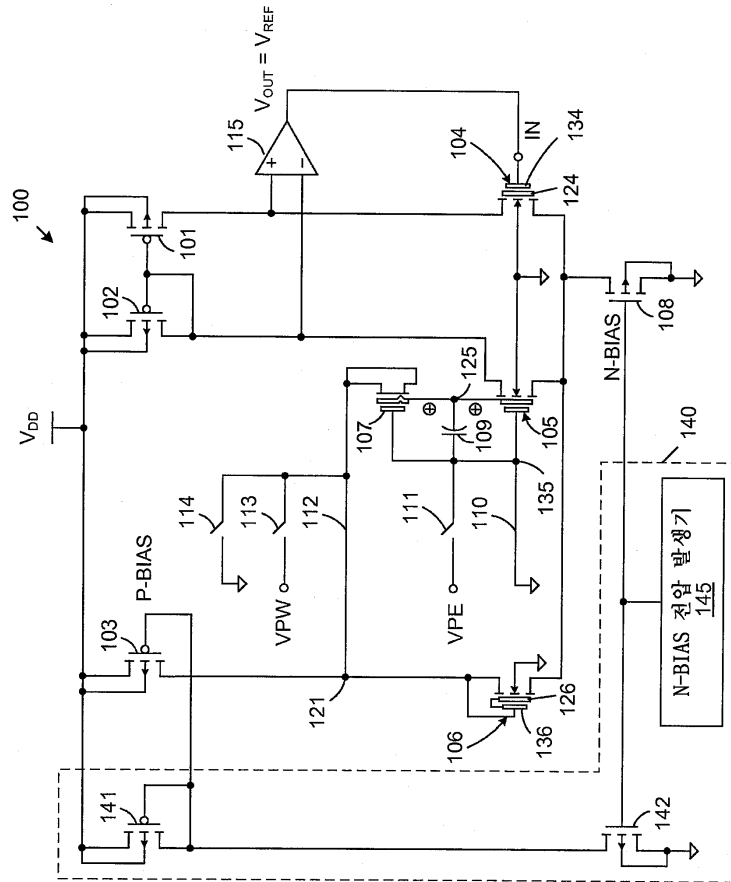
도면3



도면4



도면5



도면6

