

申請日期: 89.1.17	案號: SF100690
類別: H01L 21/60	

(以上各欄由本局填註)

## 發明專利說明書

432561

一、 發明名稱	中文	多晶片封裝構造
	英文	
二、 發明人	姓名 (中文)	1. 鍾卓良 2. 劉立中 3. 陳文傑
	姓名 (英文)	1. CHUNG Mark 2. LIU Sam 3. CHEN W. J.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 高雄縣鳳山市文和街5號 2. 高雄縣鳳山市西湖街52號11樓 3. 高雄市三民區鼎祥街71號9樓
三、 申請人	姓名 (名稱) (中文)	1. 南茂科技股份有限公司
	姓名 (名稱) (英文)	1. ChipMOS TECHNOLOGIES INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研發一路一號
	代表人 姓名 (中文)	1. 陳文藝
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

## 發明領域：

本發明係有關於一種多晶片封裝構造(multi-chip module, MCM)，特別有關於一種具有異方性導電膠層(anisotropic conductive adhesive)之多晶片封裝構造。

## 先前技術：

由於電子產品越來越輕薄短小，使得用以保護半導體晶片以及提供外部電路連接的封裝構造也同樣需要輕薄短小化。薄小輪廓封裝構造(thin small outline package, TSOP)即為一具代表性之薄形化封裝構造。

薄小輪廓封裝構造之主要訴求即為較薄之封裝厚度(package thickness)，薄小輪廓封裝構造之厚度約為1毫米，而傳統之薄小輪廓封裝構造(small outline package, SOP)或薄小輪廓J-腳封裝構造(small outline J-lead, SOJ)封裝構造之厚度則約為2.5至3.5毫米。由於薄小輪廓封裝構造已發展成為主流技術之一，且相關週邊配合措施也已發展成熟，所以其極具成本優勢，且也易為市場接受。

此外，隨著微小化以及高運作速度需求的增加，多晶片封裝構造在許多電子裝置越來越吸引人。多晶片封裝構造可藉由將兩個以上之晶片組合在單一封裝構造中，來使系統運作速度之限制最小化。此外，多晶片封裝構造可減少晶片間連接線路之長度而降低訊號延遲以及存取時間。

最常見的多晶片封裝構造為並排式(side-by-side)多晶

檢  
查

## 五、發明說明 (2)

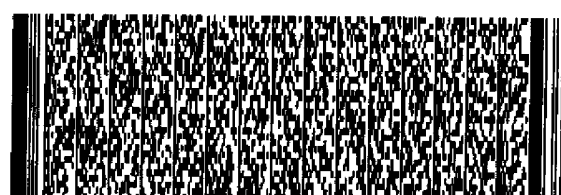
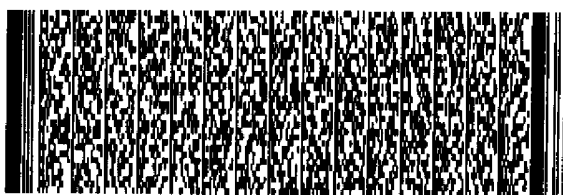
片封裝構造，其係將兩個以上之晶片彼此並排地安裝於一共同基板之主要安裝面。晶片與共同基板上導電線路間之連接一般係藉由線鉚法(wire bonding)。然而該並排式多晶片封裝構造之缺點為封裝效率太低，因為可用之晶片安裝區域只限於該共同基板之一面。

因此半導體業界發展出將晶片分別安裝於一共同基板兩面的多晶片封裝構造100 (參見第一圖)。然而該兩面式(two-sided)多晶片封裝構造100之缺點為封裝厚度無法降低，因為該封膠體110必須騰出空間以容納連接線(bonding wire)120、130。若晶片與共同基板上導電線路間之連接採用覆晶(flip chip)的方式，其雖可降低封裝厚度，然而該晶片與共同基板間較佳需填入一底層填料(underfill)用以密封該晶片與共同基板間之空隙並且減輕在錫球連接上的應力(其係由於該晶片與共同基板間的热膨脹係數不一所致)。由於該底層填料步驟(underfilling step)費時且該底層填料價昂，因此將增加製造成本。

## 發明概要：

本發明之主要目的係提供一種多晶片封裝構造，其厚度可降低至大約一毫米，藉此可利用習用薄小輪廓封裝構造之製程技術製造，因而降低製造成本。

根據本發明較佳實施例之多晶片封裝構造，其主要包含兩半導體晶片分別利用一異方性導電膠層安裝於一基板之上表面以及下表面，該多晶片封裝構造係藉由一導線架與



五、發明說明 (3)

外界連接。該基板之上表面以及下表面各設有複數個晶片連接墊(chip bonding pad)，該基板設有複數個基板鉚墊(contact pad)電性連接至相對應的複數個晶片連接墊。

該導線架係固設於該基板並且電性連接至相對應的基板鉚墊。該兩半導體晶片各具有複數個金屬突塊位於該兩半導體晶片正面。該每一半導體晶片之複數個金屬突塊係經由該異方性導電膠層電性連接至相對應的複數個晶片連接墊。該基板、導線架以及兩半導體晶片係為一封膠體包覆，其中該導線架之部分係自該封膠體向外延伸用以與外界電性溝通。

根據本發明較佳實施例之多晶片封裝構造，由於該晶片與基板上晶片連接墊間之連接係藉由該異方性導電膠層，因此該多晶片封裝構造之厚度可降低至大約一毫米，藉此降低其可利利用習用薄小輪廓封裝構造之製程技術製造，因而降低製造成本。

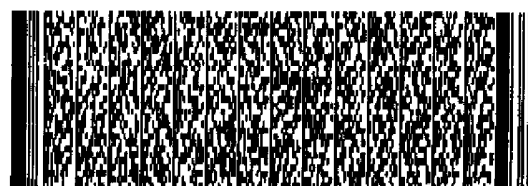
圖示說明：

為了讓本發明之上述和其他目的、特徵、和優點能更明顯特徵，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

第1圖：習知多晶片封裝構造之剖面示圖；

第2圖：根據本發明第一較佳實施例之多晶片封裝構造移除封膠體後之上視圖；

第3圖：根據本發明第一較佳實施例之多晶片封裝構造之剖面示圖；



## 五、發明說明 (4)

第 4 圖：根據本發明第一較佳實施例之局部放大剖面示圖；及

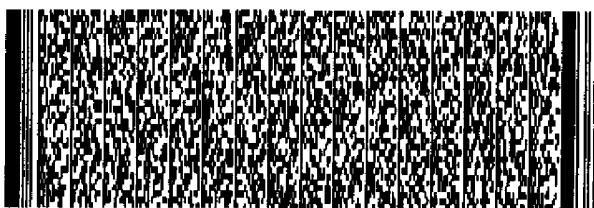
第 5 圖：根據本發明第二較佳實施例之多晶片封裝構造移除封膠體後之上視圖。

圖號說明：

100	多晶片封裝構造		
110	封膠體	120	連接線
200	多晶片封裝構造	130	連接線
210	基板	212	晶片連接墊
220	導線架	214	基板鉀墊
230	半導體晶片	222	導線
234	異方性導電膠層	224	金線
240	半導體晶片	232	金屬突塊
244	異方性導電膠層	242	金屬突塊
246	導電粒子	250	封膠體
300	多晶片封裝構造		
330	晶片	332	晶片
342	晶片	340	晶片

發明說明：

請參照第二圖以及第三圖，其係根據本發明第一較佳實施例之多晶片封裝構造200，其主要包含一基板210、一導線架220、兩半導體晶片230、240以及一封膠體250。該基板210之上表面以及下表面各設有複數個晶片連接墊212（請參照第四圖）。該基板210之上表面設有複數個基板



## 五、發明說明 (5)

銲墊214電性連接至相對應的複數個晶片連接墊212。該導線架220包含複數條導線222具有內腳部分(inner lead portion)以及外腳部分(outer lead portion)，該複數條導線222之內腳部分係以一絕緣層固設於該基板210之上表面。可以理解的是，該複數條導線222之內腳部分亦可以不導電膠例如環氧樹脂(epoxy)固設於該基板210之上表面。該每一條導線222之內腳部分係以連接線(例如金線224)連接至相對應的基板銲墊214。該兩半導體晶片230、240，具有複數個金屬突塊232、242(請參照第四圖)位於該兩半導體晶片230、240之正面。該兩半導體晶片230、240之複數個金屬突塊232、242係經由異方性導電膠層234、244電性連接至該基板210上表面以及下表面的複數個晶片連接墊212(請參照第四圖)。該基板210、導線架220以及兩半導體晶片230、240係為一封膠體250包覆，其中該導線架220之複數條導線222之外腳部分係自該封膠體250向外延伸用以與外界電性溝通。

請再參照第二圖及第三圖，該基板210係以不導電材質[例如FR-4玻璃環氧樹脂(glass-epoxy)或聚醯亞胺(polyimide)]製成。該導線架220較佳係由銅、鐵、鎳或其合金製成。此外該複數條導線222可以鍍上一層高導電物質例如銀、銅、金或鈮。該封膠體250之材質係為絕緣材料，較佳之塑料(molding compound)為Hitachi Chemical Company提供之CEL-9200XU塑料。

請再參照第四圖，該兩半導體晶片230、240之複數個金



## 五、發明說明 (6)

屬突塊232、242係設在該之晶片鉚墊(未示於圖中)上用以連接其內部電路。該金屬突塊232、242可利用習知的C4(Controlled Collapse Chip Connection)製程形成。該金屬突塊232、242較佳為利用習知的打線技術(wire bonding technique)形成之柱狀突塊(stud bump)。

已知適合用以形成該異方性導電膠層234、244的異方性膠為一「z軸異方性膠」，其係被填入低濃度之導電粒子246(請參照第四圖)，並且使得其在xy平面不會彼此接觸。因此，在z方向壓縮該物質將建立一導電路徑。「z軸異方性膠」可以是一黏稠糊狀物或是一膜。該兩種(糊狀物或膜)「z軸異方性膠」可以是熱塑性或熱固性。熱塑性異方性膠係先被加熱軟化使用後再冷卻固化。熱固性異方性膠則需加熱100-300°C，數分鐘至一小時或以上使其固化。

第五圖係為根據本發明第二較佳實施例之多晶片封裝構造300移除封膠體後之上視圖。該多晶片封裝構造300除了以兩對晶片330、340以及332、342取代該晶片230、240外，其係相同於第二圖以及第三圖中之多晶片封裝構造100。可以理解的是，該多晶片封裝構造300所使用之基板，其包含之電路佈局必須針對所使用之晶片330、340以及332、342設計。

根據本發明之多晶片封裝構造，由於該晶片與基板上晶片連接墊間之連接係藉由該異方性導電膠層，因此封裝厚

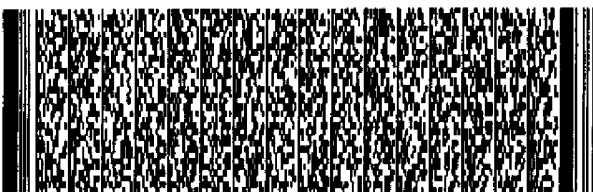




## 五、發明說明 (7)

度可降低至大約一毫米，藉此其可利用習用薄小輪廓封裝構造之製程技術製造，因而降低製造成本。此外根據本發明之多晶片封裝構造不需價昂之底層填料(underfill)，因此可降低製造成本。

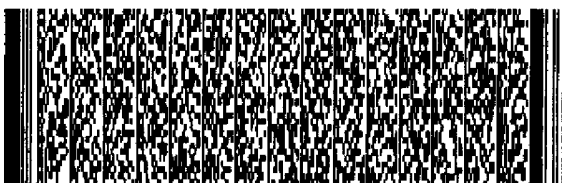
雖然本發明已以前述較佳實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。例如根據本發明之多晶片封裝構造，其雖然以包含兩個或四個半導體晶片之多晶片封裝構造為較佳實施例，然而可以理解的是根據本發明之多晶片封裝構造其也可包含四個以上之半導體晶片。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 四、中文發明摘要 (發明之名稱：多晶片封裝構造)

一種多晶片封裝構造，其主要包含兩半導體晶片分別利用一異方性導電膠層安裝於一基板之上表面以及下表面，該多晶片封裝構造係藉由一導線架與外界連接。該基板之上表面以及下表面各設有複數個晶片連接墊。該基板設有複數個基板鉚墊電性連接至相對應的複數個晶片連接墊。該導線架係固設於該基板並且電性連接至相對應的基板鉚墊。該兩半導體晶片各具有複數個金屬突塊位於該兩半導體晶片正面。該每一半導體晶片之複數個金屬突塊係經由該異方性導電膠層電性連接至相對應的複數個晶片連接墊。該基板、導線架以及兩半導體晶片係為一封膠體包覆，其中該導線架之部分係自該封膠體向外延伸用以與外界電性溝通。

## 英文發明摘要 (發明之名稱：)



六、申請專利範圍

1、一種多晶片封裝構造，其係包含：

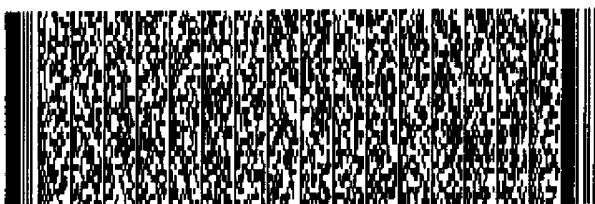
一基板，具有一上表面以及一下表面，該基板之上表面以及下表面各設有複數個晶片連接墊，該基板設有複數個基板鉚墊電性連接至相對應的複數個晶片連接墊；

一導線架，包含複數條導線具有內腳部分以及外腳部分，該複數條導線之內腳部分係固設於該基板並且電性連接至相對應的基板鉚墊；

兩半導體晶片，各具有複數個金屬突塊於其正面，該兩半導體晶片之正面係分別利用一異方性導電膠層固設於該基板之上表面以及下表面並且連接該半導體晶片之複數個金屬突塊至該基板之複數個晶片連接墊；及

一封膠體包覆該基板、導線架以及兩半導體晶片，其中該導線架之複數條導線之外腳部分係自該封膠體向外延伸用以與外界電性溝通。

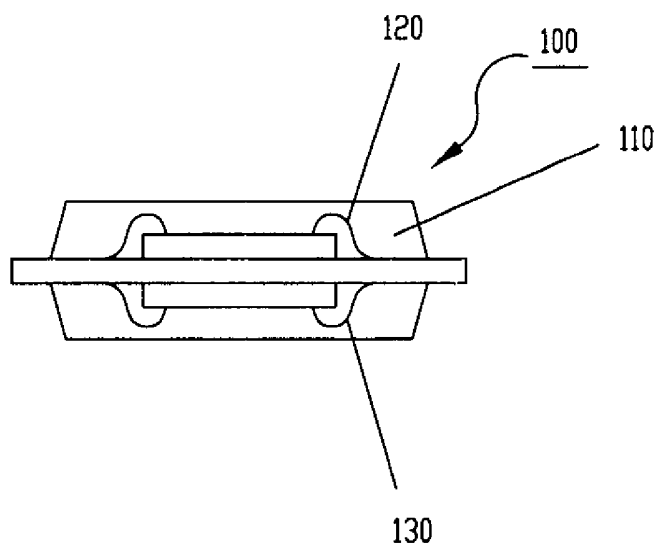
2、依申請專利範圍第1項之多晶片封裝構造，其中該封裝構造之厚度係小於1毫米。



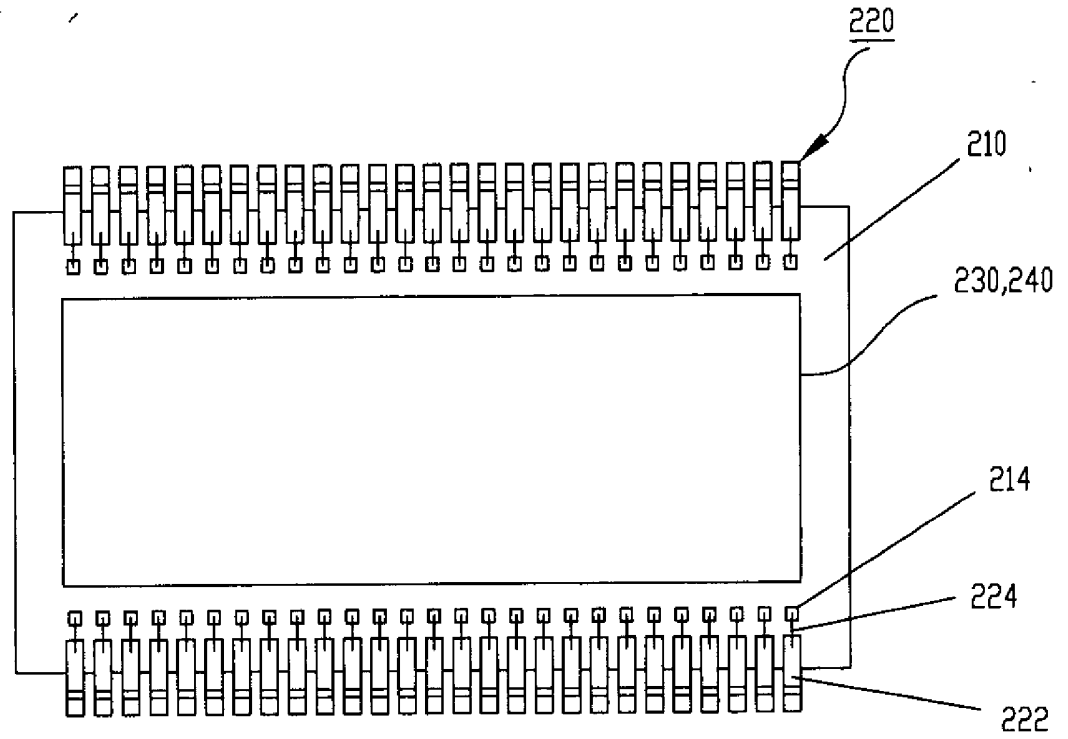
第 11 頁

43256 1

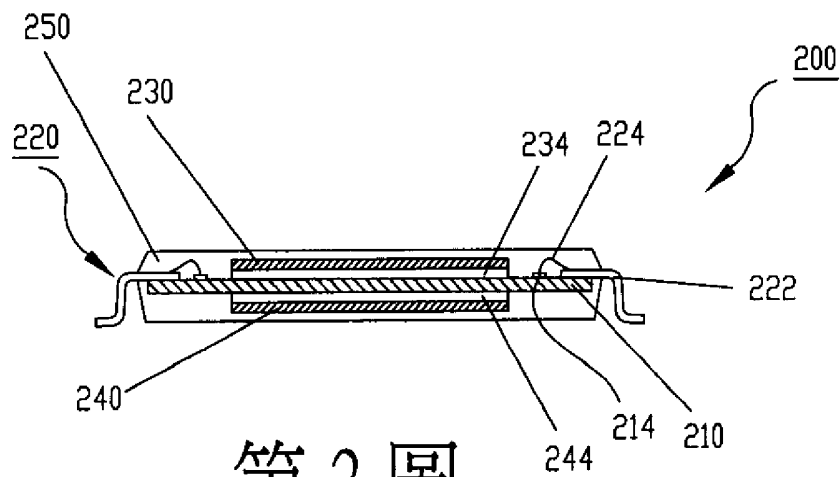
sp1006p



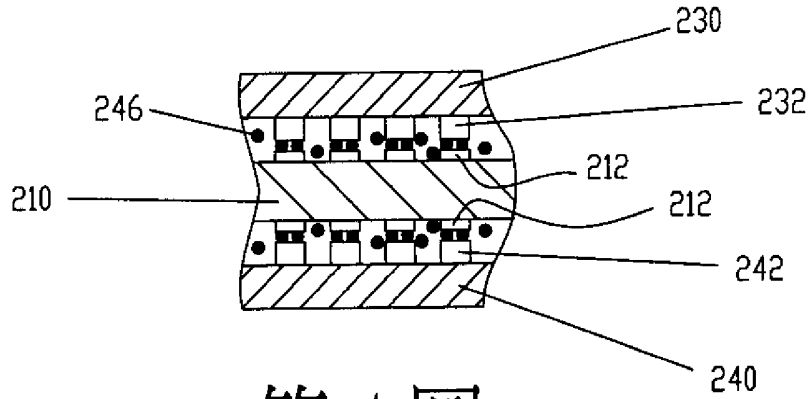
第1圖



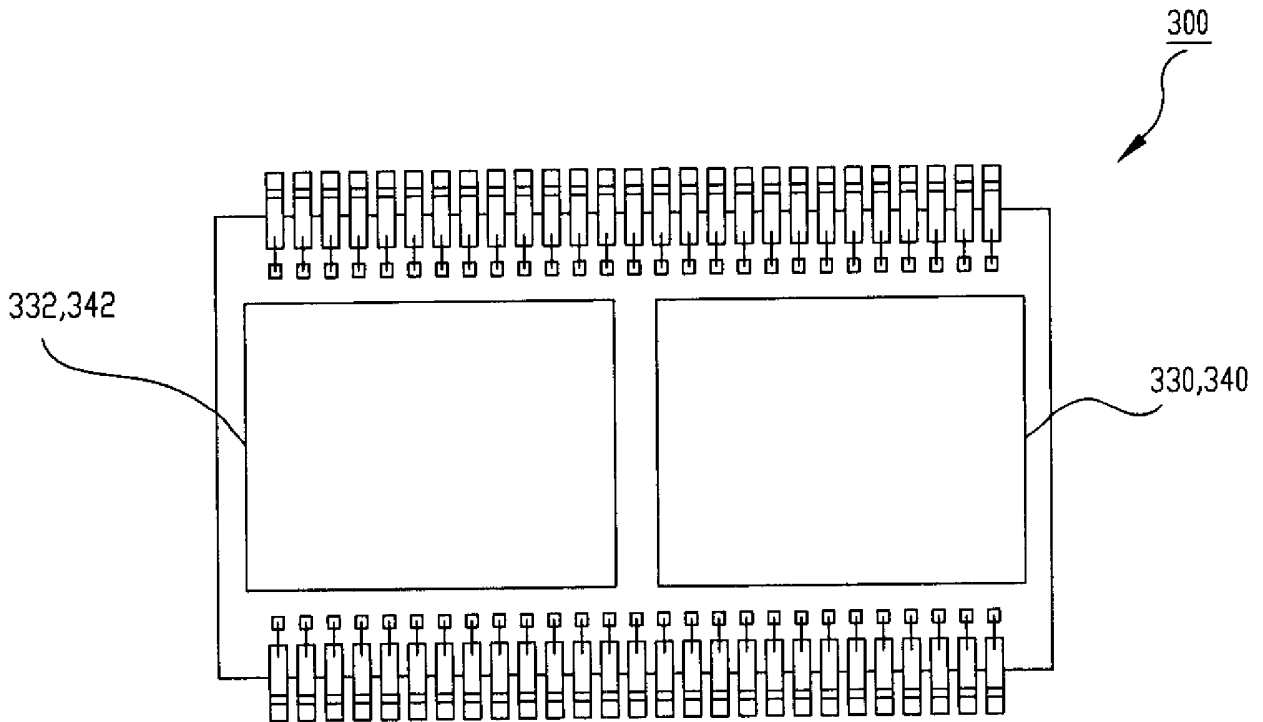
第2圖



第3圖



第4圖



第5圖