
Octroiraad



⑩ A **Terinzagelegging** ⑪ **8200978**

Nederland

⑲ NL

⑤4 **Halfgeleidergeheugeninrichtingen.**

⑤1 Int.Cl³.: G06F 11/20, G11C 29/00, G11C 11/40, G06F 11/18.

⑦1 Aanvrager: Nippon Telegraph and Telephone Public Corporation te Tokio.

⑦4 Gem.: Ir. F.X. Noz c.s.
Algemeen Octrooibureau
Boschdijk 155
5612 HB Eindhoven.

②1 Aanvraag Nr. 8200978.

②2 Ingediend 10 maart 1982.

③2 Voorrang vanaf 11 maart 1981.

③3 Land van voorrang: Japan (JP).

③1 Nummer van de voorrangsaanvraag: 34799/81 .

⑥2 - -

④3 Ter inzage gelegd 1 oktober 1982.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

Korte aanduiding: Halfgeleidergeheugeninrichtingen.

De uitvinding heeft betrekking op een halfgeleidergeheugeninrichting van het type omvattende een hoofdgeheugeninrichting, voorzien van
5 een aantal geheugencellen, die zijn verbonden met kruispunten tussen een eerste en een tweede groep lijnen, die in een matrixschakeling zijn ingericht, middelen voor het uitlezen van de in de geheugencellen opgeslagen gegevens als een woordlijneenheid in overeenstemming met adresaanduidings-
10 signalen, opgewekt door rij-en kolomdecodeerorganen en middelen voor het corrigeren van een fout, vervat in de uitgelezen gegevens.

De onderhavige uitvinding is gericht op een halfgeleiderinrichting, die fouten kan corrigeren.

Met de huidige ontwikkeling van de halfgeleidertechniek, zijn onderzoeken geconcentreerd op het vergroten van de capaciteit van de geheugen-
15 inrichting door het vergroten van de dichtheid daarvan, en door miniaturisering van de geheugeninrichting neemt de capaciteit ervan toe, maar gaat vergezeld van de volgende ernstige problemen. Wanneer in het bijzonder de dichtheid toeneemt, neemt de opbrengst van bevredigende produkten af, vanwege gaatjesbeschadigingen. Lichte fouten zoals α -stralen treden dus op
20 en verlagen de betrouwbaarheid daardoor. Verschillende lastige vervaardigingstechnieken zijn voorgesteld om de gaatjesbeschadigingen, die optreden gedurende de vervaardiging op te heffen, terwijl de lichte fouten in zekere mate uit de weg zijn geruimd door het mogelijk te maken gegevens te corrigeren. Naar mate de capaciteit toeneemt in een LSI-geheugeninrichting (op
25 grote schaal gefintegreerde geheugeninrichting) zoals een MOS RAM-inrichting van het dynamische type met een grote capaciteit (metaal -oxide-halfgeleider-, vrij toegankelijke geheugeninrichting), neemt het stuuerelectrodegebied aanzienlijk toe, zodat er een tendens bestaat dat de gebrekkige beginperiode lang wordt.

30 Bij het onderzoeken van een fout opwekkende handeling van een dergelijk LSI-geheugeninrichting werd opgemerkt dat de volgende twee perioden beschouwd dienen te worden. De gebrekkige beginperiode betekent een periode van ongeveer 60.000 uren onder normale werkomstandigheden of rond 100 uren onder de toepassing van hoogspanning na vervaardiging, terwijl
35 een term toevallige-foutenperiode een periode betekent van verscheidene 100.000 uren volgend op de gebrekkige beginperiode. En de periode volgend op de toevallige-foutenperiode wordt een slijtage-foutenperiode genoemd. Onder de oorzaken van de fouten kan een fout in een stuuerelectro-

8200978

de-oxidefilm worden genoemd, een bondingsfout, en afwijkingen in de karakteristieken van MOS-transistoren. Een dergelijke fout in de stuurdelectrode-oxidefilm en daarmee geassocieerde fouten treden veelvuldig op bij het begin van de gebrekkige beginperiode en nemen daarna geleidelijk af, terwijl
5 de bondingsfout en daarmee geassocieerde fouten overvloedig optreden bij het begin van de gebrekkige beginperiode en daarna geleidelijk afnemen. Het optreden van de fouten van de hiervoor genoemde twee typen nemen af na de gebrekkige beginperiode en treden met een in hoofdzaak constante frequentie op. Anderzijds treedt de afwijking in de karakteristieken van MOS-transistoren met een relatief lage frequentie op gedurende
10 de gebrekkige beginperiode en de toevallige-foutenperiode, maar neemt snel toe in de slijtage-foutenperiode. Een geheugeninrichting, als één geheel beschouwend, is het foutenoptredingspercentage hoog bij het begin van de gebrekkige beginperiode en naar mate de tijd voortschrijdt, neemt
15 het percentage geleidelijk af, maar het percentage is laag gedurende de toevallige-foutenperiode en neemt toe in de slijtage-foutenperiode.

Van deze fouten kunnen die, die de stuurdelectrode-oxidefilm betreffen worden verwijderd door een versnellingsstest onder opgedrukte spanning (fouten in het vroege stadium). In een dynamisch RAM omvat een geheugencel gebruikelijk één transistor en één condensator en aangezien een
20 MOS-kapaciteit wordt gebruikt als de celcondensator, neemt de fout, betreffende de stuurdelectrode-oxidefilm toe met de capaciteit van de geheugeninrichting. Overeenkomstig wordt de gebrekkige beginperiode langer dan 60.000 uren. De fout, betreffende het bondingsgebrek kan worden opgeheven gedurende
25 een relatief vroeg stadium door een versnellingsstest onder hitte en vochtigheid. Hetzelfde geldt voor het RAM van het dynamische type. De afwijking in de karakteristieken van de MOS-transistor, bijvoorbeeld fouten, betreffende de drempelspanning V_{th} , de versterkingsfactor β etc. treden in hoofdzaak constant op over een voldoende lange periode tot aan de slijtage-foutenperiode.
30

In een LSI-geheugeninrichting met een grote dichtheid en een grote capaciteit kan echter de fout betreffende de afwijking in de karakteristieken niet worden verholpen met een conventionele MOS-transistor. In het bijzonder zijn de fouten, betreffende de stuurdelectrode-oxidefilm en het
35 bonden gelijksoortig aan de fouten volgens de stand van de techniek, terwijl de fouten, betreffende de stuurdelectrode-oxidefilm zodanig optreden, dat deze de gebrekkige beginperiode verlengen en de fouten met betrekking tot het bonden treden veelvuldig op gedurende de vroege periode van de gebrekkige beginperiode. Anderzijds beginnen de fouten met betrek-

king tot de afwijking in de karakteristieken op een relatief vroeg tijdstip op te treden, omdat transistoren die de geheugeninrichting vormen zijn geminiaturiseerd, waardoor dus de levensduur van de LSI-geheugeninrichting wordt verkort. De hoofdoorzaak, die de levensduur van de LSI-geheugeninrichting verkort, ligt in het korter maken van de kanaallengte van de transistor, die de doorslagsterkte daarvan verkleind, met andere woorden veroorzaakt door de afwijking in de karakteristieken, vanwege het hetelectrodenfenomeen. Afwijking in de karakteristieken, veroorzaakt door dit fenomeen, treedt vaker op naar mate de toegepaste spanning wordt ver-
5 groot. Bijgevolg wordt in het geval van een LSI-geheugeninrichting, zelfs wanneer de begingebreken zijn verwijderd door een versnellingstest onder spanning, uitgevoerd met het oog op het verwijderen van fouten, betreffende de stuurelectrode-oxidefilm, de slijtage-foutenperiode bereikt vóór het effect van het verwijderen of het in beeld brengen van de begingebreken,
10 waardoor dus de LSI-geheugeninrichting onwerkzaam wordt. Dit probleem wordt dus ernstig, wanneer de capaciteit van de halfgeleidergeheugeninrichting wordt vergroot tot meer dan 1 M bits.

Zoals hierboven beschreven, is het in beeld brengen van gebreken door een versnellingstest onder spanning niet effectief voor een LSI-geheugeninrichting die gebruik maakt van geminiaturiseerde transistoren, zodat een bepaalde mate van de gebrekkige beginperioden onvermijdelijk is voor een dergelijke LSI-geheugeninrichting en VLSI-(op zeer grote schaal gefintegreerde) geheugeninrichtingen.

Wanneer een dergelijke gebrekkige beginperiode wordt toegestaan, treden potentiële gebreken gelijktijdig op, hetgeen overeenkomt met gebruik van een geheugeninrichting, waarin vaste gebreken toenemen.

Overeenkomstig een werkwijze volgens de stand van de techniek wordt, wanneer een fout optreedt gedurende een uitleesmodus, de fout van elk bit gecorrigeerd. Volgens deze werkwijze echter wordt de informatie, die uit de geheugeninrichting wordt gelezen, gecorrigeerd, blijven de gebreken, gevormd gedurende het vervaardigen van de inrichting in geheugencellen en neemt, aangezien nieuwe fouten daaraan worden toegevoerd, bovendien de fout van de geheugeninrichting als geheel met de tijd toe.

Wanneer correctie wordt uitgevoerd, gebaseerd op het meerderheidsbesluit, wordt een aantal geheugencellen toegewezen aan één bit informatie, zodat wanneer meer dan de helft van de geheugencellen defect raakt het onmogelijk is onjuiste informatie te corrigeren. Ofschoon het mogelijk

8200978

is het aantal geheugencellen, dat is toegewezen aan één bit met het oog op het verkleinen van de waarschijnlijkheid van het optreden van een fout van één bit informatie mogelijk is, verkleind deze maatregel de integratiedichtheid. Bovendien is deze werkwijze niet geschikt voor het vergroten van de capaciteit van de geheugeninrichting.

Overeenkomstig is het een doel van de onderhavige uitvinding te voorzien in een halfgeleidergeheugeninrichting die zelf foutencorrectie kan uitvoeren.

Een ander doel van deze uitvinding is te voorzien in een nieuwe halfgeleidergeheugeninrichting, die kan worden gebruikt als een LSI-en VLSI-geheugeninrichting met een grote mate van integratie.

Nog een ander doel van de onderhavige uitvinding is te voorzien in een halfgeleidergeheugeninrichting die met grote opbrengst kan worden vervaardigd en een voldoende hoge betrouwbaarheid heeft zonder het uitvoeren van excessieve versnellingstesten bij het begin van het gebruik.

Een verder doel van deze uitvinding is te voorzien in een verbeterde halfgeleidergeheugeninrichting die alleen voor vaste gebreken zelf fouten kan corrigeren.

De uitvinding voorziet hiertoe in een inrichting van de in de aanhef genoemde soort, die het kenmerk heeft, dat deze een reserve geheugeninrichting omvat, waarin één van de groepen lijnen en een andere groep lijnen in een andere matrixschakeling zijn ingericht en de geheugencellen zijn verbonden met kruispunten van de andere matrixschakeling en een correctie besturingsschakeling, voorzien van een aantal registers, die informatie opslaan met betrekking tot de aanwezigheid of afwezigheid van een fout, wanneer de fout is vervat in de uitgelezen gegevens en middelen voor het opwekken van een correctiesignaal, gebaseerd op de uitgangssignalen van de registers, welke gegevens-uitleesmiddelen overdrachtsschakelmiddelen omvatten, die aanspreken op het correctiesignaal voor het substitueren van een van de groepen lijnen van de hoofdgeheugeninrichting van welke een fout is gedetecteerd door een gekozen lijn van de andere groep van de reserve-geheugeninrichting.

Volgens de onderhavige uitvinding worden de bovenstaande en verdere doelen verwezenlijkt door het corrigeren van onjuiste gegevens door het defect maken van onjuiste bewerkingen, veroorzaakt door niet omkeerbare verouderingsafwijkingen zoals vernietiging van de stuur-electrode-oxidefilm dat wil zeggen vaste gebreken en door het automatisch overschakelen van een defect schakelingsgedeelte, dat onjuiste bewerkingen veroorzaakt, naar een

8200978

reserve schakeling.

De uitvinding zal nu nader worden beschreven aan de hand van uitvoeringsvormen en onder verwijzing naar de tekening, waarin:

Fig. 1 een blokschema is, dat één uitvoeringsvorm van de halfgeleidergeheugeninrichting, opgebouwd volgens de onderhavige uitvinding, toont;

Fig. 1A een verbindingsschema is, dat één voorbeeld van een geheugencel, getoond in fig. 1, laat zien;

Fig. 2 een verbindingsschema is, dat het detail van de aftastversterker, getoond in fig. 1, laat zien;

Fig. 3 een verbindingsschema is, dat een detail laat zien van het hoofdgeheugendecodeerorgaan, getoond in fig. 1;

Fig. 4 een verbindingsschema is, dat het detail laat zien van het in fig. 1 getoonde reserve-geheugendecodeerorgaan;

Fig. 5A tot en met 5D en fig. 6A tot en met 6F temperdiagrammen zijn, die golfvormen tonen, die nuttig zijn voor het toelichten van de werking van de in fig. 1 getoond geheugeninrichting;

Fig. 7 een grafiek is, die het foutenpercentage van de geheugeninrichting volgens de stand van de techniek vergelijkt met de geheugeninrichting, die de uitvinding belichaamt;

Fig. 8 een blokschema is, dat een modificatie toont van een correctiebesturingsschakeling volgens de onderhavige uitvinding; en

Fig. 9 een blokschema is, dat een modificatie laat zien van het register, dat wordt gebruikt in de correctiebesturingsschakeling, getoond in fig. 1.

Fig. 1 toont een uitvoeringsvorm van de halfgeleiderinrichting van deze uitvinding die gebaseerd op de meerderheidsbeslissing een fout kan corrigeren. In dit voorbeeld zijn drie geheugencellen toegewezen aan één bit informatie, zodat de meerderheidsbeslissing van drie waarden van de drie geheugencellen wordt gebruikt. De geheugeninrichting 10 omvat een hoofdgeheugeninrichting 20 en een reserve-geheugeninrichting 30, die gemeenschappelijk woordlijnen (rijlijnen) $22_1, 22_2 \dots 22_m$, die afgeleid worden van een rijdecodeerorgaan 21 gebruiken. In de hoofdgeheugeninrichting 20 zijn bitlijnen (kolomlijnen) $23_1, 23_2, \dots 23_k$ ingericht om de woordlijnen te kruisen, teneinde een matrixschakeling te vormen, terwijl in de reserve geheugeninrichting 30 drie bitlijnen $31_1, 31_2$ en 31_3 zijn ingericht voor het vormen van een matrixschakeling.

Op respectieve kruispunten tussen de woordlijnen en de bitlijnen,

8200978

die de hoofd- en reservegeheugeninrichting 20 en 30 vormen, zijn geheugencellen respectievelijk 26_{11} , $26_{12} \dots 26_{km}$ en 32_{11} , $32_{12} \dots 32_{pm}$ aangebracht. Een kenmerkende geheugencel is getoond in fig. 1A en omvat een MOS-type veldeffecttransistor 25 en een condensator 26, gevormd door een hierboven
5 beschreven, bekende MOS-kapaciteit, waarbij de transistor 25 en de condensator 26 in serie zijn verbonden. Een klem van de condensator 60 is verbonden met een gemeenschappelijke bron (aarde), terwijl de transistor 25 is verbonden met een bitlijn en de sturelectrode van de transistor 25 is verbonden met een woordlijn.

10 Aftastversterkers $27_1 \dots 27_k$ zijn verbonden met de respectieve bitlijnen 23_1 , $23_2 \dots 23_k$ van de hoofdgeheugeninrichting 20. Op dezelfde wijze zijn aftastversterkers $37_1 \dots 37_3$ verbonden met respectievelijk de bitlijnen 31_1 , $31_2 \dots 31_3$. Deze aftastversterkers hebben dezelfde opbouw en zijn werkzaam voor het uitlezen van de inhoud van de door de woordlijnen ge-
15 kozen geheugencellen, na ontvangst van bitkeuzesignalen van een kolomdecoderorgaan, dat later zal worden beschreven of voor het schrijven van informatie in de geheugencellen.

Ofschoon slechts drie aftastversterkers $31_1 \dots 31_3$ als componenten, die het reserve geheugen 30 vormen, zijn getoond in fig. 1, dient te worden
20 opgemerkt, dat het reserve geheugen 30 1 aftastversterkers omvat, waarbij 1 meer dan drie is.

Een voorbeeld van de opbouw van de aftastversterker is getoond in fig. 2. Zoals getoond omvat deze zes MOS-veldeffecttransistoren 38_1 tot en met 38_6 , waarbij de bronelectrode van transistoren 38_1 en 38_2 gemeenschappelijk zijn verbonden en verder zijn geaard via transistor 38_3 . Naar de sturelectrode van deze transistor 38_3 wordt een aftastversterker aanstuur-
25 signaal 0_0 toegevoerd door een later te beschrijven temperatuur-signaalgenerator. De sturelectroden van transistoren 38_1 en 38_2 zijn kruislings verbonden met de afvoerelectroden ervan, terwijl de afvoerelectroden van de transisto-
30 ren 38_1 en 38_2 zijn verbonden met een voorlaad bron VPR en een referentiebron VRF respectievelijk door middel van de belastingstransistoren 38_4 en 38_5 . De sturelectroden van transistoren 38_4 en 38_5 worden voorzien van dezelfde terugstelkloppuls ϕ_{RS} en de afvoerelectrode van transistor 38_1 is via een bitlijn verbonden met een geheugencel. De afvoerelectrode van transis-
35 tor 38_1 is verbonden met één van de gegevenslijnen 40_1 , 40_2 en 40_3 via transistor 38_6 . De sturelectrode van transistor 38_6 wordt voorzien van een adreskeuzesignaal door een hoofdkolomdecoderorgaan of een reservekolomdecoderorgaan, zoals later zal worden beschreven.

Wanneer overeenkomstig een woordlijn, gekozen door het decodeer-
orgaan 21 wordt aangestuurd door een woordlijnaanstuursignaal A, varieert
de bitlijnsparing, gebracht naar het niveau van VPR door de klokpuls
0_{RS}, lichtelijk in overeenstemming met de informatie (aanwezigheid of af-
5 wezigheid van een lading in de condensator 26) in een gekozen geheugencel
en deze variatie wordt versterkt door het aanschakelen van de MOSFET 38₃
door de klokpuls ϕ_D . Wanneer bijvoorbeeld de bitlijnsparing na de hiervoor
genoemde kleine variatie wordt aangeduid als V_{BL} en wanneer V_{BL} groter is dan
V_{PR} wordt de bitlijnsparing ingesteld op een niveau, dat overeenkomt met
10 een logische waarde "1", terwijl wanneer V_{BL} kleiner is dan V_{PR} de bitlijn-
spanning wordt ingesteld op het niveau, dat overeenkomt met een logische waar-
de "0". De ingestelde gegevens worden gezonden naar de gegevenslijn via de
MOSFET 38₆. Het verband tussen deze signalen A_w, ϕ_{RS} en ϕ_D en de hoofd-
groeppuls \overline{RAS} , zijn getoond in de fig. 5A tot en met 5D.

15 Gegevenslijnen 40₁, 40₂ en 40₃ zenden gegevens, die zijn uitgelezen
uit de geheugeninrichting 20 en 30 naar een één-bitsfoutcorrectieschake-
ling 50, die drie gegevens, gezonden over gegevenslijnen 40₁, 40₂ en 40₃
als een logische waarde "1" of "0" bepaald in overeenstemming met het meer-
derheidsbesluit en schrijft deze bepaalde waarden opnieuw of nieuwe uitwendige
20 gegevens in geheugencellen in de hoofdgeheugeninrichting 20 of de reserve-
geheugeninrichting 30 via gegevenslijnen 40₁ tot en met 40₃.

De foutcorrectieschakeling 50 is opgebouwd uit drie EN-poortschake-
lingen 51₁, 51₂ en 51₃ en OF-poortschakeling 52, die wordt voorzien van
de uitgangssignalen van deze EN-poortschakelingen, een vertragingsschake-
25 ling 55 voor het vertragen van het uitgangssignaal D₄ van de OF-poortschake-
ling 52 gedurende een vooraf bepaalde tijdsduur, bijvoorbeeld 50 nanose-
conden, bufferversterkers 56₁, 56₂ en 56₃, die gemeenschappelijk worden
voorzien van het uitgangssignaal van de vertragingsschakeling 55 en over-
drachtsschakelaars 57₁, 57₂ en 57₃, die de verbinding schakelen tussen
30 de uitgangen van de bufferversterker 56₁ tot en met 56₃ en de uitgelezen
gegevens van de gegevenslijnen 40₁ tot en met 40₃ in overeenstemming met
de aanwezigheid of afwezigheid van een besturingssignaal SC. EN-poortscha-
kelingen 51₁, 51₂ en 51₃ zijn verbonden om twee van de drie uitgangssig-
nalen D₁, D₂ en D₃ van de overdrachtsschakelaars 57₁, 57₂ en 57₃ te ont-
35 vangen, teneinde drie waarden van het meerderheidsbesluit te verkrijgen.

Wanneer de uit de geheugencellen uitgelezen en de door middel van aftastver-
sterkers aan gegevenslijnen 40₁, 40₂ en 40₃ toegevoerde gegevens samenvallen,
wekken alle EN-poortschakelingen 51₁, 51₂ en 51₃ coincidentie-uitgangssignalen

op, die worden uitgevoerd als het uitgangssignaal D4 door middel van de OF-poortschakeling 52. Nadat de overdrachtsschakelaars 57_1 tot en met 57_3 de stuursignalen SC hebben gezonden naar een uitwendige inrichting door middel van een ingangs/uitgangsbufferorgaan 60, wordt het uitgangssignaal D4 geschakeld
5 wanneer de overdrachtsschakelaars worden voorzien van een temperpuls door een temperpulsgenerator door middel van vertragingsschakeling 55 en bufferversterkers 56_1 , 56_2 en 56_3 , zodat het uitgangssignaal D4 wordt teruggevoerd naar geheugencellen, van waar gegevens zijn uitgelezen om de cellen op te frissen. Het uitgangssignaal D4 wordt eveneens toegevoerd naar een
10 correctiebesturingsschakeling 65, zoals later zal worden beschreven.

Wanneer één van de gegevens op de gegevenslijnen 40_1 , 40_2 en 40_3 , uitgelezen uit de geheugencellen door middel van aftastversterkers, verschilt van de andere twee gegevens, bijvoorbeeld $D1 = "1"$, $D2 = "1"$ en $D3 = "0"$, vanwege het optreden van een fout, zal een tweetal EN-poortschakelingen
15 van de EN-poortschakelingen 51_1 , 51_2 en 51_3 geen uitgangssignaal opwekken. De resterende echter wekt een uitgangssignaal op, dat wordt uitgevoerd als het uitgangssignaal D4 door middel van OF-poortschakeling 52. De opfrisbewerking van het uitgangssignaal D4 is identiek aan die hierboven beschreven en dit uitgangssignaal D4 wordt eveneens naar de correctiebesturings-
20 schakeling 65 gezonden.

Het uitgangssignaal van de foutcorrectieschakeling 50 wordt via ingang/uitgangsbuffer 60 naar de uitwendige schakeling gezonden, waarvan het uitgangssignaal wordt gezonden naar overeenkomstige geheugencellen via vertragingsschakeling 55, bufferversterkers 56_1 , 56_2 en 56_3 , overdrachtsschakelaars 57_1 , 57_2 en gegevenslijnen 40_1 , 40_2 en 40_3 .
25

De correctiebesturingsschakeling 65 omvat een aantal exclusieve OF-poortschakelingen 66_1 , 66_2 en 66_3 , die elk zijn verbonden om één van de uitgangssignalen D1, D2 en D3 van de overdrachtsschakelaars 57_1 , 57_2 en 57_3 te ontvangen en het uitgangssignaal van de foutcorrectieschakeling
30 50, dat wil zeggen het uitgangssignaal D4 van de OF-poortschakeling 52, EN-poortschakelingen 67_1 , 67_2 , 67_3 , die een van de uitgangssignalen van de exclusieve OF-poortschakelingen 66_1 , 66_2 , 66_3 zenden naar opvolgende trappen in overeenstemming met een accumulatiebesturingssignaal ϕ_{c1} , gezonden door een adresbesturingsschakeling, die later zal worden beschreven,
35 registers 69_1 , 69_2 en 69_3 , voor het respectievelijk opslaan van de uitgangssignalen van de EN-poortschakelingen 67_1 , 67_2 en 67_3 en EN-poortschakelingen 70_1 , 70_2 ..., die correctiesignalen ϕ_{w1} , ϕ_{w2} en ϕ_{w3} vormen in responsie op een correctiestuursignaal ϕ_{w0} , opgewekt door een later te beschrijven

8200978

correctiestuursignaal. De registers 69_1 , 69_2 en 69_3 zijn van het zelfhoudende type, dat wil zeggen ze houden foutsignalen, bijvoorbeeld "1", die daarin zijn opgeslagen, totdat ze worden teruggesteld door een terugstelsignaal RS. De correctiesignalen 0_{w1} , 0_{w2} en 0_{w3} worden toegevoerd naar een hoofd-
5 kolomdecodeerorgaan 80 en een reservekolomdecodeerorgaan 95.

De opbouw van een voorbeeld van het hoofdkolomdecodeerorgaan 80 en het reservekolomdecodeerorgaan 95 zal nu worden beschreven onder verwijzing naar de fig. 3 en 4. Zoals getoond in fig. 3 omvat het hoofdkolomdecodeerorgaan 80 een gegevensbitkeuzelijijn 81, die is verbonden met de stuuerelec-
10 trode van de FET 38_6 (zie fig. 2) van de aftastversterker en eveneens met een bron V_{D0} van bijvoorbeeld +5V door middel van een FET 82 en een belasting 83. Een aantal adresaanduidingslijnen 84_{b1} , 84_{b1} , 84_{b2} , 84_{b2} ... zijn aangebracht om de gegevensbitlijn 81 te kruisen, teneinde een matrixschakeling te vormen. Deze adresaanduidingslijnen omvatten een aantal tweetallen
15 en twee lijnen van een paar wordt voorzien van respectievelijk signalen "1" en "0". In dit voorbeeld zijn tussen de gegevensbitlijn 81 en de adresaanduidingslijnen 84_{b1} , 84_{b2} en 84_{b3} FET-transistoren 85_{b1} , 85_{b2} en 85_{b3} verbonden, waarbij van elk van deze FET-transistoren een van de uitgangselectroden en een poortelectrode is verbonden met de bitlijn en de adresaandui-
20 dingslijn. De andere uitgangselectrode van deze FET-transistoren zijn verbonden met de gemeenschappelijke bron (aarde).

Een electrode van de FET-transistor 82, verbonden met de adresaanduidingslijn, is verbonden met de stuuerelectrode van een FET-transistor 86, die in serie is verbonden met een FET-transistor 87 en een zekering 89
25 met een bekende opbouw, welke smelt, wanneer daardoor een grote stroom vloeit. Eén einde van de zekering is geaard.

Eén electrode van FET-transistor 87 is verbonden met een bron V_{DD} met een spanning van bijvoorbeeld +5V. Het knooppunt P tussen de uitgangselectrode van transistor 86 en de zekering 89 is verbonden met de stuuerelec-
30 trode van de transistor 82 door middel van invertor 90 en met de bron V_{DD} door middel van een belasting 91. De stuuerelectrode van transistor 87 wordt voorzien van één van de uitgangssignalen 0_{w1} , 0_{w2} en 0_{w3} door de correctiebesturingsschakeling 65.

Normaal wordt het knooppunt P tussen de belasting 91 en de zekering
35 89 op een lage spanning gehouden, welke wordt bepaald door de bron $+V_{DD}$, zodat de ingang naar de invertor 90 op een laag niveau is en de uitgang ervan op een hoog niveau is. Overeenkomstig is de transistor 82 normaal aangeschakeld om een keuzesignaal "1" of "0", afhankelijk van een signaal

op de adressaanduidingslijn 84, uit te zenden.

Wanneer transistor 87 wordt voorzien van één van de correctiesignalen ϕ_{w1} , ϕ_{w2} , ϕ_{w3} door de correctiebesturingsschakeling 65, schakelt deze aan om een grote stroom door te laten door de zekering 89 van de bron V_{DD} via transistoren 87 en 86 om de zekering 89 te onderbreken. Bij gevolg wordt de potentiaal op het knooppunt tussen de belasting 91 en de zekering 89 hoog, teneinde het uitgangssignaal van de invertor 90 laag te doen gaan, hetgeen transistor 82 afschakelt, waardoor wordt voorkomen dat een keuzesignaal wordt toegevoerd aan een overeenkomstige aftastversterker, zelfs wanneer een signaal wordt toegevoerd naar de adressaanduidingslijn 84.

Fig. 4 toont de opbouw van een voorbeeld van een reservekolomdecoderorgaan 95. Evenals fig. 3 is een enkele bitlijn 96 getoond als een representant. Een bitlijn 96, verbonden met de stuurselectrode van een FET van de aftastversterker is verbonden met de bron V_{DD} die een spanning van bijvoorbeeld +5V heeft en met een bron $+V_{DD}$ via een FET transistor 99, waarvan de stuurselectrode wordt voorzien van één van de correctiesignalen ϕ_{w1} , ϕ_{w2} en ϕ_{w3} door de correctiebesturingsschakeling 65. Adressaanduidingslijnen 84_{b1} , 84_{b1} , 84_{b2} , 84_{b2} , 84_{b3} , 84_{b3} , elk gepaard met de adressaanduidingslijn 84 van het hoofdkolomdecoderorgaan 80 kruisen de bitlijnen 96 voor het vormen van een matrixschakeling. Tussen de bitlijnen 96 en respectieve adressaanduidingslijnen 84_{b1} , 84_{b1} , 84_{b2} , 84_{b2} ... zijn de uitgangselectroden van FET-transistoren 97_{b1} , 97_{b1} , 97_{b2} , 97_{b2} ... en de stuurselectroden daarvan verbonden, terwijl de andere uitgangselectroden zijn verbonden met een gemeenschappelijke bron (aarde), respectievelijk door zekeringen 98_{b1} , 98_{b1} , 98_{b2} , 98_{b2} ...

In het reserve-kolomdecoderorgaan 95 hebben de zekeringen 98_{b1} , 98_{b1} ... gewoonlijk een lage weerstand. Wanneer dit reservekolomdecoderorgaan 95 wordt gesubstitueerd voor een bitlijn van het hoofdkolomdecoderorgaan 80, waarop een fout is opgetreden, wordt één van de correctiesignalen ϕ_{w1} , ϕ_{w2} en ϕ_{w3} door de correctiebesturingsschakeling 65 toegevoerd naar de stuurselectrode van transistor 99. Op dit tijdstip wordt het adressaanduidingsignaal eveneens toegevoerd naar een adreskeuzelij, die is gekozen door de adresbesturingsschakeling om transistor 97, verbonden met de gekozen adressaanduidingslijn aan te schakelen, teneinde een grote stroom van de bron V_{DD} door de zekering 98, die in serie is verbonden met transistoren 90 en 97 te voeren, teneinde de zekering te onderbreken. Het adres van zekering 98 die aldus is onderbroken, komt overeen met dat van de onderbroken

zekering van het hoofdkolomdecodeerorgaan 80. Omdat de adresaanduidingen van het reservekolomdecodeerorgaan 95 en het hoofdkolomdecodeerorgaan 80 zijn gemaakt door de gemeenschappelijke aanduidingslijnen.

Een adresbesturingsschakeling 100 die adresinformatie vormt, die
5 wordt toegevoerd naar het hoofdkolomdecodeerorgaan 80 en het reservekolomdecodeerorgaan 95, zal nu worden beschreven. Zoals getoond in fig. 1 omvat de adresbesturingsschakeling 100 een adresteller 102 met 8 - 12 bits, bij voorkeur 10 bits, EN-poortschakelingen 103, 104 en 105, een exclusieve OF-poortschakeling 107, invertoren 108 en 109, en vertragingsschakeling
10 110 en een OF-poortschakeling 113.

De stuursignalen, gebruikt in de adresbesturingsschakeling 100 worden toegevoerd door uitwendige schakelingen, zoals een centrale verwerkings-eenheid of een bekende temperpulsoscillator. In dit voorbeeld is voorzien in een temperpulsgenerator 200 voor het opwekken van verschillende stuur-
15 signalen. De generator 200 wekt pulsen op, zoals getoond in de fig. 5A tot en met 5D. Van deze uitgangspulsen is de hoofdklokpuls getoond in fig. 5A en 6A met een frequentie van bijvoorbeeld 5 MHz. Door deze klokpuls \overline{RAS} als een referentie te gebruiken, worden een woordkeuzesignaal AW, getoond in fig. 5B, een aftastversterker-terugstelsignaal ϕ_{RS} , getoond in fig. 5C en een aftast-
20 versterker aanstuursignaal ϕ_D , getoond in fig. 5D gevormd. Naar de adresbesturingsschakeling 100 worden 10 bits van een uitwendig adressignaal AD met bij voorkeur 20 bits door een uitwendige schakeling toegevoerd.

De temperpulsgenerator 200 voert eveneens aan de invertor 109 een opfris-stuursignaal \overline{RFSH} toe, dat normaal op het hoge niveau is en het lage
25 niveau wordt, gedurende de opfrisperiode. Het opfrisstuursignaal \overline{RFSH} is op het lage niveau gedurende de opfris- en correctiebewerking. Bij gevolg wekt de invertor 109 een uitgangssignaal met een hoog niveau op gedurende de opfris- en de correctiebewerking, dat werkt als een overdrachtssignaal ϕ_{C0} , getoond in fig. 6C. Dit overdrachtssignaal ϕ_{C0} wordt opgewekt, wanneer
30 (aantal woordlijnen + 1) klokpulsen worden opgewekt, wanneer wordt aangenomen dat één hoofdklokpuls \overline{RAS} wordt gebruikt voor het aftasten van één woordlijn.

Het overdrachtssignaal ϕ_{C0} wordt toegevoerd naar een ingang van EN-poortschakeling 105 en vertragingsschakeling 110 om tot gevolg te hebben
35 dat deze een correctiestuursignaal ϕ_{W0} , getoond in fig. 6D, zendt naar de andere ingang van de EN-poortschakeling 105 gedurende de laatste hoofdklokpulsperiode, waarin het overdrachtssignaal ϕ_{C0} , getoond in fig. 6, is opgewekt. Dit correctie stuursignaal ϕ_{W0} wordt gezonden naar vertragingss-

schakeling 111 en daardoor vertraagd met een halve periode van de hoofdklokpuls. Het vertraagde signaal, uitgevoerd door de vertragingsschakeling 101 wordt zoals getoond in fig. 6E toegevoerd naar de correctiebesturings-
schakeling 65, getoond in fig. 1, om te werken als een terugstelpuls RS en
5 naar de adresteller 102 om te werken als een verhogingssignaal.

Eén ingang van EN-poortschakeling 103 en 104 wordt voorzien van een uitwendig adressignaal AD door een uitwendige schakeling, die niet is getoond, bijvoorbeeld een centrale besturingseenheid. De EN-poortschakeling 103 wordt vrij gemaakt, wanneer het overdrachtssignaal ϕ_{C0} "0" is, dat
10 wil zeggen gedurende de feitelijke werkingstijd door het vrijmaken van het door de invertor 108 uitgevoerde signaal "1", om het adressignaal AD te zenden naar hoofdkolomdecodeerorgaan 80 en het reserve-kolomdecodeerorgaan 95.

Zoals getoond in fig. 6C zendt, wanneer het overdrachtssignaal ϕ_{C0} het lage niveau wordt voor het starten van de opfris bewerking, de invertor
15 108 zijn "0" uitgangssignaal naar de EN-poortschakeling 103 om deze te blokkeren. Anderzijds wordt EN-poortschakeling 104 vrijgemaakt door het overdrachtssignaal ϕ_{C0} , teneinde het uitgangssignaal van de adresteller 102 toe te voeren naar de decodeerorganen 80 en 95, teneinde te werken als een adresaanduidingssignaal.

20 De adresteller 102 telt elke keer dat deze uitgangssignalen, getoond in fig. 6E, van de vertragingsschakelaar 111 ontvangt op, teneinde parallelle uitgangssignalen te vormen, die worden toegevoerd naar de decodeerorganen 80 en 95 via EN-poortschakeling 104 om te werken als een adresaanduidingssignaal.

25 Het uitwendige adressignaal AD en de parallelle uitgangssignalen van de adresteller 102 worden toegevoerd naar exclusieve OF-poortschakeling 107 en het uitgangssignaal ervan wordt toegevoerd naar de OF-poortschakeling 113, te zamen met het overdrachtssignaal ϕ_{C0} , teneinde een accumulatiebesturingssignaal ϕ_{C1} op te wekken met de in fig. 6F getoonde
30 tempering. Door de werking van het uitgangssignaal van de OF-poortschakeling 107 wordt wanneer het uitwendig toegevoerde adres samenvalt met de telling van de teller, of al dan niet een fout is opgetreden, opgeslagen in het register, niet alleen gedurende de opfrisperiode maar eveneens gedurende de feitelijke werking.

35 De halfgeleidergeheugeninrichting van deze uitvinding werkt als volgt.

In de uitleesmodus voert, na toevoering van het uitwendige adressignaal AD terwijl het overdrachtssignaal ϕ_{C0} op het lage niveau is, de

8200978

adresbesturingsschakeling 100 een adresaanduidingssignaal toe aan het hoofdkolomdecodeerorgaan 80 en het reserve-kolomdecodeerorgaan 95, zodat deze decodeerorganen een vooraf bepaalde bitlijn kiezen in overeenstemming met een signaal op een gegevensbitkeuzelij. Op dit tijdstip, aangezien
5 het rijdecodeerorgaan 21 eveneens wordt voorzien van een gedeelte (10 bits) van een signaal AP van de temperpulsgenerator 200 en het woordaanstuur-sig-naal AW, zodat het rijdecodeerorgaan woordlijnen 21, 22₂...22_m aftast op basis van deze signalen.

Overeenkomstig wordt de inhoud van de geheugencel van de hoofdgeheugeninrichting 20 of de reserve-geheugeninrichting 30 uitgelezen, wanneer de
10 gekozen woordlijn en de bitlijn samenvallen. In dit voorbeeld, aangezien een fouttest wordt uitgevoerd door het meerderheidsbesluit, wordt de inhoud van één stel van drie geheugencellen, verbonden met de gemeenschappelijke woordlijnen, uitgelezen op gegevenslijnen 40₁, 40₂ en 40₃. De uitgelezen
15 gegevens worden gezonden naar de foutcorrectieschakeling 50, waar de fout wordt gecorrigeerd of geëlimineerd in overeenstemming met het meerderheidsbesluit en het uitgangssignaal D4 van de OF-poortschakeling dat aldus wordt verkregen, is de gecorrigeerde uitgelezen informatie, gezonden naar het
20 ingangs/uitgangsbufferorgaan 60. Verder wordt een opfrisbewerking in een opfrismodus van de werkmodi, getoond in de fig. 6A tot en met 6F geëffectueerd. Het uitgangssignaal D4 wordt dus opnieuw geschreven in de oorspronkelijke geheugencellen, geassocieerd met de woordlijnen via de vertragings-schakeling 55, door versterkers 56₁ tot en met 56₂, overdrachtsschakelaar 57₁ tot en met 57₃ en gegevenslijnen 40₁ tot en met 40₃.

25 Zelfs wanneer op de gegevenslijnen 40₁ tot en met 40₃ uitgelezen afzonderlijke gegevens een fout bevatten, wordt het uitgangssig-naal D4, dat wil zeggen de uiteindelijk uitgelezen informatie, correcte foutvrij informatie, zodat deze informatie zal worden toegevoerd aan alle gegevenslijnen 40₁, 40₂ en 40₃, door middel van overdrachtsschakelaar 57₁
30 tot en met 57₃, waardoor dus de eenbitsfout wordt geëlimineerd.

Volgens de onderhavige uitvinding kan elke fout op de volgende wijze worden geëlimineerd. De gegevens op de gegevenslijnen 40₁, 40₂ en 40₃ worden dus toegevoerd naar de foutcorrectieschakeling 50 door een stuur-sig-naal SC en de correctieschakeling 50 voert de uitgangssignalen D1, D2
35 en D3 ervan toe naar exclusieve OF-poortschakelingen 66₁, 66₂ en 66₃, die deze uitgangssignalen vergelijken met het uitgangssignaal D4 van de OF-poort-schakeling D4 en wanneer de vergeleken uitgangssignalen niet samenvallen, wekt één van de exclusieve OF-poortschakelingen 66₁ tot en met 66₃ een uit-

gangssignaal op, dat wil zeggen detecteert een fout. De gedetecteerde signalen worden opgeslagen in de registers 69_1 , 69_2 en 69_3 via respectievelijk EN-poortschakelingen 67_1 , 67_2 en 67_3 . De registers houden de foutinformatie zelf vast totdat deze wordt teruggesteld door terugstelsignaal RS.

5 Daarna wordt het correctiestuursignaal ϕ_{w0} door de adresbesturingschakeling 100 toegevoerd naar één ingang van EN-poortschakelingen 70_1 , 70_2 en 70_3 in de correctiebesturingsschakeling 65 om een correcte bewerking te initialiseren. Dit signaal ϕ_{w0} gaat voort gedurende ongeveer 500 nanoseconden volgend op de volbrenging van een opfrisbewerking, teneinde EN-
10 poortschakelingen 70_1 , 70_2 en 70_3 op te frissen voor het uitzenden van correctiesignalen ϕ_{w1} , ϕ_{w2} en ϕ_{w3} naar het hoofddecodeerorgaan 80 en het reserve decodeerorgaan 95. Wanneer voorzien van één van de correctiesignalen ϕ_{w1} , ϕ_{w2} en ϕ_{w3} , vervangt het decodeerorgaan 80 een bitlijn, een bitcel en een aftastversterker, waarin het correctiesignaal is opgewekt door een
15 kolom van de reserve geheugeninrichting van een overeenkomstige bitlijn. Volgens dit voorbeeld wordt de werking van de hoofdgeheugeninrichting 20 gestopt bij een kolom die overeenkomt met een geheugencel van de hoofdgeheugeninrichting 20, waarin een fout is opgetreden. Dit stoppen wordt uitgevoerd door het voeren van een grote stroom door een foute geheugencel door het correctiesignaal teneinde een zekering te smelten. Wanneer
20 voorzien van het correctiesignaal, laat het reserve kolomdecodeerorgaan 95 grote stroom door van de bron $+V_{DD}$ via transistor 99 door middel van een schakeling, gelijksoortig aan de schakeling, die tot stand is gebracht voor een foutieve geheugencel van een bitlijn van een hoofdgeheugencel 20
25 door. In de schakeling getoond in fig. 3, wordt aangezien geheugencellen zijn verbonden met de adresaanduidingslijnen 84_{b1} , 84_{b2} , 84_{b3} de hiervoor genoemde grote stroom doorgelaten door de geheugencellen, die zijn verbonden met de adresaanduidingslijnen 84_{b1} , 84_{b2} en 84_{b3} anders dan de adresaanduidingslijnen 96_{b1} , 96_{b2} en 96_{b3} teneinde de zekering te onderbreken.
30 De uitgang van de adresteller 102 van de adresbesturingsschakeling 100 verandert niet totdat de accumulatie van de onjuiste bewerkingen en de foutcorrectiebewerking zijn volbracht en de telling van de teller wordt verhoogd op een tijdstip getoond in fig. 6E, onmiddellijk voor het begin van de volgende kringloop.

35 Zoals hierboven beschreven kunnen in overeenstemming met de halfgeleidergeheugeninrichting van deze uitvinding, zelfs wanneer de schakelings-element zoals geheugencellen, aftastversterkers etc. van de hoofdgeheugeninrichting fouten vertonen, de foutieve bewerkingen worden gecorrigeerd zon-

der het stoppen van de werking van de geheugeninrichting. Overeenkomstig zullen in tegenstelling tot de geheugeninrichting volgens de stand van de techniek gebreken niet opeenstapelen en derhalve is het niet noodzakelijk de geheugeninrichting te onderwerpen aan excessieve versnellingstesten
5 bij het begin van het gebruik. Vanwege deze reden is het mogelijk eenvoudig te voorzien in een zeer betrouwbare geheugeninrichtingen met een hoge pak- kingsdichtheid. Bovendien is het mogelijk het foutenpercentage op een wezen- lijk lagere waarde te houden over een lange periode, beginnend met de aan- vang van het gebruik.

10 Veronderstel in het bijzonder dat een 1 M bits MOSRAM wordt ge- bruikt en dat het beoogde foutenpercentage 1000 FITS is. Wanneer de effec- tieve kanaallengte wordt beschouwd minder dan 1 mm te zijn, en men de hete- electronen duurzaamheid beschouwd, kan een versnellingstest onder span- ning voor het elimineren van begingebreken niet worden uitgevoerd
15 met een techniek volgens de stand van de techniek. Overeenkomstig wordt het gebrekenpercentage twee maal zo groot dan dat van de toevallige-gebreken- periode met het resultaat dat de gebrekkige beginperiode over verschillende jaren voortgaat, zoals getoond door kromme a in fig. 7. Vol- gens de onderhavige uitvinding daarentegen worden de fouten gecorrigeerd
20 door een de foutencorrectieschakeling van het begin van het gebruik af en de schakelingselementen van de hoofdgeheugeninrichting, die foutief zijn geworden worden gesubstitueerd door een overeenkomstige rij van de reser- ve geheugeninrichting, zodat opeenhoping van de fouten niet optreedt en het foutenpercentage van de geheugeninrichting van deze uitvinding kan worden
25 getoond door de kromme b in fig. 7.

Het aantal bitlijnen van de reserve-geheugeninrichting, waarin wordt voorzien volgens de onderhavige uitvinding kan hetzelfde zijn als dat van de fouten gedurende de gebrekkige beginperioden onder gebruik making van een bekende techniek. In een 1 Mb RAM met een capaciteit
30 van 1024 x 1024, is het aantal fouten gedurende de gebrekkige beginperio- de slechts drie. Overeenkomstig kan het reserve geheugen slechts 1024 x 3 geheugencellen hebben, overeenkomend met drie bitlijnen, hetgeen gelijk is aan ongeveer 0,3% van het totale aantal geheugencellen.

In een halfgeleidergeheugeninrichting kan een gebied dat dient te
35 worden gecorrigeerd worden gedefinieerd als een "fataalgebied" en het is bekend dat het fatale gebied kleiner wordt naarmate de capaciteit van de geheugen- inrichting toeneemt. Wanneer bijvoorbeeld elke geheugencel een transistor omvat, is het percentage van het gebied van de stuuerelectrode-oxidefilm van

8200978

het fatale gebied minder dan 1% in een 1Mb RAM. Overeenkomstig is het in een halfgeleidergeheugeninrichting volgens de onderhavige uitvinding van een 1 Mb RAM type met een hoge dichtheid van geïntegreerde schakeling, het mogelijk ongeveer 99% van de fouten te corrigeren. Dit foutenpercentage
5 op het tijdstip van het begin van het gebruik is ongeveer 2000 FITs, hetgeen slechts 1/50 van rond 100.000 FITs volgens de stand van de techniek is.

Aangezien echter fouten worden veroorzaakt gedurende de vervaardiging, kunnen de fouten in een gebied, waarvan de "chips" foutief of fataal,
10 worden (zoals een besturingsklokgenerator, gegevensingang/uitgangbuffer, adresbuffer etc.) zelfs met de onderhavige uitvinding niet worden gecorrigeerd.

De in fig. 1 getoonde uitvoeringsvorm, is zodanig opgebouwd, dat elke keer dat een onjuist bit wordt gedetecteerd door een foutdetectieschakeling,
15 de foutbesturingsschakeling een correctiesignaal opwekt. Zoals echter reeds is opgemerkt in de beschrijvingsinleiding, worden de onjuiste werkingen van de geheugeninrichting veroorzaakt door vaste gebreken, zoals defecte stuur-electrodeoxydefilms, defecte bondingen en afwijkingen in karakteristieken van de transistoren en door een tijdelijke fout, veroorzaakt door stralen,
20 dat wil zeggen een lichte fout. Aangezien de lichte fout in een korte tijd verdwijnt, is het niet noodzakelijk een correctiebewerking uit te voeren.

Fig. 8 toont een voorbeeld van een register 601 van het zelf-houdende type. Zoals getoond is een OF-poortschakeling 180 verbonden tussen register 680 en EN-poortschakeling 67₁, getoond in fig. 1, en het uitgangssignaal van
25 de registers 86 wordt teruggevoerd naar één ingang van de OF-poortschakeling 180₁ door middel van een versterker 181₁, zodat dit tot gevolg heeft, dat het register zijn inhoud zelf houdt, totdat een volgend terugstelsignaal wordt toegevoerd. Het register 86 omvat bijvoorbeeld een RS flipflop.

Met deze opbouw worden, zelfs wanneer een defecte geheugencil en
30 een normale of niet defecte geheugencil met dezelfde bitlijn worden verbonden, op een tijdstip dat de defecte geheugencil wordt gekozen, gegevens, die fouten vertegenwoordigen, opgeslagen in één van de registers 69₁, 69₂ en 69₃ en vanwege de zelfhoudende functie van de registers kan correctie worden uitgevoerd, zelfs wanneer correctie wordt uitgevoerd nadat een normale
35 geheugencil is gekozen.

Fig. 9 toont een gemodificeerde uitvoeringsvorm van de halfgeleidergeheugeninrichting volgens de onderhavige uitvinding, in het bijzonder het detail van de correctiebesturingsschakeling daarvan, waarbij schakelings-

8200978

elementen, identiek aan die, getoond in fig. 1, met dezelfde verwijzingscijfers zijn aangegeven en waarin drie gegevenslijnen zijn getoond. Aangezien echter de schakelingselementen voor respectieve gegevenslijnen identiek zijn, zijn alleen die, verbonden met de gegevenslijn 40, gedetailleerd getoond. Deze modificatie verschilt van de uitvoeringsvorm, getoond in fig. 1, aangezien een viertraps één-bitregister 150₁ is toegevoegd aan de uitgangszijde van het register 69₁ en de inhoud in respectieve trappen van het register 51₁ parallel worden afgenomen en toegevoerd aan de ingangen van een EN-poortschakeling 70₁. Met deze opbouw wordt accumulatie van de informatie betreffende onjuiste werking in vier stappen uitgevoerd en de geaccumuleerde informatie wordt in één keer opgeslagen in het register 150₁ en alleen wanneer de accumulatie in vier stappen is volbracht, wordt het logische produkt met het correctiebesturingssignaal berekend, zodat alleen wanneer de tellingen in respectieve trappen van het register samenvallen met andere een correctiesignaal wordt opgewekt. Bijgevolg wordt wanneer er vier fouten achtereenvolgens optreden geoordeeld dat een vaste fout is opgetreden, waardoor een correctiesignaal wordt opgewekt, terwijl wanneer het aantal opeenvolgende fouten minder dan vier is, de fout als een lichte fout wordt beoordeeld en geen foutsignaal wordt opgewekt, hetgeen een efficiënt gebruik van de reserve-geheugeninrichtingen mogelijk maakt.

Het aantal trappen van het schuifregister 150₁, gebruikt in fig. 8 is voldoende wanneer het groter dan twee is. Naar mate het aantal trappen toeneemt, wordt de discriminatie tussen vast gebrek en een lichte fout onnauwkeurig. Overeenkomstig zijn drie trappen voldoende.

Het dient te worden begrepen dat de uitvinding niet is beperkt tot de specifiek hierboven beschreven uitvoeringsvormen en dat verschillende veranderingen en modificaties voor de hand liggen aan vaklui op dit gebied van de techniek. De foutcorrectieschakeling was bijvoorbeeld opgebouwd om te werken gebaseerd op het meerderheidsbesluit maar deze kan worden gesubstitueerd door elk willekeurige bekende correctieschakeling, bijvoorbeeld een horizontaal/vertikaal-pariteitstest-correctiesysteem, waarin $M \times N$ informatiebits worden toegevoegd aan een pariteitstestcorrectiesysteem, waarin $M \times N$ informatiebits worden toegevoegd aan een pariteitsinformatie, bestaande uit $(M + N)$ bits of één bitfoutcorrectiesysteem, waarin 2^n bitinformatiebits bestaande uit $(n + 1)$ bits worden toegepast. Verder kan in plaats van gebruik te maken van een vrij toegankelijk geheugeninrichting voor de hoofdgeheugeninrichting een doodgeheugeninrichting ROM worden gebruikt. Ook in dit geval zijn de geheugencellen van de reserve

geheugeninrichting gevormd door programmeerbare transistorgeheugencellen.

De zekeringen kunnen worden vervangen door die geopenbaard in het Amerikaanse Octrooischrift 4.146.902 waarin de weerstandswaarde van de zekeringen onomkeerbaar variëren. In dit geval, gezien de werking van de zekering 5 wordt omgekeerd is het noodzakelijk een verandering van ondergeschikte aard van de schakeling te maken, die gemakkelijk is voor vaklui op dit gebied van de techniek. Het is bijvoorbeeld noodzakelijk te voldoen aan de drie volgende voorwaarden.

1. Een invertor 90, getoond in fig. 3, wordt vervangen door een 10 bufferorgaan.
2. Een adressignaal, gebruikt voor het schrijven van gegevens in fig. 4 wordt vervangen door een complementair adressignaal (alleen gedurende het schrijven).
3. Twee typen correctiesignalen worden gebruikt, één voor het stoppen 15 van het hoofddecodeerorgaan en de ander voor het schrijven in het reserve decodeerorgaan (omdat beide decodeerorganen verschillende adressaanduidingsmodi gebruiken).

CONCLUSIES:

1. Halfgeleidergeheugeninrichting van het type omvattende een hoofd-geheugeninrichting, voorzien van een aantal geheugencellen, die zijn ver-
5 bonden met kruispunten tussen een eerste en een tweede groep lijnen, die in een matrixschakeling zijn ingericht, middelen voor het uitlezen van in de geheugencellen opgeslagen gegevens als een woordlijneenheid in overeenstemming met adresaanduidingssignalen, opgewekt door rij-en kolomdecodeerorganen en middelen voor het corrigeren van een fout, vervat in de uitgele-
10 zen gegevens, met het kenmerk, dat deze een reserve geheugeninrichting omvat, waarin één van de groepen lijnen en een andere groep lijnen in een andere matrixschakeling zijn ingericht en de geheugencellen zijn verbonden met kruispunten van de andere matrixschakeling en een correctiebesturingsscha-
15 king tot de aanwezigheid of afwezigheid van een fout, wanneer de fout is vervat in de uitgelezen gegevens en middelen voor het opwekken van een correctiesignaal, gebaseerd op de uitgangssignalen van de registers, welke gegevensuitleesmiddelen overdrachtsschakelmiddelen omvatten, die aanspreken op het correctiesignaal voor het substitueren van een van de groepen
20 lijnen van de hoofdgeheugeninrichting van welke een fout is gedetecteerd door een gekozen lijn van de andere groep van de reserve-geheugeninrichting.
2. Halfgeleidergeheugeninrichting volgens conclusie 1, met het kenmerk, dat de eerste groep lijnen bitlijnen omvat en de tweede groep lijnen woordlijnen omvat.
- 25 3. Halfgeleidergeheugeninrichting volgens conclusie 2, met het kenmerk, dat deze verder middelen omvat voor het opwekken van adressignalen voor de geheugencellen en waarbij de overdrachtsschakelmiddelen een hoofddecodeerorgaan omvatten, die de adressignalen volgend de bitlijnen van de hoofdgeheugeninrichting kiezen en een reserve decodeerorgaan voor het kie-
30 zen van de bitlijnen van de reservegeheugeninrichting in overeenstemming met de adressignalen, welk hoofddecodeerorgaan middelen omvat voor het onderbreken van de bitlijnen van de hoofdgeheugeninrichting waarop een fout is opgetreden aan de uitgangszijde ervan, wanneer het correctiesignaal wordt toegevoerd naar het hoofddecodeerorgaan en het reservedeodeerorgaan over-
35 drachtsmiddelen omvat voor het substitueren van de bitlijnen van de hoofdgeheugeninrichting, die zijn onderbroken vanaf de uitgangszijde door gekozen bitlijnen van de reserve geheugeninrichting, zodat de gekozen bitlijnen dezelfde adressen zullen hebben als die van overeenkomstige bitlijnen van de

8200978

hoofdgeheugeninrichting.

4. Halfgeleidergeheugeninrichting volgens conclusie 1, met het kenmerk, dat elk register een aantal trappen bevat.
5. Halfgeleidergeheugeninrichting volgens conclusie 1, met het kenmerk, dat elk register van het zelfhoudende type is.
6. Halfgeleidergeheugeninrichting volgens conclusie 1, met het kenmerk, dat elke geheugencel wordt gevormd door een geheugenelement dat opnieuw kan worden geschreven.
7. Halfgeleidergeheugeninrichting volgens conclusie 2, met het kenmerk, dat de correctiebesturingsschakeling gebaseerd op een meerderheidsbeslissing werkt en sommige van de geheugencellen, verbonden met de woordlijnen, overeenkomen met één bit gegevens.
8. Halfgeleidergeheugeninrichting volgens conclusie 1, met het kenmerk, dat de correctiebesturingsschakeling een schakeling bevat, die een gecorrigeerde uitgang opslaat in een oorspronkelijke geheugencel waaruit onjuiste gegevens zijn uitgelezen.
9. Halfgeleidergeheugeninrichting volgens conclusie 3, met het kenmerk, dat de adressignaalgenerator een adresteller omvat, die synchroon met een tijdtelling van het opslaan van een fout in een register optelt en middelen voor het bewerkstelligen van schakeling tussen een uitgang van de adresteller en een uitwendig adressignaal in verband met een opfrisbewerking van de geheugencellen.

25 Eindhoven, maart 1982.

8200978

FIG. 1A

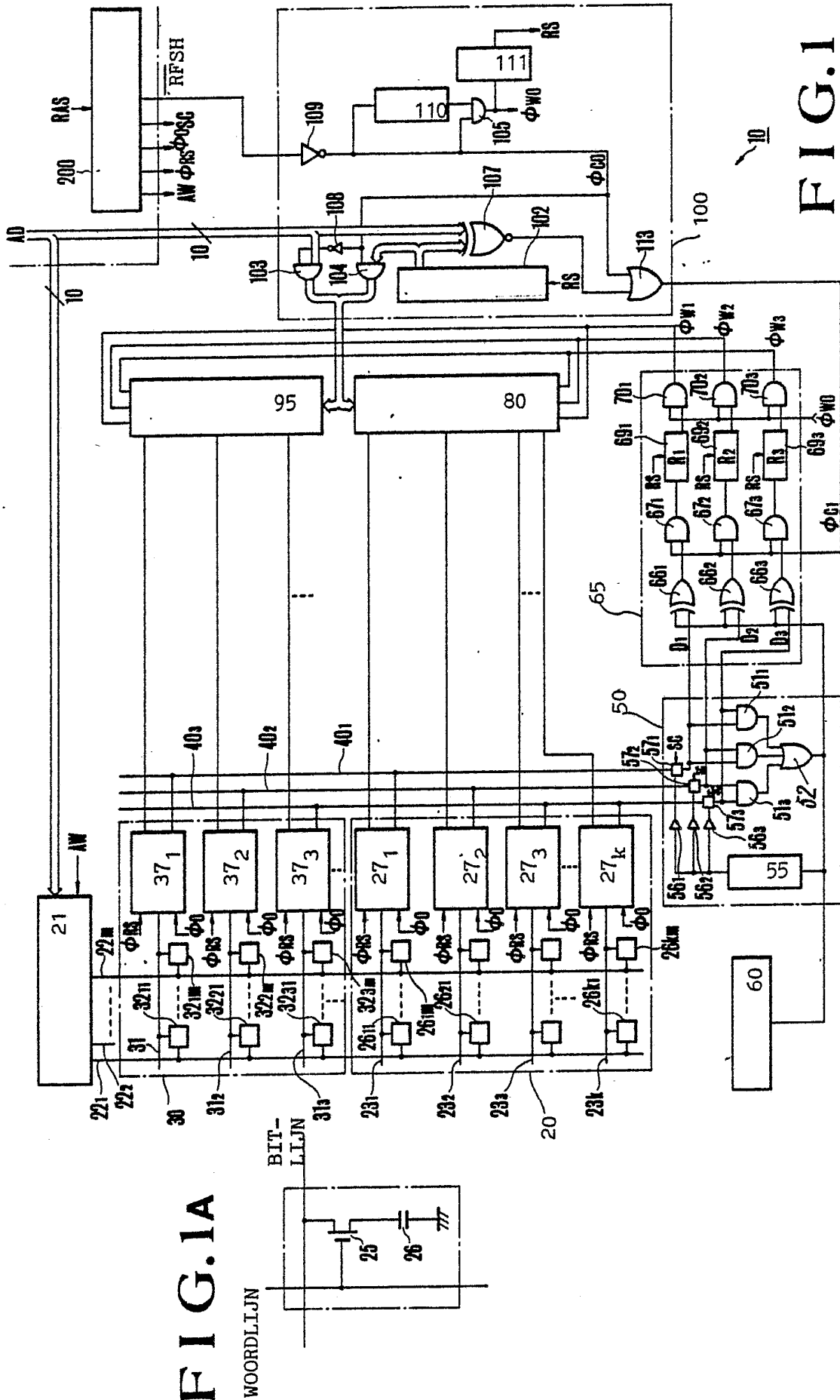


FIG. 1

FIG.2

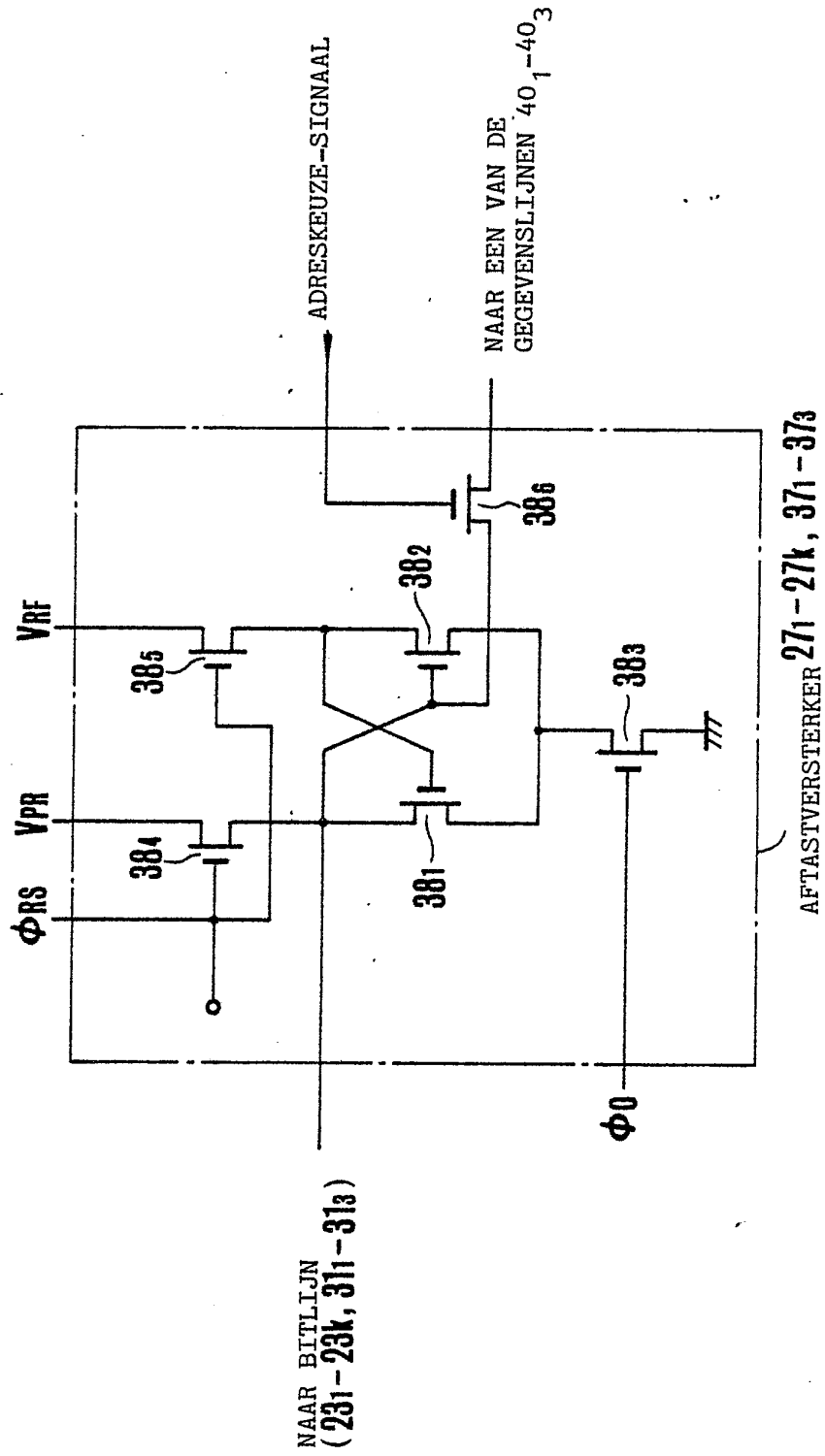


FIG.3

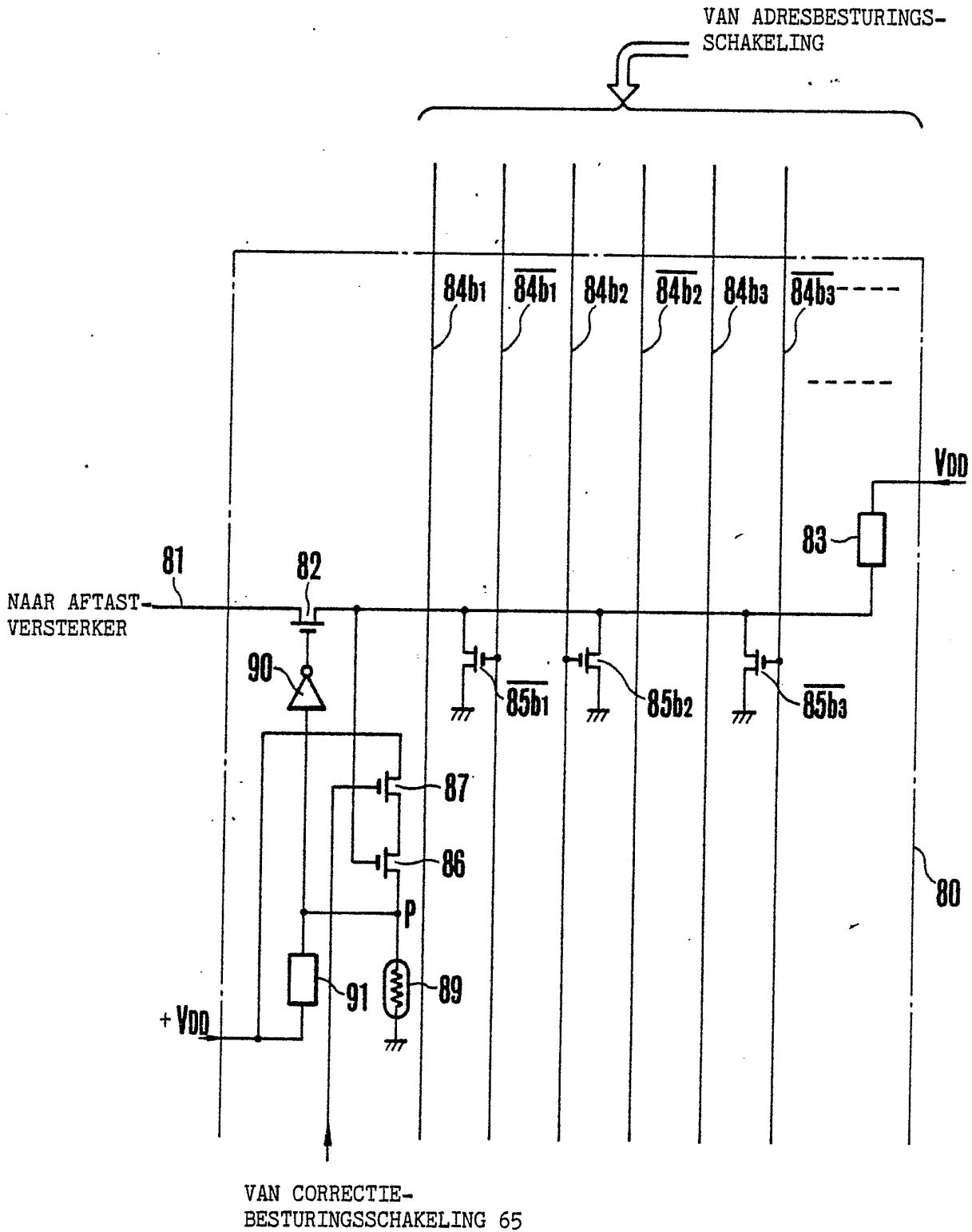
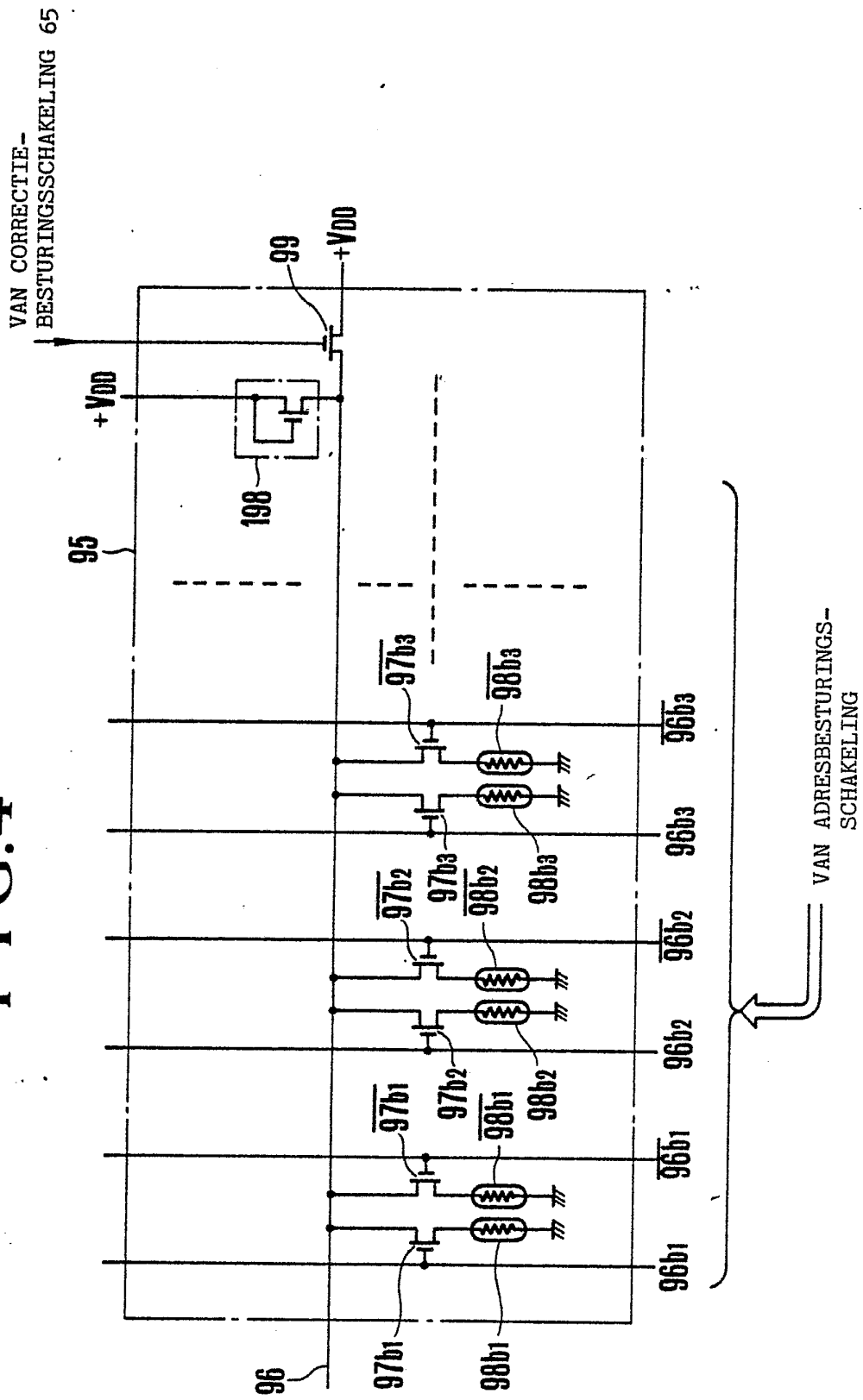


FIG.4



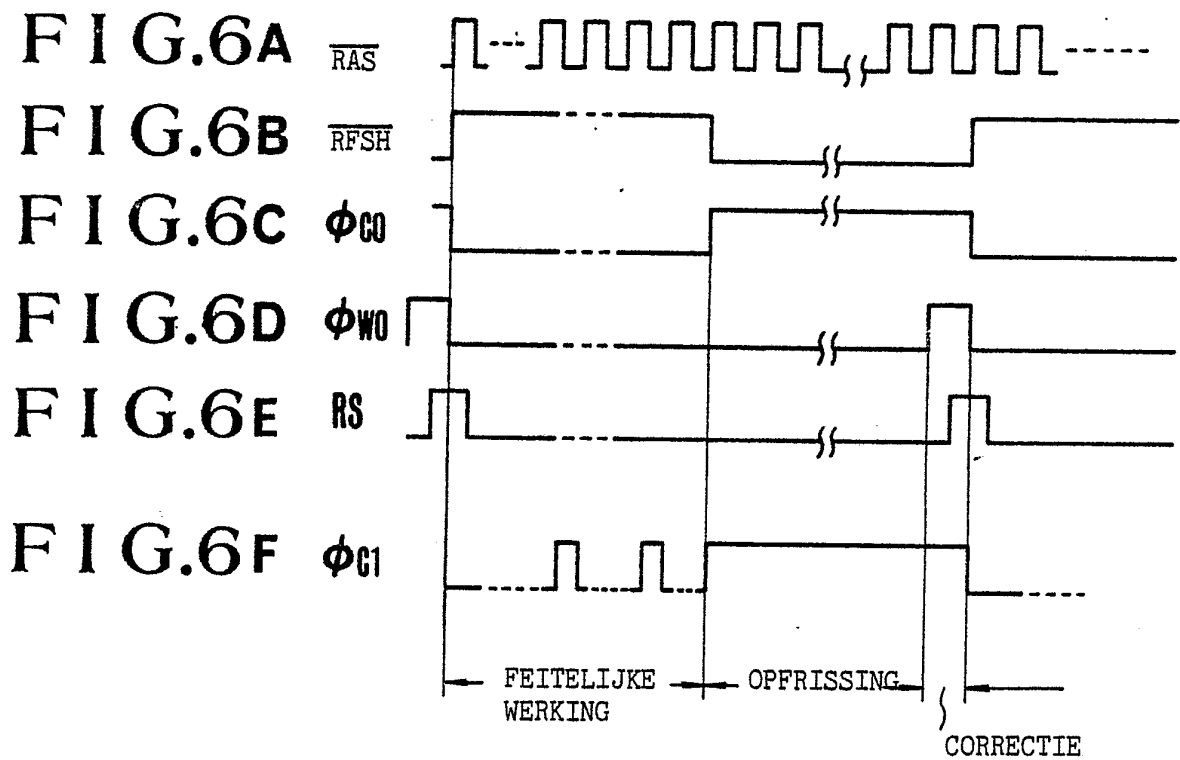
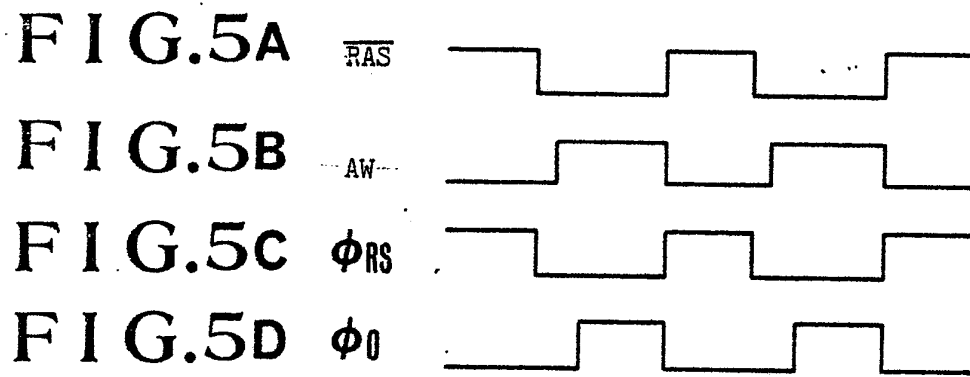


FIG.7

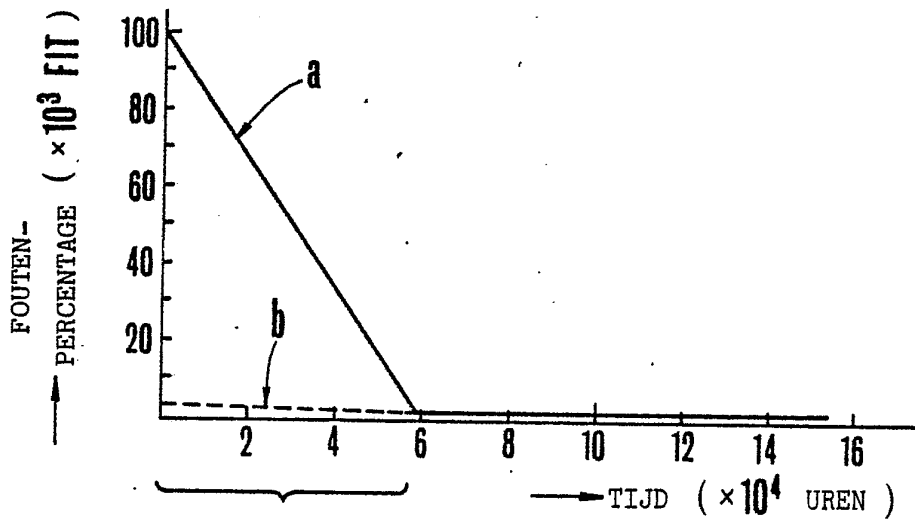


FIG.8

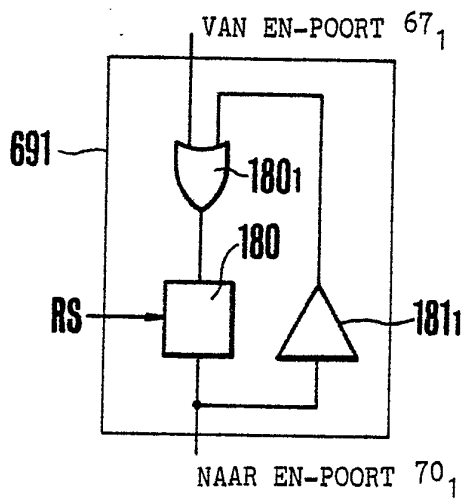


FIG. 9

VAN SCHAKELAARS 57₁-57₃
GETOOND IN FIG. 1.

VAN OF-POORT 52
GETOOND IN FIG. 1

