

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4601279号
(P4601279)

(45) 発行日 平成22年12月22日(2010.12.22)

(24) 登録日 平成22年10月8日(2010.10.8)

(51) Int.Cl.	F I				
G09G 3/20 (2006.01)	G09G	3/20	6 1 1 F		
G09G 5/36 (2006.01)	G09G	3/20	6 1 1 A		
G09G 5/00 (2006.01)	G09G	3/20	6 2 1 K		
G09G 5/39 (2006.01)	G09G	3/20	6 3 1 D		
	G09G	3/20	6 3 1 R		
請求項の数 9 (全 37 頁) 最終頁に続く					

(21) 出願番号	特願2003-344924 (P2003-344924)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成15年10月2日(2003.10.2)	(74) 代理人	100102864 弁理士 工藤 実
(65) 公開番号	特開2005-114773 (P2005-114773A)	(72) 発明者	能勢 崇 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
(43) 公開日	平成17年4月28日(2005.4.28)	(72) 発明者	降旗 弘史 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成18年9月5日(2006.9.5)	審査官	鳥居 祐樹
最終頁に続く			

(54) 【発明の名称】 コントローラドライバ、及びその動作方法

(57) 【特許請求の範囲】

【請求項1】

メイン表示パネルとサブ表示パネルとを駆動するために使用されるコントローラドライバであって、

- 第1メモリ部と、
- 第2メモリ部と、
- 減色処理回路と、
- データ線駆動回路

とを備え、

(A) 当該コントローラドライバが、第1モードに設定された場合、減色処理回路は、入力される入力画像データに対して第1条件での減色処理を行うことによって第1減色画像データを生成し、且つ、前記入力画像データに対して前記第1条件と異なる第2条件での減色処理を行うことによって第2減色画像データを生成し、前記第1メモリ部は前記第1減色画像データを保存し、前記第2メモリ部は前記第2減色画像データを保存し、前記データ線駆動回路は、第1フレームにおいて、前記第1減色画像データと前記第2減色画像データとのうちの一方にตอบสนองして前記メイン表示パネルとサブ表示パネルとのうちの少なくとも一方の表示パネルを駆動し、前記第1フレームに続く第2フレームにおいて、前記第1減色画像データと前記第2減色画像データとのうちの他方にตอบสนองして、前記少なくとも一方の表示パネルを駆動し、

(B) 当該コントローラドライバが、前記第1モードと異なる第2モードに設定された場

合、前記第 1 メモリ部は、前記メイン表示パネルに表示されるメイン画像に対応したメイン画像データを記憶し、前記第 2 メモリ部は、前記サブ表示パネルに表示されるサブ画像に対応したサブ画像データを記憶し、前記データ線駆動回路は、前記第 1 メモリ部に保存された前記メイン画像データにตอบสนองして前記メイン表示パネルを駆動し、前記第 2 メモリ部に保存された前記サブ画像データにตอบสนองして前記サブ表示パネルを駆動する

コントローラドライバ。

【請求項 2】

ディスプレイパネルを駆動するために使用されるコントローラドライバであって、

第 1 メモリ部と、

第 2 メモリ部と、

減色処理回路と、

画像処理回路と、

データ線駆動回路

とを備え、

(A) 当該コントローラドライバが第 1 モードに設定された場合、減色処理回路は、ビットマップ形式を有する入力画像データに対して第 1 条件での減色処理を行うことにより第 1 減色画像データを生成し、且つ前記入力画像データに対して前記第 1 条件と異なる第 2 条件での減色処理を行うことにより第 2 減色画像データを生成し、前記第 1 メモリ部は前記第 1 減色画像データを保存し、前記第 2 メモリ部は前記第 2 減色画像データを保存し、前記データ線駆動回路は、第 1 フレームにおいて、前記第 1 減色画像データと前記第 2 減色画像データとのうちの一方にตอบสนองして前記ディスプレイパネルを駆動し、前記第 1 フレームに続く第 2 フレームにおいて、前記第 1 減色画像データと前記第 2 減色画像データとのうちの他方にตอบสนองして、前記ディスプレイパネルを駆動し、

(B) 当該コントローラドライバが、前記第 1 モードと異なる第 2 モードに設定された場合、前記画像処理回路は、ビットマップ形式と異なる形式を有する他の入力画像データを外部から受信し、受信した前記他の入力画像データに対して前記第 1 メモリ部を作業領域として使用しながらデータ処理を行うことによりビットマップ形式の表示画像データを生成し、且つ、前記表示画像データを前記第 1 メモリ部に保存し、前記第 2 メモリ部は、前記第 1 メモリ部から前記表示画像データを受け取って保存し、前記データ線駆動回路は、前記第 2 メモリ部に保存された前記表示画像データにตอบสนองして、前記ディスプレイパネルを駆動する

コントローラドライバ。

【請求項 3】

請求項 1 又は請求項 2 に記載のコントローラドライバにおいて、

前記第 1 条件での減色処理は、第 1 ディザマトリックスを用いたディザ処理であり、

前記第 2 条件での減色処理は、前記第 1 ディザマトリックスと異なる第 2 ディザマトリックスを用いたディザ処理である

コントローラドライバ。

【請求項 4】

請求項 3 に記載のコントローラドライバにおいて、

前記第 1 ディザマトリックスと前記第 2 ディザマトリックスとは、 (r, r) 行列 (r は、2 以上の自然数) であり、

前記第 1 ディザマトリックスの (i, j) 要素 $a^1_{i j}$ と、前記第 2 ディザマトリックスの (i, j) 要素 $a^2_{i j}$ とは、 r 以下の任意の i, j について

$$a^1_{i j} + a^2_{i j} = \text{const.}$$

なる関係を成立させる

コントローラドライバ。

【請求項 5】

請求項 1 又は請求項 2 に記載のコントローラドライバにおいて、

前記第 1 条件での減色処理は、第 1 初期値 $x^1_{I N I}$ を用いた誤差拡散処理であり、

前記第 2 条件での減色処理は、前記第 1 初期値 x^1_{INI} と異なる第 2 初期値 x^2_{INI} を用いた誤差拡散処理である
コントローラドライバ。

【請求項 6】

請求項 5 に記載のコントローラドライバにおいて、

前記入力画像データの任意の画素の行について、前記第 1 初期値 x^1_{INI} と前記第 2 初期値 x^2_{INI} とは、

$$x^1_{INI} + x^2_{INI} = \text{const.}$$

なる関係を成立させる

コントローラドライバ。

10

【請求項 7】

請求項 1 又は請求項 2 に記載のコントローラドライバにおいて、

当該コントローラドライバが前記第 1 モードに設定されたときのフレームレートは、当該コントローラドライバが前記第 2 モードに設定されたときのフレームレートよりも高い
コントローラドライバ。

【請求項 8】

第 1 メモリ部と第 2 メモリ部とを備えたコントローラドライバの動作方法であって、

(A) プロセッサから入力画像データを受け取るステップと、

(B) 前記入力画像データに対して第 1 条件での減色処理を行うことによって第 1 減色画像データを生成し、生成した前記第 1 減色画像データを前記第 1 メモリ部に保存するステップと、

20

(C) 前記入力画像データに対して前記第 1 条件と異なる第 2 条件での減色処理を行うことによって第 2 減色画像データを生成し、前記第 2 減色画像データを前記第 2 メモリ部に保存するステップと、

(D) 第 1 フレームにおいて、前記第 1 減色画像データと前記第 2 減色画像データとのうちの一方にตอบสนองして第 1 表示パネルを駆動するステップと、

(E) 前記第 1 フレームに続く第 2 フレームにおいて、前記第 1 減色画像データと前記第 2 減色画像データとのうちの他方にตอบสนองして、前記第 1 表示パネルを駆動するステップと

(F) 前記第 1 表示パネルに表示される画像に対応した第 1 画像データを前記第 1 メモリ部に保存するステップと、

30

(G) 第 2 表示パネルに表示される画像に対応した第 2 画像データを前記第 2 メモリ部に保存するステップと、

(H) 前記第 1 メモリ部に保存された前記第 1 画像データにตอบสนองして前記第 1 表示パネルを駆動するステップと、

(I) 前記第 2 メモリ部に保存された前記第 2 画像データにตอบสนองして第 2 表示パネルを駆動するステップ

とを備えた

コントローラドライバ動作方法。

【請求項 9】

40

第 1 メモリ部と第 2 メモリ部とを備えたコントローラドライバの動作方法であって、

(A) プロセッサからビットマップ形式を有する入力画像データを受け取るステップと、

(B) 前記入力画像データに対して第 1 条件での減色処理を行うことによって第 1 減色画像データを生成し、生成した前記第 1 減色画像データを前記第 1 メモリ部に保存するステップと、

(C) 前記入力画像データに対して前記第 1 条件と異なる第 2 条件での減色処理を行うことによって第 2 減色画像データを生成し、前記第 2 減色画像データを前記第 2 メモリ部に保存するステップと、

(D) 第 1 フレームにおいて、前記第 1 減色画像データと前記第 2 減色画像データとのう

50

ちの一方に応答してディスプレイパネルを駆動するステップと、

(E) 前記第1フレームに続く第2フレームにおいて、前記第1減色画像データと前記第2減色画像データとのうちの他方に応答して、前記ディスプレイパネルを駆動するステップと、

(K) ビットマップ形式と異なる形式を有する他の入力画像データを前記プロセッサから受信するステップと、

(L) 受信した前記他の入力画像データに対して前記第1メモリ部を作業領域として使用しながらデータ処理を行うことによりビットマップ形式の表示画像データを生成し、生成した前記表示画像データを前記第1メモリ部に保存するステップと、

(M) 前記第1メモリ部から前記第2メモリ部に前記表示画像データを転送するステップと、

(N) 前記第2メモリ部に保存された前記表示画像データに応答して、前記ディスプレイパネルを駆動するステップ

とを備えた

コントローラドライバ動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コントローラドライバ、及び表示装置に関し、特に、減色処理を行うことができるように構成されたコントローラドライバ、及びそれを搭載する表示装置に関する。

【背景技術】

【0002】

液晶ディスプレイパネル(LCD)その他のディスプレイパネルは、一般に、コントローラドライバによって駆動される。コントローラドライバは、ディスプレイパネルとは別体に設けられることがあり、COG(chip on glass)技術を用いて表示パネルと一体に設けられることもある。

【0003】

コントローラドライバは、高画質の画像をディスプレイパネルに表示できることが望まれている。かかる要求は、一般には、多階調に対応のディスプレイパネルを使用し、多階調の画像データを処理可能なコントローラドライバを使用することによって達成され得る。

【0004】

しかし、携帯機器、例えば携帯電話やPDA(personal data assistant)に使用されるディスプレイパネル及びコントローラドライバでは、携帯機器に課せられる制約のために、事態は単純でない。携帯機器に搭載されるディスプレイパネル及びコントローラドライバは、消費電力の低減と、実装スペースの縮小とが強く要求される。携帯機器に搭載されるディスプレイパネル、特にLCDは、消費電力を抑制するという要求を満たすために、その表示可能な階調数に制約が課せられる。更に、携帯機器に使用されるコントローラドライバは、消費電力の低減、及び実装スペースの縮小の観点から、多階調のデータを保持するために大きな容量のメモリを搭載することは好ましくない。携帯機器に使用される表示パネル及びコントローラドライバでは、高画質の画像を表示パネルに表示するために、独特な技術を必要とする。

【0005】

携帯機器に課せられた制約を克服して高画質の画像を表示するためのコントローラドライバが特許文献1に開示されている。公知のそのコントローラドライバは、ディザ処理又は誤差拡散処理による減色を行う回路を搭載している。これにより、公知のそのコントローラドライバは高画質の画像を、少ない容量のメモリで表示することが可能である。

【特許文献1】特開平2002-287709号公報

【0006】

しかし、近年では高画質の画像を表示する要求がますます増大しており、単純なディザ

10

20

30

40

50

処理又は誤差拡散処理による減色処理では、ユーザの要求を満足することができない。近年の携帯機器のユーザは、写真を表示パネルに表示することを要求している。かかる用途では、かなりの高画質の画像を表示することが必要になる。しかし、例えば、ディザ処理による減色処理では画像の粒状感が問題になり、誤差拡散処理による減色処理では画像のモアレが問題になる。このため、コントローラドライバは、より高度の減色処理を行うことにより、画質を向上できることが望まれる。

【0007】

その一方で、コントローラドライバの高機能化が同時に要求される。例えば、携帯機器に複数の液晶パネルが搭載される場合には、コントローラドライバは、その複数の液晶パネルの両方を駆動できることが求められる。複数の液晶パネルを一のコントローラドライバで駆動できることは、携帯機器の内部の配線を簡単化できるため好適である。

10

【0008】

更に、コントローラドライバは、ビットマップ形式以外の形式の画像データを受信し、その画像データを用いて表示パネルを駆動できることが望まれる。ビットマップデータは、そのデータサイズが大きい。コントローラドライバは、データビットを受信する毎にある程度の電力を消費するから、受信するデータのデータサイズが大きいことは、コントローラドライバの消費電力が不所望に増大することを意味する。このため、コントローラドライバは、ビットマップデータの代わりに、データサイズの縮小が可能な他の形式のデータ、例えば、ベクター形式のデータやJPEG形式のデータにより、画像を受信することができることが望まれる。かかるコントローラドライバは、消費電力の低減に有効である。

20

【0009】

上述された要求は、消費電力及び実装スペースの縮小、特に、コントローラドライバに搭載されるメモリの容量の抑制という条件を満たした上で達成されなくてはならない。したがって、高画質の画像の表示と、コントローラドライバの高機能化と、それに実装されるメモリの容量の抑制とを同時に満足するコントローラドライバの提供が望まれる。

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、概略的には、高画質の画像の表示と、コントローラドライバの高機能化と、コントローラドライバに実装されるメモリの容量の抑制とを同時に実現する技術の提供をその目的にしている。

30

詳細には、本発明の一の目的は、高画質の画像の表示と、一のコントローラドライバによる複数の表示パネルの駆動と、コントローラドライバに実装されるメモリの容量の抑制とを同時に実現する技術を提供することにある。

本発明の他の目的は、高画質の画像の表示と、ビットマップ形式以外の形式の画像データに回答した表示パネルの駆動と、表示パネルを駆動するコントローラドライバに実装されるメモリの容量の抑制とを同時に実現する技術を提供することにある。

本発明の更に他の目的は、消費電力の低減と、高画質の画像の表示と、実装されるメモリの容量の抑制とを同時に実現するコントローラドライバ、及びそれを搭載した表示装置を提供することにある。

40

【課題を解決するための手段】

【0011】

以下に、上記の目的を達成するための手段を説明する。その手段に含まれる技術的事項には、[特許請求の範囲]の記載と[発明の実施の形態]の記載との対応関係を明らかにするために、[発明の実施の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0012】

50

本発明の一の観点において、本発明によるコントローラドライバ(14)は、メイン表示パネル(11)とサブ表示パネル(12)とを駆動するために使用される。当該コントローラドライバ(14)は、第1メモリ部(23a)と、第2メモリ部(23b)と、減色処理回路(22, 28)と、データ線駆動回路(25)とを備えている(図1, 図5参照)。当該コントローラドライバ(14)の動作は、メイン表示パネル(11)に高画質表示が行われる第1モードに設定された場合と、前記サブ表示パネルの表示が行われる第2モードに設定された場合とで異なる。

(A) 当該コントローラドライバ(14)が、第1モードに設定された場合、減色処理回路(22, 28)は、入力される入力画像データ(17d)に対して第1条件での減色処理を行うことによって第1減色画像データ(35d)を生成し、且つ該第1条件と異なる第2条件での減色処理を行うことによって第2減色画像データ(35e)を生成する。第1メモリ部(23a)は第1減色画像データ(35d)を保存し、第2メモリ部(23b)は第2減色画像データ(35e)を保存する。データ線駆動回路(25)は、第1フレームにおいて、第1減色画像データ(35d)と第2減色画像データ(35e)とのうちの一方にตอบสนองしてメイン表示パネル(11)とサブ表示パネル(12)とのうちの少なくとも一方の表示パネルを駆動し、第1フレームに続く第2フレームにおいて、第1減色画像データ(35d)と第2減色画像データ(35e)とのうちの他方にตอบสนองして、該少なくとも一方の表示パネルを駆動する。

一方、(B) 当該コントローラドライバ(14)が、前記第1モードと異なる第2モードに設定された場合、第1メモリ部(23a)は、前記メイン表示パネル(11)に表示されるメイン画像に対応するメイン画像データ(35a)を記憶し、第2メモリ部(23b)は、サブ表示パネル(12)に表示されるサブ画像に対応するサブ画像データを記憶する。データ線駆動回路(25)は、第1メモリ部(23a)に保存されたメイン画像データ(35a)にตอบสนองしてメイン表示パネル(11)を駆動し、第2メモリ部(23b)に保存されたサブ画像データ(35b)にตอบสนองしてサブ表示パネル(12)を駆動する。

【0013】

かかるコントローラドライバ(14)は、第2メモリ部(23b)が、サブLCDパネル(12)の駆動に使用される画像データ(35b)の保存と、ディザ処理とフレームレートコントロールとの併用によるメインLCDパネル(11)の高画質化に必要な第2減色画像データ(35e)の保存との両方に兼用される。これは、メインLCDパネル(11)への高画質の画像の表示と、複数のLCDパネルの駆動とを、少ないメモリ資源で実現することを可能にする。

【0014】

第1減色画像データ(35d)と第2減色画像データ(35e)との表示が行われる高画質領域は、メイン表示パネル(11)の一部だけであることが可能である。この場合、メイン表示パネル(11)の残部(通常画質領域)に表示される画像に対応する画像データ(17c)がコントローラドライバ(14)に供給され、減色処理回路(22, 28)は、その画像データに対して上記の第1条件又は第2条件のいずれかによる減色処理を行って第3減色画像データ(35c)を生成する。第3減色画像データ(35c)は、第1メモリ部(23a)に保存される。データ線駆動回路(25)は、第1フレームと第2フレームとの両方において、メイン表示パネル(11)の通常画質領域を第3減色画像データ(35c)にตอบสนองして駆動する。通常画質領域には、フレームレートコントロールが行われない通常の画質の画像が表示される。

【0015】

本発明の他の観点において、本発明によるコントローラドライバ(53)は、ディスプレイパネル(51)を駆動するために使用される。当該コントローラドライバ(53)は、画像処理回路(61)と、第1メモリ部(65)と、第2メモリ部(66)と、減色処理回路(63, 79)と、データ線駆動回路(68)とを備えている(図7, 図12参照)。当該コントローラドライバ(53)の動作は、当該コントローラドライバ(53)が第1モードに設定されたときと、第2モードに設定されたときとで異なる。

(A) 当該コントローラドライバ(53)が第1モードに設定された場合、減色処理回路(63, 79)は、ビットマップ形式を有する入力画像データ(56)に対して第1条件での減色処理を行うことによって第1減色画像データ(76)を生成し、且つ、入力画像データ(56)に対して第1条件と異なる第2条件での減色処理を行うことによって第2減色画像データ(77)を生成する。第1メモリ部(65)は第1減色画像データ(76)を保存し、第2メモリ部(66)は第2減色画像データ(77)を保存する。データ線駆動回路(68)は、第1フレームにおいて、第1減色画像データ(76)と第2減色画像データ(77)とのうちの一方にตอบสนองしてディスプレイパネル(51)を駆動し、第1フレームに続く第2フレームにおいて、第1減色画像データ(76)と第2減色画像データ(77)とのうちの他方にตอบสนองして、ディスプレイパネル(51)を駆動する。

10

一方、(B) 当該コントローラドライバ(53)が、前記第1モードと異なる第2モードに設定された場合、画像処理回路(61)は、ビットマップ形式と異なる形式を有する他の入力画像データ(55)を外部から受信し、受信した該他の入力画像データ(55)に対して第1メモリ部(65)を作業領域として使用しながらデータ処理を行うことによりビットマップ形式の表示画像データを生成し、且つ、表示画像データを前記第1メモリ部に保存する。第2メモリ部(66)は、第1メモリ部(65)から表示画像データを受け取って保存する。データ線駆動回路(68)は、第2メモリ部(66)に保存された表示画像データにตอบสนองして、ディスプレイパネル(51)を駆動する。

【0016】

当該コントローラドライバ(55)は、コントローラドライバ(55)へのデータの転送量の抑制に有効である。ビットマップ形式のデータは、一般に、そのデータサイズが大きい。ビットマップ形式よりもデータサイズを小さくすることができる形式の画像データによって画像を転送することにより、データの転送量の抑制が可能である。

20

【0017】

更に、当該コントローラドライバ(53)は、他の入力画像データ(55)をビットマップデータに変換する処理と、ディスプレイパネル(51)への高画質の画像の表示とを、少ないメモリ資源で実現することが可能である。当該コントローラドライバは、第1メモリ部(65)が、他の入力画像データ(55)をビットマップデータに変換するための作業領域と、フレームレートコントロールに使用される第1減色画像データ(76)を保存する保存領域とに兼用される。このように、当該コントローラドライバ(53)は、第1メモリ部(65)を有効に使用することにより、上記の動作を少ないメモリ資源で実現することが可能である。

30

【0018】

第1条件での減色処理は、第1ディザマトリックスを用いたディザ処理であり、第2条件での減色処理は、第1ディザマトリックスと異なる第2ディザマトリックスを用いたディザ処理であることが好適である。このとき、第1ディザマトリックスと第2ディザマトリックスとが (r, r) 行列(r は、2以上の自然数)であるとして、第1ディザマトリックスの (i, j) 要素 a^1_{ij} と、第2ディザマトリックスの (i, j) 要素 a^2_{ij} とは、 r 以下の任意の i, j について

$$a^1_{ij} + a^2_{ij} = \text{const.}$$

40

なる関係を成立させることが好適である。このように定められた第1ディザマトリックスと第2ディザマトリックスとから生成された減色画像データが交互に表示されることにより、誤差の分布が時間的・空間的に均一化され、これにより、より高い画質の画像を表示することができる。

【0019】

また、第1条件での減色処理は、第1初期値 x^1_{INI} を用いた誤差拡散処理であり、第2条件での減色処理は、第1初期値 x^1_{INI} と異なる第2初期値 x^2_{INI} を用いた誤差拡散処理であることが可能である。この場合、入力画像データ(56)の任意の画素の行について、第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とは、

$$x^1_{INI} + x^2_{INI} = \text{const.}$$

50

なる関係を成立させることが好適である。このように定められた第1初期値 \times^1_{INI} を用いた誤差拡散処理により生成された第1減色画像データと、第2初期値 \times^2_{INI} を用いた誤差拡散処理により生成された第2減色画像データとが交互に表示されることにより、誤差の分布が時間的・空間的に均一化され、これにより、より高い画質の画像を表示することができる。

【0020】

当該コントローラドライバ(14, 53)が第1モードに設定されたときのフレームレートは、当該コントローラドライバ(14, 52)が第2モードに設定されたときのフレームレートよりも高いことが好適である。これにより、消費電力の増大を抑制しつつ、フレームレートコントロールによる画像の高画質化を有効に行うことが可能になる。

10

【0021】

本発明の更に他の観点において、本発明による表示装置(10乃至40)は、プロセッサ(13, 52)と、ディスプレイパネル(11, 51)と、プロセッサ(13, 52)から入力画像データ(17d, 56)を受信し、入力画像データ(17d, 56)にตอบสนองしてディスプレイパネル(11, 51)を駆動するコントローラドライバ(14, 53)とを備えている。コントローラドライバ(14, 53)は、減色処理回路(22, 28, 63, 79)と、第1メモリ部(23a, 65)と、第2メモリ部(23b, 66)と、データ線駆動回路(26, 68)とを備えている。減色処理回路(22, 28, 63, 79)は、入力画像データ(17d, 56)に対して第1条件での減色処理を行うことによって第1減色画像データ(35d, 76)を生成し、且つ前記第1条件と異なる第2条件での減色処理を行うことによって第2減色画像データ(35e, 77)を生成する。第1メモリ部(23a, 65)は、第1減色画像データ(35d, 76)を保存する。第2メモリ部(23b, 66)は、第2減色画像データ(35e, 77)を保存する。データ線駆動回路(25)は、第1フレームにおいて、第1減色画像データ(35d, 76)と第2減色画像データ(35e, 77)とのうちの一方にตอบสนองしてディスプレイパネル(11, 51)を駆動し、第1フレームに続く第2フレームにおいて、第1減色画像データ(35d, 76)と第2減色画像データ(35e, 77)とのうちの他方にตอบสนองして、ディスプレイパネル(11, 51)を駆動する。

20

【0022】

このような表示装置(10乃至40)は、フレームレートコントロールによる画質の向上を、少ない消費電力で実現可能である。コントローラドライバ(14, 53)は、一旦、第1減色画像データ(35d, 76)を第1メモリ部(23a, 65)に保存し、第2減色画像データ(35e, 77)を、第2メモリ部(23b, 66)に保存してしまえば、その後、プロセッサ(13, 52)からフレーム毎に画像データを受け取らずにフレームレートコントロールを実現できる。このような動作は、プロセッサ(13, 52)からコントローラドライバ(14, 53)へのデータ転送量を抑制しながら、フレームレートコントロールを実現することを可能にする。データ転送量の抑制は、コントローラドライバ(14, 53)の消費電力の低減に有効であり、かかる表示装置(10乃至40)は、携帯機器に特に好適に適用される。

30

【0023】

本発明の更に他の観点において、第1メモリ部(23a)と第2メモリ部(23b)とを備えたコントローラドライバ(14)の動作方法は、

(A) プロセッサ(13)から入力画像データ(17d)を受け取るステップと、
 (B) 入力画像データ(17d)に対して第1条件での減色処理を行うことによって第1減色画像データ(35d)を生成し、生成した第1減色画像データ(35d)を第1メモリ部(23a)に保存するステップと、

(C) 前記入力画像データ(17d)に対して前記第1条件と異なる第2条件での減色処理を行うことによって第2減色画像データ(35e)を生成し、第2減色画像データ(35e)を第2メモリ部(23b)に保存するステップと、

(D) 第1フレームにおいて、第1減色画像データ(35d)と第2減色画像データ(3

40

50

5 e) とのうちの一方に応答して第 1 表示パネル (1 1) を駆動するステップと、
 (E) 前記第 1 フレームに続く第 2 フレームにおいて、第 1 減色画像データ (3 5 d) と
 第 2 減色画像データ (3 5 e) とのうちの他方に応答して、第 1 表示パネル (1 1) を駆
 動するステップと、
 (F) 第 1 表示パネル (1 1) に表示される画像に対応したメイン画像データ (3 5 a)
 を第 1 メモリ部 (2 3 a) に保存するステップと、
 (G) 第 2 表示パネル (1 2) に表示される画像に対応したサブ画像データ (3 5 b) を
 第 2 メモリ部 (2 3 b) に保存するステップと、
 (H) 第 1 メモリ部 (2 3 a) に保存されたメイン画像データ (3 5 a) に応答して第 1
 表示パネル (1 1) を駆動するステップと、
 (I) 第 2 メモリ部 (2 3 b) に保存されたサブ画像データ (3 5 b) に応答して第 2 表
 示パネル (1 2) を駆動するステップ
 とを備えている。

10

【 0 0 2 4 】

上記コントローラドライバ動作方法は、第 2 メモリ部 (2 3 b) を、サブ LCD パネル
 (1 2) の駆動に使用される画像データ (3 5 b) の保存と、ディザ処理とフレームレ
 ートコントロールとの併用によるメイン LCD パネル (1 1) の高画質化に必要な第 2 減色
 画像データ (3 5 e) の保存との両方に兼用する。これは、メイン LCD パネル (1 1)
 への高画質の画像の表示と、複数の LCD パネル (1 1 , 1 2) の駆動とを、少ないメモ
 リ資源で実現することを可能にする。

20

【 0 0 2 5 】

本発明の更に他の観点において、第 1 メモリ部 (6 5) と第 2 メモリ部 (6 6) とを備
 えたコントローラドライバ (5 3) の動作方法は、
 (A) プロセッサ (5 2) からビットマップ形式を有する入力画像データ (5 6) を受
 け取るステップと、
 (B) 入力画像データ (5 6) に対して第 1 条件での減色処理を行うことによって第 1 減
 色画像データ (7 6) を生成し、生成した第 1 減色画像データ (7 6) を第 1 メモリ部 (6 5) に保存するステップと、
 (C) 入力画像データ (5 6) に対して第 1 条件と異なる第 2 条件での減色処理を行うこ
 とによって第 2 減色画像データ (7 7) を生成し、第 2 減色画像データ (7 7) を第 2 メ
 モリ部 (6 6) に保存するステップと、
 (D) 第 1 フレームにおいて、第 1 減色画像データ (7 6) と第 2 減色画像データ (7 7)
 とのうちの一方に
 応答してディスプレイパネル (5 1) を駆動するステップと、
 (E) 第 1 フレームに続く第 2 フレームにおいて、第 1 減色画像データ (7 6) と第 2 減
 色画像データ (7 7) とのうちの他方に
 応答して、ディスプレイパネル (5 1) を駆動す
 るステップと、
 (K) ビットマップ形式と異なる形式を有する他の入力画像データ (5 5) をプロセッサ
 (5 2) から受信するステップと、
 (L) 受信した前記他の入力画像データ (5 5) に対して前記第 1 メモリ部を作業領域と
 して使用しながらデータ処理を行うことによりビットマップ形式の表示画像データを生成
 し、生成した前記表示画像データを前記第 1 メモリ部に保存するステップと、
 (M) 前記第 1 メモリ部から前記第 2 メモリ部に前記表示画像データを転送するステップ
 と、
 (N) 前記第 2 メモリ部に保存された前記表示画像データに応答して、前記表示装置を駆
 動するステップ
 とを備えている。

30

40

【 0 0 2 6 】

かかるコントローラドライバ動作方法は、第 1 メモリ部 (6 5) を、他の入力画像デー
 タ (5 5) をビットマップデータに変換するための作業領域と、フレームレートコントロ
 ールに使用される第 1 減色画像データ (7 6) を保存する保存領域とに兼用する。かかる

50

第1メモリ部(65)の有効な使用により、当該コントローラドライバ動作方法は、他の入力画像データ(55)のビットマップデータに変換する処理と、ディスプレイパネル(51)への高画質の画像の表示とを、少ないメモリ資源で実現することが可能である。

【0027】

本発明による表示装置動作方法は、プロセッサ(13, 52)と、第1メモリ部(23a, 65)及び第2メモリ部(23b, 66)を備えたコントローラドライバ(14, 53)と、ディスプレイパネル(11, 51)とを備えた表示装置(10~40)の動作方法である。当該表示装置動作方法は、

(O)プロセッサ(13, 52)からコントローラドライバ(14, 53)に入力画像データ(17d, 56)を転送するステップと、

10

(P)入力画像データ(17d, 56)に対して第1条件での減色処理を行うことにより第1減色画像データ(35d, 76)を生成し、生成された第1減色画像データ(35d, 76)を第1メモリ部(23a, 65)に保存するステップと、

(Q)入力画像データ(17d, 56)に対して第2条件での減色処理を行うことにより第2減色画像データ(35e, 77)を生成し、生成された第2減色画像データ(35e, 77)を第2メモリ部(23b, 66)に保存するステップと、

(R)第1フレームにおいて、第1減色画像データ(35d, 76)にตอบสนองしてディスプレイパネル(11, 51)を駆動するステップと、

(S)前記第1フレームに続く第2フレームにおいて、第2減色画像データ(35e, 77)にตอบสนองして、ディスプレイパネル(11, 51)を駆動するステップ

20

とを備えている。

【0028】

上記の表示装置動作方法は、フレームレートコントロールによる画質の向上を、少ない消費電力で実現可能である。コントローラドライバ(14, 53)は、一旦、第1減色画像データ(35d, 76)を第1メモリ部(23a, 65)に保存し、第2減色画像データ(35e, 77)を、第2メモリ部(23b, 66)に保存してしまえば、その後、プロセッサ(13, 52)からフレーム毎に画像データを受け取らずにフレームレートコントロールを実現できる。このような動作は、プロセッサ(13, 52)からコントローラドライバ(14, 53)へのデータ転送量を抑制しながら、フレームレートコントロールを実現することを可能にする。

30

【発明の効果】

【0029】

本発明により、高画質の画像の表示と、コントローラドライバの高機能化と、コントローラドライバに実装されるメモリの容量の抑制とを同時に実現する技術が提供される。

詳細には、本発明により、高画質の画像の表示と、一のコントローラドライバによる複数の表示パネルの駆動と、コントローラドライバに実装されるメモリの容量の抑制とを同時に実現する技術が提供される。

また、本発明により、高画質の画像の表示と、ビットマップ形式以外の形式の画像データにตอบสนองした表示パネルの駆動と、表示パネルを駆動するコントローラドライバに実装されるメモリの容量の抑制とを同時に実現する技術が提供される。

40

また、本発明により、消費電力の低減と、高画質の画像の表示と、実装されるメモリの容量の抑制とを同時に実現するコントローラドライバ、及びそれを搭載した携帯機器が提供される。

【発明を実施するための最良の形態】

【0030】

(実施の第1形態)

1-1) 全体構成

図1は、本発明の実施の第1形態における表示装置10を示すブロック図である。表示装置10は、メインLCDパネル11と、サブLCDパネル12と、CPU(central processing unit)13と、コントローラドライバ14とゲート線駆動回路15, 16とを

50

備えている。

【0031】

メインLCDパネル11は、y軸方向（垂直方向）に延設される H_1 本のデータ線（ソース線）11aと、x軸方向（水平方向）に延設される V_1 本のゲート線11bとを備えている。データ線11aとゲート線11bとが交差する位置のそれぞれには、画素が設けられている。即ち、メインLCDパネル11は、横に H_1 行、縦に V_1 列に並べられた画素を備えている。

【0032】

同様に、サブLCDパネル12は、y軸方向に延設される H_2 本のデータ線12aと、x軸方向に延設される V_2 本のゲート線12bとを備えている。サブLCDパネル12は、データ線12aとゲート線12bとが交差する位置にそれぞれに設けられた、横に H_2 行、縦に V_2 列に並べられた画素を備えている。サブLCDパネル12の H_2 本のデータ線12aは、メインLCDパネル11の H_1 本のデータ線11aのうちの H_2 本にそれぞれに接続されている。後述されるように、コントローラドライバ14は、メインLCDパネル11のデータ線11aを介してサブLCDパネル12のデータ線12aに電位を供給することにより、サブLCDパネル12のデータ線12aを駆動する。

10

【0033】

CPU13は、メインLCDパネル11及びサブLCDパネル12に表示されるべき画像に対応する入力画像データ17を生成してコントローラドライバ14に供給する。入力画像データ17は、一の画素の階調を k ビットで表現するビットマップデータ、即ち、 2^k 階調ビットマップデータである。更にCPU13は、制御信号18をコントローラドライバ14に出力してコントローラドライバ14を制御する。

20

【0034】

コントローラドライバ14は、CPU13から送られる制御信号18による制御の下、メインLCDパネル11及びサブLCDパネル12の画素のそれぞれが、入力画像データ17に記述されている階調になるようにメインLCDパネル11のデータ線11a、及びサブLCDパネル12のデータ線12bを駆動する。更に、コントローラドライバ14は、ゲート線駆動回路15、16の動作タイミングを制御するタイミング制御信号19a、19bを出力する。

【0035】

コントローラドライバ14は、以下に述べられる2つの動作モードで動作可能である。コントローラドライバ14が通常駆動モードに設定されると、コントローラドライバ14は、メインLCDパネル11及びサブLCDパネル12の片方又は両方を駆動する。一方、高画質モードに設定されると、コントローラドライバ14は、メインLCDパネル11の一部の領域を高画質で、残りの領域を通常の画質で表示する。以下において、メインLCDパネル11のうち、通常の画質で表示される部分は、通常画質領域と呼ばれ、高画質で表示される部分は、高画質領域と呼ばれることがある。コントローラドライバ14が高画質モードに設定された場合には、サブLCDパネル12は非活性化され、サブLCDパネル12の表示は行われぬ。コントローラドライバ14の動作モードは、制御信号18によって指示される。

30

40

【0036】

ゲート線駆動回路15、16は、それぞれメインLCDパネル11及びサブLCDパネル12のゲート線を駆動する。ゲート線駆動回路15は、コントローラドライバ14から送られるタイミング制御信号19aにตอบสนองして、メインLCDパネル11のゲート線11bを走査して駆動する。ゲート線駆動回路16は、ゲート線駆動回路15を介してタイミング制御信号19bをコントローラドライバ14から受信し、受信したタイミング制御信号19bにตอบสนองしてサブLCDパネル12のゲート線12bを走査して駆動する。

【0037】

1-2) コントローラドライバ14の構成

コントローラドライバ14は、メモリ制御回路21と、切り替えディザ回路22と、表

50

示用メモリ23と、ラッチ回路24と、データ線駆動回路25と、階調電位発生回路26と、タイミング制御回路27とを備えている。

【0038】

メモリ制御回路21は、CPU13から送られる入力画像データ17を受け取って切り替えディザ回路22に転送し、更に、切り替えディザ回路22と表示用メモリ23とを制御する機能を有する。詳細には、メモリ制御回路21は、以下の4つの機能：

- (1) 入力画像データ17の各画素の階調を示す階調データを順次に転送する機能、
- (2) 入力画像データ17の各画素のx座標及びy座標を示す座標データ31を切り替えディザ回路22に供給する機能、
- (3) CPU13からの制御信号18にตอบสนองして、切り替えディザ回路22が使用すべきディザマトリックスを指定するマトリックス切り替え信号32を切り替えディザ回路22に供給する機能、及び
- (4) CPU13からの制御信号18及びタイミング制御回路27からのタイミング制御信号34にตอบสนองして、表示用メモリ23を制御する表示用メモリ制御信号23を生成する機能

を有している。表示用メモリ制御信号33は、典型的には、表示用メモリ23のアクセスされるアドレスを示すアドレス信号、ローアドレスストロープ信号(RAS信号)、コラムアドレスストロープ信号(CAS信号)を含んでいる。表示用メモリ23のアクセスアドレス、及び動作タイミングは、これらの信号によって制御される。

【0039】

切り替えディザ回路22は、入力画像データ17に対してrビットの減色を行うディザ処理を行い、減色画像データ35を生成する。ここでrは、kより小さい正の整数である。減色画像データ35は、一の画素の階調を $n (= k - r)$ ビットで表現するデータ、即ち、 2^n 階調データである。切り替えディザ回路22のディザ処理には、各画素のx座標及びy座標を示す座標データ31と、 (r, r) 行列であるディザマトリックスとが使用される。切り替えディザ回路22は、マトリックス切り替え信号32にตอบสนองして2つの (r, r) ディザマトリックス A^1 、 A^2 のうちの一方を選択し、選択されたディザマトリックスを用いてディザ処理を行うように構成されている。切り替えディザ回路22は、マトリックス切り替え信号32が論理"0"である場合にはディザマトリックス A^1 を、マトリックス切り替え信号32が論理"1"である場合にはディザマトリックス A^2 を用いてディザ処理を行う。

【0040】

表示用メモリ23は、切り替えディザ回路22によって生成された減色画像データ35を保存する。表示用メモリ23は、メイン領域23aとサブ領域23bとを有している。メイン領域23aは、 $H_1 \times V_1 \times n$ ビットの容量を有しており、サブ領域23bは、 $H_1 \times V_2 \times n$ ビットの容量を有している。既述のように、 H_1 は、メインLCDパネル11の行方向の画素の数であり、 V_1 は、メインLCDパネル11の列方向の画素の数であり、 V_2 は、サブLCDパネル12の列方向の画素の数である。メイン領域23aは、メインLCDパネル11の全画素の階調を記憶するのに十分な容量を有しており、サブ領域23bは、サブLCD12の全画素の階調を記憶するのに十分な容量を有している。表示用メモリ23は、 $H_1 \times n$ 本のビット線を有しており、該ビット線を介して $H_1 \times n$ ビットのデータ、即ち、メインLCDパネル11の1行の H_1 個の画素の階調データを同時に出力可能に構成されている。

【0041】

後述されるように、表示用メモリ23のサブ領域23bは、サブLCDパネル12に表示される画像に対応する画像データの保存と、フレームレートコントロールによるメインLCDパネル11の高画質化に必要な画像データの保存との両方に使用される。これは、高画質の画像の表示と、複数のLCDパネルの駆動とを、少ないメモリ資源で実現することを可能にする。

【0042】

10

20

30

40

50

ラッチ回路 24, データ線駆動回路 25, 及び階調電位発生回路 26 は, 表示用メモリ 23 に記憶されている減色画像データ 35 に応答してメインLCDパネル 11, 及び/又はサブLCDパネル 12 を駆動する駆動部として機能する。ラッチ回路 24 は, タイミング制御回路 27 から送られるラッチ信号 36 に応答して, 表示用メモリ 23 が出力する $H_1 \times n$ ビットの階調データをラッチしてデータ線駆動回路 25 に供給する。階調電位発生回路 26 は, データ線駆動回路 25 に, メインLCDパネル 11 及びサブLCDパネル 12 が表現可能な 2^n 階調にそれぞれに対応した 2^n 個の電位を供給する。データ線駆動回路 25 は, その 2^n 個の電位のうちから各画素の階調データに対応した電位を選択し, 選択した電位をメインLCDパネル 11 のデータ線 11a に, 又はメインLCDパネル 11 のデータ線 11a を介してサブLCDパネル 12 のデータ線 12a に出力する。

10

【0043】

タイミング制御回路 27 は, コントローラドライバ 14 のメモリ制御回路 21, 表示用メモリ 23, 及び, ラッチ回路 24, 並びにゲート線駆動回路 15, 16 の動作タイミングを制御する。タイミング制御回路 27 は, タイミング制御信号 34 をメモリ制御回路 12 に出力し, これにより, 表示用メモリ 23 のデータの書込みタイミング, 及び読み出しタイミングを制御する。更に, タイミング制御回路 27 は, ラッチ信号 36 をラッチ回路 24 に供給し, ラッチ回路 24 がデータをラッチするタイミングを制御する。加えて, タイミング制御回路 27 は, 制御信号 19a, 19b をそれぞれゲート線駆動回路 15, 16 に供給し, ゲート線駆動回路 15 がメインLCDパネル 11 のゲート線 11b を駆動するタイミング, 及びゲート線駆動回路 16 がサブLCDパネル 12 のゲート線 12b を駆動するタイミングを制御する。メインLCDパネル 11 に画像が表示されるフレームレートは, タイミング制御回路 27 が生成するタイミング制御信号 34, ラッチ信号 36, 及び制御信号 19a, 19b によって制御可能である。

20

【0044】

1-3) 切り替えディザ回路 22 の構成

図 2 は, 2 ビットの減色を行う切り替えディザ回路 22, 即ち, r が 2 である切り替えディザ回路 22 の構成の例を示している。切り替えディザ回路 22 は, マトリックス値決定部 22a と, XORゲート 22b と, ディザマトリックス値格納部 22c と, 加算器 22d とを含む。切り替えディザ回路 22 には, 1 画素の階調を示す k ビットの階調データが平行で入力される。切り替えディザ回路 22 には, 更に, その画素の x 座標と, y 座標とが入力される。マトリックス値決定部 22a は, 画素の x 座標を 2 で除算して得られる剰余 p と, 該画素の y 座標を 2 で除算して得られる剰余 q とを算出する。剰余 p, q は, 1 又は 0 である。XORゲート 22b は, マトリックス切り替え信号 32 が示す論理値と, 剰余 q との XOR (排他的論理輪) を論理値 q' として出力する。ディザマトリックス値格納部 22c は, 2×2 のペイヤー型マトリックス A を保持している。行列 A の (i, j) 要素を, a_{ij} と記述する。 a_{ij} は, いずれも, 2 ビットのデータである。ディザマトリックス値格納部 22c は, 剰余 p と論理値 q' を受け取ると, 行列 A の (p, q') 要素 $a_{pq'}$ を出力する。加算器 22d は, 入力画像データ 17 にディザマトリックス値格納部 22c の出力を加える。加算器 22d の出力のうち, 上位の n ビットが取り出され, 取り出された n ビットが減色画像データ 35 として出力される。

30

40

【0045】

かかる構成を有する切り替えディザ回路 22 は,

【数 1】

$$A^1 = \begin{pmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{pmatrix}, \quad A^2 = \begin{pmatrix} a_{21} & a_{22} \\ a_{11} & a_{12} \end{pmatrix}$$

なる 2 つのディザマトリックス A^1, A^2 のうち, マトリックス切り替え信号 32 によって指定された一方を用いてディザ処理を行うディザ処理回路として機能する。

50

【 0 0 4 6 】

1 - 4) 表示装置 1 0 の動作

図 1 を参照しながら上述されているように、コントローラドライバ 1 4 は、サブ LCD パネル 1 2 が使用される通常駆動モードと、メイン LCD パネル 1 1 の一部の領域を高画質で表示する高画質モードとで動作可能である。以下では、コントローラドライバ 1 4 が通常駆動モード及び高画質モードに設定されたときのそれぞれにおける、表示装置 1 0 の動作が詳細に説明される。

【 0 0 4 7 】

1 . コントローラドライバ 1 4 が通常駆動モードに設定されるとき

図 3 は、コントローラドライバ 1 4 が通常駆動モードに設定されるときに表示装置 1 0 の動作を示している。CPU 1 3 は、制御信号 1 8 によってコントローラドライバ 1 4 にサブ LCD パネル 1 2 を使用する旨を通知し、コントローラドライバ 1 4 を通常駆動モードに設定する。更に CPU 1 3 は、メイン LCD パネル 1 1 に表示されるべき画像に対応したメイン画像データ 1 7 a と、サブ LCD パネル 1 2 に表示されるべき画像に対応したサブ画像データ 1 7 b とを生成し、メイン画像データ 1 7 a とサブ画像データ 1 7 b とからなる入力画像データ 1 7 をコントローラドライバ 1 4 に供給する。

【 0 0 4 8 】

メモリ制御回路 2 1 は、コントローラドライバ 1 4 が通常駆動モードに設定されたことに応答して、マトリクス切り替え信号 3 2 を論理値 " 0 " に設定する。即ち、メモリ制御回路 2 1 は、切り替えディザ回路 2 2 に、ディザマトリクス A¹ を使用するように指示する。更にメモリ制御回路 2 1 は、メイン画像データ 1 7 a とサブ画像データ 1 7 b とを座標データ 3 1 とともに切り替えディザ回路 2 2 に転送する。

【 0 0 4 9 】

切り替えディザ回路 2 2 は、メイン画像データ 1 7 a とサブ画像データ 1 7 b とのそれぞれに対してディザマトリクス A¹ を使用したディザ処理を行い、減色メイン画像データ 3 5 a 及び減色サブ画像データ 3 5 b を生成する。減色メイン画像データ 3 5 a は、ディザ処理されたメイン画像データ 1 7 a であり、減色サブ画像データ 3 5 b は、ディザ処理されたサブ画像データ 1 7 b である。切り替えディザ回路 2 2 は、減色メイン画像データ 3 5 a と減色サブ画像データ 3 5 b とを、減色画像データ 3 5 として表示用メモリ 2 3 へ出力する。

【 0 0 5 0 】

表示用メモリ 2 3 は、減色画像データ 3 5 のうち減色メイン画像データ 3 5 a をメイン領域 2 3 a に保存し、減色サブ画像データ 3 5 b をサブ領域 2 3 b に保存する。言い換えれば、コントローラドライバ 1 4 が通常駆動モードに設定された場合には、メイン領域 2 3 a はメイン LCD パネル 1 1 を駆動するために使用される画像データを保存するために使用され、サブ領域 2 3 b は、サブ LCD パネル 1 2 を駆動するために使用される画像データを保存するために使用される。

【 0 0 5 1 】

データ線駆動回路 2 5 は、メイン領域 2 3 a に保存された減色メイン画像データ 3 5 a へ応答してメイン LCD パネル 1 1 のデータ線 1 1 a を駆動し、サブ領域 2 3 b に保存された減色サブ画像データ 3 5 b へ応答してサブ LCD パネル 1 2 のデータ線 1 1 b を駆動する。既述のように、サブ LCD パネル 1 2 のデータ線 1 1 b は、メイン LCD パネル 1 1 のデータ線 1 1 a を介して駆動される。データ線 1 1 a 及びデータ線 1 1 b の駆動に同期して、ゲート線駆動回路 1 5 , 1 6 は、メイン LCD パネル 1 1 及びサブ LCD パネル 1 2 のゲート線 1 1 b , 1 2 b を駆動する。これにより、メイン LCD パネル 1 1 及びサブ LCD パネル 1 2 には、メイン画像データ 1 7 a とサブ画像データ 1 7 b とに対応した画像が、それぞれに表示される。

【 0 0 5 2 】

2 . コントローラドライバ 1 4 が高画質モードに設定されるとき

図 4 は、コントローラドライバ 1 4 が高画質モードに設定されるときに表示装置 1 0 の

動作を示す。CPU 13は、制御信号18によってコントローラドライバ14にメインLCDパネル11の一部の領域に高画質の画像を表示する旨を通知し、コントローラドライバ14を高画質モードに設定する。更にCPU 13は、メインLCDパネル11の通常画質領域に表示されるべき画像に対応した通常画質画像データ17cと、高画質領域に表示されるべき画像に対応した高画質画像データ17dとを生成し、通常画質画像データ17cと高画質画像データ17dとからなる入力画像データ17を、コントローラドライバ14のメモリ制御回路21に供給する。CPU 13は、サブLCDパネル12に表示される画像に対応する画像データをコントローラドライバ14に供給しない。メモリ制御回路21は、通常画質画像データ17cと高画質画像データ17dとをCPU 13から受け取り、これらの画像データを順次に切り替えディザ回路22に供給する。

10

【0053】

切り替えディザ回路22は、通常画質画像データ17cと高画質画像データ17dとに対するディザ処理を行う。切り替えディザ回路22は、ディザマトリックスA¹を使用して、通常画質画像データ17cのディザ処理を行う。更に切り替えディザ回路22は、高画質画像データ17dに対してディザマトリックスA¹を使用してディザ処理を行うことにより第1減色高画質画像データ35dを生成し、ディザマトリックスA²を使用してディザ処理を行うことにより第2減色高画質画像データ35eを生成する。切り替えディザ回路22は、減色通常画質画像データ35c、第1減色高画質画像データ35d、及び第2減色高画質画像データ35eを減色画像データ35として表示用メモリ23に出力する。

20

【0054】

詳細には、切り替えディザ回路22は、以下のようにして減色通常画質画像データ35c、第1減色高画質画像データ35d、及び第2減色高画質画像データ35eを生成する。通常画質画像データ17cを切り替えディザ回路22に供給する場合、メモリ制御回路21は、マトリックス切り替え信号32を論理値"0"に設定して切り替えディザ回路22に、ディザマトリックスA¹を使用するように指示する。切り替えディザ回路22は、通常画質画像データ17cに対してディザマトリックスA¹を使用したディザ処理を行い、減色通常画質画像データ35cを生成する。生成された減色通常画質画像データ35cは、表示用メモリ23のメイン領域23aに保存される。

30

【0055】

一方、高画質画像データ17dを切り替えディザ回路22に供給する場合、メモリ制御回路21は、高画質画像データ17dのデータビットが切り替えディザ回路22に入力される周波数の2倍の周波数でマトリックス切り替え信号32を切り替える。メモリ制御回路21は、マトリックス切り替え信号32を論理値"0"に設定した状態で、高画質画像データ17dの、ある一の画素の階調データを切り替えディザ回路22に入力する。マトリックス切り替え信号32が論理値"0"に設定されたことに応答して、切り替えディザ回路22は、その画素についてディザマトリックスA¹を使用したディザ処理を行う。ディザマトリックスA¹を使用したディザ処理の結果は、表示用メモリ23のメイン領域23aに保存される。続いて、メモリ制御回路21は、マトリックス切り替え信号32を論理値"1"に設定する。マトリックス切り替え信号32を論理値"1"に設定されたことに応答して、切り替えディザ回路22は、その画素について、ディザマトリックスA²を使用したディザ処理を行う。ディザマトリックスA²を使用したディザ処理の結果は、表示用メモリ23のサブ領域23bに保存される。他の画素についても同様の処理が行われる。このような過程により、切り替えディザ回路22は、高画質画像データ17dについてディザマトリックスA¹を用いてディザ処理を行って第1減色高画質画像データ35dを生成し、高画質画像データ17dについてディザマトリックスA²を用いてディザ処理を行って第2減色高画質画像データ35eを生成する。

40

【0056】

表示用メモリ23は、減色画像データ35のうち減色通常画質画像データ35cと第1減色高画質画像データ35dとをメイン領域23aに保存し、第2減色高画質画像データ

50

35eをサブ領域23bに保存する。

【0057】

データ線駆動回路25は、減色通常画質画像データ35cと、第1減色高画質画像データ35dと第2減色高画質画像データ35eとを用いてメインLCDパネル11のデータ線11aを駆動する。このとき、ゲート線駆動回路15によるゲート線11bの駆動が適切なタイミングで行われることにより、メインLCDパネル11の通常画質領域の画素は、減色通常画質画像データ35cにตอบสนองして駆動され、メインLCDパネル11の高画質領域の画素は、第1減色高画質画像データ35d及び第2減色高画質画像データ35eにตอบสนองして駆動される。

【0058】

メインLCDパネル11の通常画質領域の画像は、通常の画質で表示される。ディザマトリックスA¹を用いたディザ処理により生成された減色通常画質画像データ35cがフレーム毎に表示用メモリ23から読み出され、読み出された減色通常画質画像データ35cにตอบสนองして通常画質領域の画素が駆動される。これにより、メインLCDパネル11の通常画質領域には、通常画質画像データ17cに対応した画像が、通常の画質で表示される。

【0059】

一方、メインLCDパネル11の高画質領域に表示される画像の画質は、ディザ処理とフレームレートコントロール技術との併用によって高画質化される。第1フレームでは、ディザマトリックスA¹を用いたディザ処理によって生成された第1減色高画質画像データ35dが表示用メモリ23から読み出され、高画質領域の画素は第1減色高画質画像データ35dにตอบสนองして駆動される。第1フレームに続く第2フレームでは、ディザマトリックスA²を用いたディザ処理によって生成された第2減色高画質画像データ35eが表示用メモリ23から読み出され、高画質領域の画素は第2減色高画質画像データ35eにตอบสนองして駆動される。以下同様に、奇数フレームでは、第1減色高画質画像データ35dにตอบสนองして高画質領域の画素が駆動され、偶数フレームでは、第2減色高画質画像データ35eにตอบสนองして高画質領域の画素が駆動される。このように、異なるディザマトリックスを用いて生成された画像データが、交互に使用されることにより、ディザ処理に起因する画像の粒状感が抑制され、高画質領域の画像の画質が向上される。

【0060】

コントローラドライバ14は、以下の動作により、メインLCDパネル11の高画質領域に表示される画像の一部のみを更新することが可能である。画像の更新部分に対応する差分画像データが、更新部分の画素の座標を示す座標データとともに、CPU13からコントローラドライバ14に供給される。切り替えディザ回路22により、その差分画像データに対してディザマトリックスA¹、A²を用いたディザ処理がそれぞれに行われ、ディザ処理された2つの差分画像データが生成される。メイン領域23aに記憶されている第1減色高画質画像データ35eのうち、該更新部分に対応する部分が、ディザマトリックスA¹を用いたディザ処理によって減色された差分画像データに書き換えられ、サブ領域23bに記憶されている第2減色高画質画像データ35eのうち、該更新部分に対応する部分が、ディザマトリックスA²を用いたディザ処理によって減色された差分画像データに書き換えられる。これにより、メインLCDパネル11に高画質領域に表示される画像の一部のみを更新できる。画像の更新部分のみをコントローラドライバ14に送ることによって画像を更新できることは、消費電力の低減に有効であり、本実施の形態の表示装置10が携帯端末に適用される場合に特に有用である。

【0061】

以上に説明されているように、本実施の形態のコントローラドライバ14は、複数のLCDパネルの駆動のために用意されているメモリ資源を有効に活用することにより、ディザ処理とフレームレートコントロール技術との併用による画質の向上を少ないメモリ容量で実現することができる。上述されているように、表示用メモリ23のサブ領域23bは、サブLCDパネル12の駆動に使用される減色サブ画像データ35bの保存と、ディザ

10

20

30

40

50

処理とフレームレートコントロールとの併用によるメインLCDパネル11の高画質化に必要な第2減色高画質画像データ35eの保存との両方に使用される。これは、メインLCDパネル11への高画質の画像の表示と、複数のLCDパネルの駆動とを、少ないメモリ資源で実現することを可能にする。

【0062】

更に、本実施の形態のコントローラドライバ14は、ディザ処理とフレームレートコントロールとの併用による画質の向上を、少ない消費電力で実現可能である。コントローラドライバ14は、一旦、第1減色高画質画像データ35dと第2減色高画質画像データ35eとを、異なるディザマトリックスを用いて生成して表示用メモリ23に保存してしまえば、その後、CPU13からフレーム毎に画像データを受け取らずにフレームレートコントロールを実現できる。このような動作は、CPU13からコントローラドライバ14へのデータ転送量を抑制しながら、フレームレートコントロールを実現することを可能にする。データ転送量の抑制は、コントローラドライバ14の消費電力の低減に有効である。消費電力の低減は、コントローラドライバ14の消費電力の低減は、表示装置10が携帯機器に搭載される場合に特に重要である。

10

【0063】

本実施の形態において、コントローラドライバ14が高画質モードに設定されたときにメインLCDパネル11がリフレッシュされるフレームレートは、コントローラドライバ14が通常駆動モードに設定されたときのフレームレートよりも高いことが好適である。フレームレートを増大することにより、異なるディザマトリックスを用いて生成される画像の切り替えが頻繁に行われて偽輪郭が目立たなくなる。これにより、表示される画像の画質は向上される。しかし、単純なフレームレートの増大は、消費電力の増大につながり好ましくない。そこで、高画質の画像の表示が要求される場合、即ち、コントローラドライバ14が高画質モードに設定された場合にフレームレートが増大され、通常駆動モードに設定された場合のフレームレートが相対的に低くされることにより、消費電力の増大を抑制しつつ、より高画質の画像の表示が可能になる。

20

【0064】

また、本実施の形態において、減色画像データ35の生成に使用されるディザマトリックス A^1 、 A^2 は、ディザマトリックス A^1 の (i, j) 要素 a^1_{ij} とディザマトリックス A^2 の (i, j) 要素 a^2_{ij} とを用いて記述される下記条件：

30

$$a^1_{ij} + a^2_{ij} = \text{const.}$$

を、 r 以下の任意の i, j について満足させることが好適である。このように定められたディザマトリックス A^1 とディザマトリックス A^2 とから生成された減色画像データが高画質領域に交互に表示されることにより、誤差の分布が時間的・空間的に均一化され、これにより、より高い画質の画像を表示することができる。

【0065】

ここまで、高画質モードにおいてメイン表示パネルを高画質領域とする場合を説明したが、サブ表示パネルを高画質領域としてもよい。この場合、コントローラドライバ14が高画質モードに設定されたことに応答してメイン表示パネルは非活性化され、サブ表示パネルの画面全面が高画質領域として使用可能になる。

40

【0066】

また、ここまで1例として表示用メモリのサブ領域をメイン領域より小さい場合を説明してきたが、サブ領域をメイン領域と同等のメモリサイズとしてもよい。この場合、高画質モードにおいて、メイン表示パネルの画面全面を高画質領域として使用することが可能となる。また同様に、サブ表示パネルの画面全面を高画質領域として使用することも可能である。

【0067】

(実施の第2形態)

2-1) 全体構成及び誤差拡散回路28の構成

図5は、本発明の実施の第2形態における表示装置20を示すブロック図である。実施

50

の第2形態の表示装置20は、入力画像データ17のpビットの減色を、ディザ処理ではなく誤差拡散処理によって行う。誤差拡散処理を行うために、実施の第2形態では、切り替えディザ回路22の代わりに誤差拡散回路28が使用される。メモリ制御回路21は、マトリックス切り替え信号32の代わりに、誤差拡散回路28が使用すべき初期値を指定する初期値切り替え信号37を誤差拡散回路28に供給し、更に、画素のx座標とy座標とを示す座標データ31を誤差拡散回路28に供給する。

【0068】

図6は、2ビットの減色を行う誤差拡散回路28、即ち、pが2である誤差拡散回路28の構成の例を示している。誤差拡散回路28は、初期値設定回路41、第1誤差拡散部42aと、第2誤差拡散部42bと、セレクタ43とを備えている。初期値設定回路41は、座標データ31に示された画素のy座標にตอบสนองして、第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とを生成する。第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とは、互いに異なり、且つ、いずれも画素のy座標に依存する。例えば、yを4で割った余りが0である場合、第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とは、それぞれ0、3であり、余りが1である場合にはそれぞれ2、1であり、余りが2である場合にはそれぞれ1、2であり、そして余りが3である場合にはそれぞれ3、0である。

【0069】

第1誤差拡散部42aは、初期値設定回路41から供給される第1初期値 x^1_{INI} を用いて入力画像データ17に対して誤差拡散演算を行い、第1減色画像データ44aを生成する。誤差拡散演算を行うために、第1誤差拡散部42aは、加算器46と遅延回路47と誤差セレクタ48と加算器49とを備えている。加算器46は、入力画像データ17の下位2ビットと、誤差セレクタ48が出力する2ビットの誤差xとの加算演算を行い、和データ x_{SUM} とキャリーcとを生成する。和データ x_{SUM} は、入力画像データ17の下位2ビットと誤差xとの和を示す2ビットのデータであり、キャリーcは、加算器46による加算演算における桁上げの発生の有無を示す。遅延回路47は、和データ x_{SUM} を1画素分だけ遅延して出力する。誤差セレクタ48は、画素のx座標が1である場合（即ち、画素が行の左端にある場合）、第1初期値 x^1_{INI} を誤差xとして加算器46に出力し、そうでない場合、遅延回路47の出力を誤差xとして加算器46に出力する。加算器49は、入力画像データ17の上位nビットと、加算器46からのキャリーcとを加算する。加算器49の出力が、第1初期値 x^1_{INI} を用いた誤差拡散演算により得られる第1減色画像データ44aになる。

【0070】

第2誤差拡散部42bは、初期値設定回路41から供給される第2初期値 x^2_{INI} を用いて入力画像データ17に対して誤差拡散演算を行い、第2減色画像データ44bを生成する。第2誤差拡散部42bは、第2初期値 x^2_{INI} が誤差セレクタ48に入力される以外、第1誤差拡散部42aと同一の構成及び機能を有している。

【0071】

セレクタ43は、初期値切り替え信号37にตอบสนองして、第1減色画像データ44aと第2減色画像データ44bとのうちの一方を減色画像データ35として出力する。初期値切り替え信号37が論理"0"に設定されると、第1減色画像データ44aが減色画像データ35として出力され、初期値切り替え信号37が論理"1"に設定されると、第2減色画像データ44bが減色画像データ35として出力される。

【0072】

このような構成を有する誤差拡散回路28は、等価的に、初期値切り替え信号37が論理"0"に設定されたとき、第1初期値 x^1_{INI} を用いて入力画像データ17に対して誤差拡散演算を行い、初期値切り替え信号37が論理"1"に設定されたとき、第2初期値 x^2_{INI} を用いて入力画像データ17に対して誤差拡散演算を行うことになる。

【0073】

2-2) 表示装置20の動作

図5を参照して、実施の第2形態における表示装置20の動作は、ディザマトリックス

A^1 を用いたディザ処理の代わりに第 1 初期値 x^1_{INI} を用いた誤差拡散処理が行われ、ディザマトリックス A^2 の代わりに第 2 初期値 x^2_{INI} を用いた誤差拡散処理が行われること以外、実施の第 1 形態における表示装置 10 の動作と同一である。

【0074】

コントローラドライバ 14 が通常駆動モードに設定されると、メモリ制御回路 21 は、初期値切り替え信号 37 を論理 "0" に設定する。初期値切り替え信号 37 を論理 "0" に設定されたことに応答して、誤差拡散回路 28 は、第 1 減色画像データ 44 a を減色画像データ 35 として出力するように設定される。これは、誤差拡散回路 28 が、第 1 初期値 x^1_{INI} を用いた誤差拡散処理を行うように設定されていることと等価である。CPU 13 からメイン画像データ 17 a とサブ画像データ 17 b とがメモリ制御回路 21 を介して誤差拡散回路 28 に入力されると、誤差拡散回路 28 は、メイン画像データ 17 a とサブ画像データ 17 b とに対して第 1 初期値 x^1_{INI} を用いた誤差拡散処理をそれぞれに行い、減色メイン画像データ 35 a と減色サブ画像データ 35 b とを生成する。減色メイン画像データ 35 a はメイン領域 23 a に保存され、減色サブ画像データ 35 b はサブ領域 23 b に保存される。データ線駆動回路 25 は、メイン領域 23 a に保存された減色メイン画像データ 35 a に応答してメイン LCD パネル 11 のデータ線 11 a を駆動し、サブ領域 23 b に保存された減色サブ画像データ 35 b に応答してサブ LCD パネル 12 のデータ線 11 b を駆動する。メイン LCD パネル 11 及びサブ LCD パネル 12 には、メイン画像データ 17 a とサブ画像データ 17 b とに対応した画像が、それぞれに表示される。

【0075】

一方、コントローラドライバ 14 が高画質モードに設定されると、CPU 13 は、メイン LCD パネル 11 の通常画質領域に表示されるべき画像に対応した通常画質画像データ 17 c と、高画質領域に表示されるべき画像に対応した高画質画像データ 17 d とを生成する。通常画質画像データ 17 c と高画質画像データ 17 d とは、メモリ制御回路 21 を介して誤差拡散回路 28 に供給される。

【0076】

通常画質画像データ 17 c が拡散誤差回路 28 に供給される場合、メモリ制御回路 21 は、初期値切り替え信号 37 を論理値 "0" に設定する。これにより、誤差拡散回路 28 は、第 1 初期値 x^1_{INI} を用いた誤差拡散処理を行うように設定される。誤差拡散回路 28 は、通常画質画像データ 17 c に対して第 1 初期値 x^1_{INI} を用いた誤差拡散処理を行い、減色通常画質画像データ 35 c を生成する。生成された減色通常画質画像データ 35 c は、表示用メモリ 23 のメイン領域 23 a に保存される。

【0077】

一方、高画質画像データ 17 d が拡散誤差回路 28 に供給される場合、メモリ制御回路 21 は、高画質画像データ 17 d のデータビットが拡散誤差回路 28 に入力される周波数の 2 倍の周波数で初期値切り替え信号 37 を切り替える。メモリ制御回路 21 は、マトリックス切り替え信号 32 を論理値 "0" に設定した状態で、高画質画像データ 17 d の、ある一の画素の階調データを拡散誤差回路 28 に入力する。初期値切り替え信号 37 が論理値 "0" に設定されたことに応答して、拡散誤差回路 28 は、その画素について第 1 初期値 x^1_{INI} を用いた誤差拡散処理を行う。第 1 初期値 x^1_{INI} を用いた誤差拡散処理の結果は、表示用メモリ 23 のメイン領域 23 a に保存される。続いて、メモリ制御回路 21 は初期値切り替え信号 37 を論理値 "1" に設定する。初期値切り替え信号 37 を論理値 "1" に設定されたことに応答して、拡散誤差回路 28 は、その画素について、第 2 初期値 x^2_{INI} を用いた誤差拡散処理を行う。第 2 初期値 x^2_{INI} を用いた誤差拡散処理の結果は、表示用メモリ 23 のサブ領域 23 b に保存される。他の画素についても同様の処理が行われる。このような過程により、拡散誤差回路 28 は、第 1 初期値 x^1_{INI} を用いた誤差拡散処理によって第 1 減色高画質画像データ 35 d を生成し、第 2 初期値 x^2_{INI} を用いた誤差拡散処理によって第 2 減色高画質画像データ 35 e を生成する。

。

10

20

30

40

50

【 0 0 7 8 】

減色通常画質画像データ 3 5 c と第 1 減色高画質画像データ 3 5 d とはメイン領域 2 3 a に保存され、第 2 減色高画質画像データ 3 5 e はサブ領域 2 3 b に保存される。データ線駆動回路 2 5 は、減色通常画質画像データ 3 5 c と、第 1 減色高画質画像データ 3 5 d と第 2 減色高画質画像データ 3 5 e とを用いてメイン LCD パネル 1 1 のデータ線 1 1 a を駆動する。メイン LCD パネル 1 1 の通常画質領域の画素は、減色通常画質画像データ 3 5 c に応答して駆動され、メイン LCD パネル 1 1 の高画質領域の画素は、第 1 減色高画質画像データ 3 5 d 及び第 2 減色高画質画像データ 3 5 e に応答して駆動される。

【 0 0 7 9 】

実施の第 1 形態と同様に、メイン LCD パネル 1 1 の通常画質領域の画像は、通常の画質で表示され、高画質領域に表示される画像の画質は、誤差拡散処理とフレームレートコントロール技術との併用によって高画質化される。減色通常画質画像データ 3 5 c は各フレーム毎に表示用メモリ 2 3 から読み出され、読み出された減色通常画質画像データ 3 5 c に応答して通常画質領域の画素が駆動される。これにより、メイン LCD パネル 1 1 の通常画質領域には、通常画質画像データ 1 7 c に対応した画像が、通常の画質で表示される。一方、第 1 減色高画質画像データ 3 5 d と第 2 減色高画質画像データ 3 5 e は、交互に読み出される。奇数フレームでは、第 1 減色高画質画像データ 3 5 d が表示用メモリ 2 3 から読み出され、高画質領域の画素は第 1 減色高画質画像データ 3 5 d に応答して駆動される。第 1 フレームに続く第 2 フレームでは、第 2 減色高画質画像データ 3 5 e が表示用メモリ 2 3 から読み出され、高画質領域の画素は第 2 減色高画質画像データ 3 5 e に応答して駆動される。このように、異なる初期値を用いて生成された画像データが、交互に使用されることにより、誤差拡散処理に起因する画像のモアレの発生が抑制され、高画質領域の画像の画質が向上される。

【 0 0 8 0 】

以上に説明されているように、本実施の形態のコントローラドライバ 1 4 は、複数の LCD パネルの駆動のために用意されているメモリ資源を有効に活用することにより、誤差拡散処理とフレームレートコントロール技術との併用による画質の向上を少ないメモリ容量で実現することができる。更に、コントローラドライバ 1 4 は、誤差拡散処理とフレームレートコントロールとの併用による画質の向上を、少ない消費電力で実現可能である。

【 0 0 8 1 】

本実施の形態において、第 1 減色高画質画像データ 3 5 d の生成に使用される第 1 初期値 x^1_{INI} と、第 2 減色高画質画像データ 3 5 e の生成に使用される第 2 初期値 x^2_{INI} とは、任意の画素の行について（即ち、任意の画素の y 座標について）、

$$x^1_{INI} + x^2_{INI} = \text{const.}$$

なる関係を成立させることが好適である。かかる関係を有する第 1 初期値 x^1_{INI} と第 2 初期値 x^2_{INI} とを使用することにより、誤差の分布が時間的・空間的に均一化され、これにより、より高い画質の画像を表示することができる。

【 0 0 8 2 】

（実施の第 3 形態）

3 - 1) 全体構成：

図 7 は、本発明の実施の第 3 形態の表示装置 3 0 を示すブロック図である。実施の第 3 形態では、コントローラドライバに送られる画像データの一部がビットマップ形式で、他の一部がベクター形式で転送される。このような画像データの転送方法は、必要な画質を確保しつつ、コントローラドライバに送られる画像データの量を抑制するために有効である。携帯機器の液晶ディスプレイに表示される画像には、ビットマップ形式の使用に適した画像と、ビットマップ形式の使用に適さないデータとがある。例えば、写真の画像は、細かいグラデーションその他の豊かな画像表現を実現するために、多くの階調数を必要とする。かかる写真の画像には、多くの階調を用いて豊かな画像表現を実現することが可能なビットマップ形式が適用されることが好適である。一方、ゲームの画面及び地図の画面のように、コントラストがはっきりしていれば充分である画像には、ビットマップ形式の

適用は画像データのデータサイズを無駄に大きくするため好適でない。更に、動画の表示をビットマップ形式の画像データで実現することは、大量のデータ転送が必要となり好適でない。このため、ゲームの画面、地図の画面及び動画のように、データ転送量の抑制が重視される画像の転送にはベクター形式が使用される。

【0083】

実施の第3形態の表示装置30は、LCDパネル51と、CPU52と、コントローラドライバ53と、ゲート線駆動回路54とを備えている。LCDパネル51は、y軸方向（垂直方向）に延設されるH本のデータ線（ソース線）51aと、x軸方向（水平方向）に延設されるV本のゲート線51bとを備えている。データ線51aとゲート線51bとが交差する位置のそれぞれには、画素が設けられている。即ち、LCDパネル51は、横

10

【0084】

CPU52は、LCDパネル51に表示されるべき画像に対応する画像データを生成してコントローラドライバ53に供給する。CPU52からコントローラドライバ53に送られる画像データは、LCDパネル51に表示されるべき画像に応じて、ベクター形式とビットマップ形式とのいずれかで生成される。生成された画像が、ベクター形式に適したデータである場合、CPU52は、該画像を表すベクターデータ55を生成して出力する。ベクターデータ55は、画像に含まれる図形要素を記述するベクターグラフィックコマンド（以下、単に「コマンド」という。）で構成されている。ベクターデータ55は、2ⁿ階調を表現可能なデータである。一フレームの画像は、一又は複数のコマンドによって表現される。典型的には、ベクターデータ55は、SVGTM(Scalable Vector Graphic)及びMacromediaFlashTMで記述され得る。ある画像を表現するために必要なベクターデータ55のデータ量は、それに等価なビットマップデータのデータ量よりも小さい。したがって、ベクターデータ55を用いてCPU52からコントローラドライバ53に画像データを転送することにより、コントローラドライバ53へのデータの転送量を抑制することができる。一方、CPU52によって生成された画像が、ビットマップ形式で表現されるのに適している場合、例えば、該画像が写真のように階調数が多い画像である場合、CPU52は、該画像に対応したビットマップデータ56を生成して出力する。ビットマップデータ56は、各画素の階調をkビットで表現する、2^k階調を表現可能な画像データであるのに対し、ベクターデータ55は、ビットマップデータ56よりも少ない2ⁿ階調を表現

20

30

【0085】

コントローラドライバ53は、CPU52から送られるベクターデータ55、ビットマップデータ56、及び制御信号57にตอบสนองしてLCDパネル51のデータ線51aを駆動する。コントローラドライバ53は、ベクターデータ55とビットマップデータ56との両方に対応可能な構成を有している。ベクターデータ55がコントローラドライバ53に送られる場合、コントローラドライバ53は、ベクターデータモードに設定され、ビットマップデータ56がコントローラドライバ53に送られる場合、コントローラドライバ53は、ビットマップデータモードに設定される。コントローラドライバ53は、ベクターデータモードに設定されると、CPU52から受信したベクターデータ55を変換してビットマップデータを生成し、生成したビットマップデータにตอบสนองしてLCDパネル51を駆動する。一方、ビットマップデータモードに設定されると、コントローラドライバ53は、CPU52から受信したビットマップデータ56にตอบสนองしてLCDパネル51を駆動する。更に、コントローラドライバ53は、ゲート線駆動回路54の動作タイミングを制御する制御するタイミング制御信号58を出力する。後述されるように、コントローラドライバ53は、ビットマップデータ56が供給されたときには、ディザ処理とフレームレートコントロールとを併用することによってLCDパネル51に高画質の画像を表示するように構成されている。

40

【0086】

50

ゲート線駆動回路54は、コントローラドライバ53から送られるタイミング制御信号58にตอบสนองして、LCDパネル51のゲート線51bを走査して駆動する。

【0087】

3-2) コントローラドライバ53の構成

コントローラドライバ53は、画像処理回路61と、メモリ制御回路62と、2出力ディザ回路63と、セクタ64と、第1表示用メモリ65と、第2表示用メモリ66と、ラッチ回路67と、データ線駆動回路68と、階調電位発生回路69と、タイミング制御回路70とを備えている。

【0088】

画像処理回路61は、ベクターデータ55をビットマップデータに変換して第1表示用メモリ65上に展開する処理を行う。画像処理回路61は、ビットマップデータを展開する処理において、第1表示用メモリ64を作業領域として用いる。詳細には、画像処理回路61は、ベクターデータ55に記述されているコマンドを順次に翻訳し、該コマンドが示す図形要素に対応した中間処理データ71を順次に第1表示用メモリ65に書き込む。中間処理データ71は、ビットマップ形式を有している。新たに入力された中間処理データ71に記述された図形要素が、第1表示用メモリ65に既に記憶されている図形要素と位置的に重なる場合、画像処理回路61は、重なる部分に対応するデータを書き換える。1フレームの画像を表現するコマンド全ての翻訳が完了すると、第1表示用メモリ65上には、その1フレームの画像を表すビットマップデータが生成される。

【0089】

メモリ制御回路62は、ビットマップデータ56を受け取って2出力ディザ回路63に転送し、更に、ビットマップデータ56の各画素のx座標及びy座標を示す座標データ72を2出力ディザ回路63に供給する。加えて、メモリ制御回路62は、CPU13からの制御信号57とタイミング制御回路27からのタイミング制御信号73とにตอบสนองして、第1表示用メモリ制御信号74と第2表示用メモリ制御信号75とを生成し、第1表示用メモリ65と第2表示用メモリ66とを制御する。第1表示用メモリ制御信号74と第2表示用メモリ制御信号75とは、それぞれ、アクセスされるアドレスを示すアドレス信号、ローアドレスストロープ信号(RAS信号)、カラムアドレスストロープ信号(CAS信号)を含んでいる。第1表示用メモリ65及び第2表示用メモリ66のアクセスアドレス、及び動作タイミングは、これらの信号によって制御される。

【0090】

2出力ディザ回路63は、座標データ72を用いて、ビットマップデータ56に対してpビットの減色を行うディザ処理を行い、第1減色画像データ76及び第2減色画像データ77を生成する。ここでpは、kより小さい正の整数である。第1減色画像データ76、第2減色画像データ77は、いずれも、一の画素の階調を $n (= k - p)$ ビットで表現するデータ、即ち、 2^n 階調データである。2出力ディザ回路63は、ディザマトリックス A^1 を用いたディザ処理によって第1減色画像データ76を生成し、ディザマトリックス A^2 を用いたディザ処理によって第2減色画像データ77を生成する。ディザマトリックス A^1 、 A^2 は、互いに異なる (p, p) ペイヤー型マトリックスである。

【0091】

セクタ64は、画像処理回路61から送られる中間処理データ71と2出力ディザ回路63から送られる第1減色画像データ76とのうちの一方を選択し、選択されたデータを第1表示用メモリ65に供給する。コントローラドライバ53がベクターデータモードに設定されると、セクタ64は、中間処理データ71を選択して第1表示用メモリ65に供給し、ビットマップデータモードに設定されると、第1減色ビットデータ76を選択して第1表示用メモリ65に供給する。

【0092】

第1表示用メモリ65は、セクタ64から出力されたデータ、即ち、中間処理データ71又は第1減色画像データ76を記憶する。第1表示用メモリ65は、 $H \times V \times n$ ビットの容量を有している。即ち、第1表示用メモリ65は、LCDパネル51に表示される

10

20

30

40

50

1 フレームの画像の 2^n 階調表示に必要なデータを保存する容量を有している。第1表示用メモリ65は、メモリ制御回路62から送られる第1メモリ制御信号74にตอบสนองして、それが記憶しているデータを第2表示用メモリ66に転送する。第1表示用メモリ65は、一行の画素の階調を示す $H \times n$ ビットの階調データをパラレルに出力可能である。

【0093】

第2表示用メモリ66は、メモリ制御回路62から送られる第2メモリ制御信号75にตอบสนองして、第1表示用メモリ65から転送された画像データを保存し、又は、2出力ディザ回路63から送られる第2減色画像データ77を保存する。第2表示用メモリ66は、第1表示用メモリ65と同様に、 $H \times V \times n$ (bit) の容量を有している。第2表示用メモリ66は、メモリ制御回路62から送られる第2メモリ制御信号75にตอบสนองして、記憶しているデータをラッチ回路67に転送する。第2表示用メモリ66は、一行の画素の階調を示す $H \times n$ ビットの階調データをパラレルに出力可能である。加えて、第2表示用メモリ66は、後述されるように、第1表示用メモリ65に記憶されているデータを、第2表示用メモリ66に保存されているデータを破壊せずにラッチ回路67に転送することができるような構成を有している。このような構成は、第1表示用メモリ65とラッチ回路67とを接続する専用配線を不要化し、コントローラドライバ53のチップ面積の縮小に有効である。

【0094】

ラッチ回路67、データ線駆動回路68、及び階調電位発生回路69は、第1表示用メモリ65と第2表示用メモリ66とに保存されている画像データにตอบสนองしてLCDパネル51を駆動する駆動部として機能する。ラッチ回路67、データ線駆動回路68、及び階調電位発生回路69の動作は、実施の第1形態のコントローラドライバ14のラッチ回路24、データ線駆動回路25、及び階調電位発生回路26と同様である。ラッチ回路67は、タイミング制御回路70から送られるラッチ信号78にตอบสนองして、一行の画素に対応する $H \times n$ ビットの階調データを第2表示用メモリ66からラッチしてデータ線駆動回路68に供給する。ここで、第2表示用メモリ66から送られる階調データは、第2表示用メモリ66を介して第1表示用メモリ65から送られる階調データであり得ることに留意されたい。階調電位発生回路69は、データ線駆動回路68に、LCDパネル51が表現可能な 2^n 階調にそれぞれに対応した 2^n 個の電位を供給する。データ線駆動回路68は、その 2^n 個の電位のうちから各画素の階調データに対応した電位を選択し、選択した電位をLCDパネル51のデータ線51aに出力する。

【0095】

タイミング制御回路70は、コントローラドライバ53のメモリ制御回路62、第1表示用メモリ65、第2表示用メモリ66、及びラッチ回路67、並びにゲート線駆動回路54の動作タイミングを制御する。タイミング制御回路70は、タイミング制御信号73をメモリ制御回路62に出力し、これにより、第1表示用メモリ65、第2表示用メモリ66のデータの書込みタイミング、及び読み出しタイミングを制御する。更に、タイミング制御回路70は、ラッチ信号78をラッチ回路67に供給し、ラッチ回路67がデータをラッチするタイミングを制御する。加えて、タイミング制御回路70は、タイミング制御信号58をゲート線駆動回路54に出力し、ゲート線駆動回路54がLCDパネル51のゲート線51bを駆動するタイミングを制御する。LCDパネル51に画像が表示されるフレームレートは、タイミング制御回路70が生成するタイミング制御信号73、ラッチ信号78、及びタイミング制御信号58によって調節可能である。

【0096】

3-3) 2出力ディザ回路63の構成

図8は、2ビットの減色を行う2出力ディザ回路63の構成の例を示すブロック図である。2出力ディザ回路63は、マトリクス値決定部63aと、第1マトリクス値格納部63bと、第2マトリクス値格納部63cと、加算器63d、63eとを備えている。2出力ディザ回路63には、1画素の階調を示す k ビットの階調データがパラレルで入力され、更に、その画素の x 座標と y 座標とを示す座標データ72が入力される。マトリ

10

20

30

40

50

ックス値決定部 63 a は、画素の x 座標を 2 で除算して得られる剰余 p と、該画素の y 座標を 2 で除算して得られる剰余 q とを算出する。剰余 p, q は、1 又は 0 である。第 1 デイザマトリックス値格納部 63 b, 第 2 デイザマトリックス格納部 63 c は、それぞれ、デイザマトリックス A^1 , A^2 を保持している。以下では、デイザマトリックス A^1 の (i, j) 要素を a^1_{ij} と記述し、デイザマトリックス A^2 の (i, j) 要素を a^2_{ij} と記述する。 a^1_{ij} , a^2_{ij} は、いずれも、2 ビットのデータである。第 1 デイザマトリックス値格納部 63 b は、剰余 p, q を受け取ると、デイザマトリックス A^1 の (p, q) 要素 a^1_{pq} を出力する。同様に、第 2 デイザマトリックス値格納部 63 c は、剰余 p, q を受け取ると、デイザマトリックス A^2 の (p, q) 要素 a^2_{pq} を出力する。加算器 63 d は、ビットマップデータ 56 に第 1 デイザマトリックス値格納部 63 b の出力 a^1_{pq} を加える。加算器 63 d の出力のうち、上位の n ビットが取り出され、取り出された n ビットが第 1 減色画像データ 76 として第 1 表示用メモリ 65 に格納される。同様に、加算器 63 e は、ビットマップデータ 56 に第 2 デイザマトリックス値格納部 63 c の出力 a^2_{pq} を加える。加算器 63 e の出力のうち、上位の n ビットが取り出され、取り出された n ビットが第 2 減色画像データ 77 として第 2 表示用メモリ 66 に格納される。

10

【0097】

かかる構成を有する 2 出力デイザ回路 63 は、ビットマップデータ 56 に対してデイザマトリックス A^1 を用いてデイザ処理を行うことにより第 1 減色画像データ 76 を生成し、デイザマトリックス A^1 と異なるデイザマトリックス A^2 を用いてデイザ処理を行うことにより第 2 減色画像データ 77 を生成する機能を有している。

20

【0098】

3 - 4) 第 1 表示用メモリ 65 と第 2 表示用メモリ 66 の構成

図 9 は、第 1 表示用メモリ 65 と第 2 表示用メモリ 66 の詳細を示す。

第 1 表示用メモリ 65 は、V 本のワード線 81 と、 $H \times n$ 本のビット線 82 と、 $H \times n$ 本の相補ビット線 83 と、 $H \times V \times n$ 個のメモリセル 84 と、ワード線デコーダ 85 と、ビット線デコーダ 86 とを備えている。ワード線 81 は、x 軸方向に延設され、ビット線 82 は、y 軸方向に延設される。相補ビット線 83 は、ビット線 82 のそれぞれに対応して設けられ、対応するビット線 82 と相補の電位を有している。一のビット線 82 とそれに対応する相補ビット線 83 とは、一のビット線対を構成する。メモリセル 84 は、ワード線 81 とビット線 82 とが交差する位置のそれぞれに設けられる。メモリセル 84 のそれぞれは、一のワード線 81、一のビット線 82 及び一の相補ビット線 83 に接続される。ワード線デコーダ 85 は、第 1 表示用メモリ制御信号 74 に応答してワード線 81 のうちの一を選択ワード線として選択する。ビット線デコーダ 86 は、セレクタ 64 から送られるデータ (即ち、中間処理データ 71 又は第 1 減色画像データ 76) を受け取り、そのデータが書き込まれるべきメモリセル 84 が接続されているビット線 82、相補ビット線 83 を、そのデータに対応する電位にプルアップ又はプルダウンする。

30

【0099】

第 1 表示用メモリ 65 から第 2 表示用メモリ 66 へのデータ転送は、ビット線 82 及び相補ビット線 83 が直接に第 2 表示用メモリ 66 に接続されることによって行われる。ただし、後述の第 2 表示用メモリ 66 と同様に、ビット線 82、相補ビット線 83 にセンスアンプが接続され、そのセンスアンプを介して第 1 表示用メモリ 65 から第 2 表示用メモリ 66 へのデータ転送が行われることが可能である。

40

【0100】

第 2 表示用メモリ 66 は、センスアンプを備えている点以外、第 1 表示用メモリ 65 と同様の構成を有している。第 2 表示用メモリ 66 は、V 本のワード線 91 と、 $H \times n$ 本のビット線 92 と、 $H \times n$ 本の相補ビット線 93 と、 $H \times V \times n$ 個のメモリセル 94 と、ワード線デコーダ 95 と、ビット線デコーダ 96 と、 $H \times n$ 個のセンスアンプ 97 とを備えている。相補ビット線 93 は、ビット線 92 のそれぞれに対応して設けられ、対応するビット線 92 と相補の電位を有している。一のビット線 92 とそれに対応する相補ビット線

50

9 3とは、一のビット線対を構成する。メモリセル9 4は、ワード線9 1とビット線9 2とが交差する位置のそれぞれに設けられる。メモリセル9 4のそれぞれは、一のワード線9 1、一のビット線9 2及び一の相補ビット線9 3に接続される。ワード線デコーダ9 5は、第2表示用メモリ制御信号7 5に应答してワード線9 1のうちの一を選択ワード線として選択する。ビット線デコーダ9 6は、第1表示用メモリ6 5のビット線8 2及び相補ビット線8 3に接続されている。ビット線デコーダ9 6は、第2表示用メモリ制御信号7 5に应答して、第1表示用メモリ6 5のビット線8 2及び相補ビット線8 3を、それぞれ、第2表示用メモリ6 6のビット線9 2及び相補ビット線9 3に電氣的に接続する。更に、ビット線デコーダ9 6は、第2表示用メモリ制御信号7 5に应答して、第2減色画像データ7 7を受け取り、そのデータが書き込まれるべきメモリセル9 4が接続されているビット線9 2及び相補ビット線9 3を、そのデータに対応する電位にプルアップ又はプルダウンする。センスアンプ9 7は、ビット線9 2と相補ビット線9 3との電位を比較してビット線9 2に現れているデータを判別し、判別したデータをその出力から出力する。一对のビット線9 2と相補ビット線9 3に対して一つのセンスアンプ9 7が設けられている。

【0101】

第1表示用メモリ6 5のビット線8 2と第2表示用メモリ6 6のビット線9 2との本数が同一であることは、第1表示用メモリ6 5から第2表示用メモリ6 6へのデータの転送を容易にする点で有効である。このような構成は、第1表示用メモリ6 5のビット線8 2と第2表示用メモリ6 6のビット線9 2とを一对一に接続し、相補ビット線8 3と相補ビット線9 3とを一对一に接続することを可能にする。これは、データを転送する回路の簡素化に有効である。更に、第1表示用メモリ6 5と第2表示用メモリ6 6とが、同一の本数のワード線及びビット線を含むことは、メモリ制御回路6 2から第1表示用メモリ6 5及び第2表示用メモリ6 6に与えられるアドレスを共通にすることを可能にする。これは、アドレスの生成を容易にする。

【0102】

図9の第1表示用メモリ6 5と第2表示用メモリ6 6の構成は、第2表示用メモリ6 6に記憶されている画像データを破壊することなく第1表示用メモリ6 5からラッチ回路6 7に1行の画素の階調データを転送することを可能にする。第2表示用メモリ6 6のワード線9 1の全てを非活性化した状態で、第1表示用メモリ6 5の選択ワード線を活性化し、更に、ビット線デコーダ9 6によって第1表示用メモリ6 5のビット線8 2と第2表示用メモリ6 6のビット線9 2とを電氣的に接続し、第2表示用メモリ6 6のセンスアンプ9 7を活性化することにより、第1表示用メモリ6 5からラッチ回路6 7に1行の画素の階調データを転送することができる。ワード線9 1の全てを非活性化することにより、第2表示用メモリ6 6に記憶されている画像データは破壊されない。

【0103】

3 - 5) 表示装置3 0の動作

上述のように、本実施の形態では、コントローラドライバ5 3はベクターデータモードとビットマップデータモードとで動作可能である。以下では、コントローラドライバ5 3がベクターデータモード及びビットマップデータモードに設定されるときにそれぞれにおける表示装置3 0の動作が詳細に説明される。

【0104】

1. コントローラドライバ5 3がベクターデータモードに設定されるとき

図10は、コントローラドライバ5 3がベクターデータモードに設定されるときに表示装置3 0の動作を示す。CPU5 2は、制御信号5 7によってコントローラドライバ5 3にベクターデータ5 5を供給する旨を通知し、コントローラドライバ5 3をベクターデータモードに設定する。更にCPU5 3は、LCDパネル5 1に表示されるべき画像に対応したベクターデータ5 5を生成してコントローラドライバ5 3に供給する。

【0105】

ベクターデータ5 5がコントローラドライバ5 3に与えられると、コントローラドライバ5 3は、画像処理回路6 1を用いてベクターデータ5 5をビットマップデータに変換し

10

20

30

40

50

、変換されたビットマップデータにตอบสนองして、LCDパネル51を駆動される。詳細には、以下の過程によりLCDパネル51が駆動される。

【0106】

まず、ベクターデータ55がビットマップデータに変換され、該ビットマップデータが第1表示用メモリ65上に展開される。ビットマップデータへの変換は以下のようにして行われる。CPU52からベクターデータ55がコントローラドライバ53に供給されると、コントローラドライバ53の画像処理回路61は、ベクターデータ55に含まれるコマンドを順次に解釈して表示画像に含まれる図形要素を認識し、その図形要素に対応する中間処理データ71を順次に生成する。画像処理回路61は、生成した中間処理データ71をセレクタ64を介して第1表示用メモリ65に書き込む。新たに入力された中間処理データ71に記述された図形要素が、第1表示用メモリ65に既に記憶されている図形要素と位置的に重なる場合、画像処理回路61は、重なる部分に対応するデータを書き換える。1フレームの画像を表現するコマンド全ての翻訳が完了すると、第1表示用メモリ65上には、その1フレームの画像を表すビットマップデータが生成される。第1表示用メモリ65上に生成されたビットマップデータは、 2^n 階調の画像を表現するデータである。

10

【0107】

続いて、第1表示用メモリ65上に生成されたビットマップデータが第2表示用メモリ66に転送される。第2表示用メモリ66に転送されたビットマップデータに基づいてLCDパネル51は駆動される。転送が完了した後は、第2表示用メモリ66に転送されたビットマップデータに基づくLCDパネル51の駆動と、次のフレームのベクターデータ55に含まれるコマンドの処理とが並行して行われる。これにより、ベクターデータ55のレイテンシーが有効に向上される。

20

【0108】

第1表示用メモリ65に記憶されているビットマップデータは、LCDパネル51の駆動には直接には使用されない。これは、第1表示用メモリ65上に展開されているビットマップデータが不完全である間に、そのビットマップデータがLCDパネル51への画像の表示に使用されることを防ぐためである。一フレームの画像を表現する一群のコマンドの処理が完了して初めて、第1表示用メモリ65上には「完全な」ビットマップデータが展開される。しかし、第1表示用メモリ65上への「完全な」ビットマップデータの展開が完了するタイミングと、LCD51の画像の更新やリフレッシュが開始されるタイミングは同期しない。従って、作業領域として使用される第1表示用メモリ65に記憶されているビットマップデータがLCDパネル51の駆動に直接使用されると、不所望な画像がLCDパネル51に表示されることになる。このため、「完全な」ビットマップデータが生成された後、その「完全な」ビットマップデータが、第1表示用メモリ65から第2表示用メモリ66に転送される。更に、第2表示用メモリ66に記憶された「完全な」ビットマップデータが周期的に読み出され、読み出されたビットマップデータがLCDパネル51の画像の更新及びリフレッシュに使用される。

30

【0109】

続いて、第2表示用メモリ66に転送されたビットマップデータが、順次にラッチ回路67を介してデータ線駆動回路68に読み出され、読み出されたビットマップデータにตอบสนองしてLCDパネル51が駆動される。詳細には、ラッチ回路67にラッチされた1行の画素の階調データにตอบสนองして、LCDパネル51のデータ線51aがデータ線駆動回路68によって駆動され、更に、ラッチされた1行の画素に対応するゲート線51bがゲート線駆動回路54によって駆動される。他の行の画素についても同様にLCDパネル51のデータ線51a及びゲート線51bが駆動され、第2表示用メモリ66に記憶されたビットマップデータにตอบสนองしてLCDパネル51が駆動される。

40

【0110】

2. コントローラドライバ53がビットマップデータモードに設定されるとき

図11は、コントローラドライバ53がビットマップデータモードに設定されるとき

50

表示装置 30 の動作を示す。CPU 52 は、制御信号 57 によってコントローラドライバ 53 にビットマップデータ 56 を供給する旨を通知し、コントローラドライバ 53 をビットマップデータモードに設定する。更に CPU 53 は、LCD パネル 51 に表示されるべき画像に対応したビットマップデータ 56 を生成してコントローラドライバ 53 に供給する。

【0111】

ビットマップデータ 56 がコントローラドライバ 53 に与えられると、コントローラドライバ 53 のメモリ制御回路 62 は、ビットマップデータ 56 を 2 出力ディザ回路 63 に転送し、更に、座標データ 72 を 2 出力ディザ回路 63 に供給する。

【0112】

2 出力ディザ回路 63 は、ディザマトリックス A¹ を用いたディザ処理によってビットマップデータ 56 を減色して第 1 減色画像データ 76 を生成し、ディザマトリックス A² を用いたディザ処理によってビットマップデータ 56 を減色して第 2 減色画像データ 77 とを生成する。第 1 減色画像データ 76 は、セクタ 64 を介して第 1 表示用メモリ 65 に転送され、第 1 表示用メモリ 65 に保存される。第 2 減色画像データ 77 は、第 2 表示用メモリ 66 に転送され、第 2 表示用メモリ 66 に保存される。

【0113】

データ線駆動回路 68 は、第 1 減色高画質画像データ 76 と第 2 減色高画質画像データ 77 とにตอบสนองして LCD パネル 51 のデータ線 51a を駆動し、LCD パネル 51 に画像を表示する。LCD パネル 51 に表示される画像の画質は、ディザ処理とフレームレートコントロール技術との併用によって高画質化される。第 1 フレームでは、ディザマトリックス A¹ を用いたディザ処理によって生成された第 1 減色画像データ 76 が第 1 表示用メモリ 65 からデータ線駆動回路 68 に転送され、LCD パネル 51 の画素は、第 1 減色画像データ 76 にตอบสนองして駆動される。第 1 減色画像データ 76 の第 1 表示用メモリ 65 からデータ線駆動回路 68 への転送は、第 2 表示用メモリ 66 のビット線 92 及びラッチ回路 67 を介して行われる。第 1 フレームに続く第 2 フレームでは、ディザマトリックス A² を用いたディザ処理によって生成された第 2 減色画像データ 77 が第 2 表示用メモリ 66 から読み出され、LCD パネル 51 の画素は第 2 減色画像データ 77 にตอบสนองして駆動される。以下同様に、奇数フレームでは、第 1 減色画像データ 76 にตอบสนองして LCD パネル 51 の画素が駆動され、偶数フレームでは、第 2 減色画像データ 77 にตอบสนองして LCD パネル 51 の画素が駆動される。このように、異なるディザマトリックスを用いて生成された画像データが、交互に使用されることにより、ディザ処理に起因する画像の粒状感が抑制され、LCD パネル 51 に表示される画像の画質が向上される。

【0114】

コントローラドライバ 53 は、以下の動作により、LCD パネル 51 に表示される画像の一部のみを更新することが可能である。画像の更新部分に対応する差分画像データが、更新部分の画素の座標を示す座標データとともに、CPU 52 からコントローラドライバ 53 に供給される。該差分画像データは、ビットマップ形式を有している。2 出力ディザ回路 63 は、その差分画像データに対してディザマトリックス A¹、A² を用いたディザ処理をそれぞれに行い、2 つの差分画像データを生成する。更に、第 1 表示用メモリ 65 に記憶されている第 1 減色画像データ 76 のうち、該更新部分に対応する部分が、ディザマトリックス A¹ を用いたディザ処理によって減色された差分画像データに書き換えられ、第 2 表示用メモリ 66 に記憶されている第 2 減色画像データ 67 のうち、該更新部分に対応する部分が、ディザマトリックス A² を用いたディザ処理によって減色された差分画像データに書き換えられる。これにより、メイン LCD パネル 51 に表示される画像の一部のみを更新できる。画像の更新部分のみをコントローラドライバ 14 に送ることによって画像を更新できることは、消費電力の低減に有効であり、本実施の形態の表示装置 30 が携帯端末に適用される場合に特に有用である。

【0115】

なお、奇数フレームにおいて第 2 減色画像データ 77 にตอบสนองして LCD パネル 51 の画

10

20

30

40

50

素が駆動され、偶数フレームにおいて第1減色画像データ76にตอบสนองしてLCDパネル51の画素が駆動されることも可能である。

【0116】

以上に説明されているように、本実施の形態のコントローラドライバ53は、ベクターデータ55の処理のために用意されているメモリ資源を有効に活用することにより、ディザ処理とフレームレートコントロール技術との併用による画質の向上を少ないメモリ容量で実現することができる。上述されているように、第1表示用メモリ65は、ベクターデータ55をビットマップデータに変換するための作業領域と、フレームレートコントロールに使用される第1減色画像データ76を保存する保存領域とに兼用される。これは、ベクターデータ55の処理と、LCDパネル51への高画質の画像の表示とを、少ないメモリ資源で実現することを可能にする。

10

【0117】

更に、本実施の形態のコントローラドライバ53は、ディザ処理とフレームレートコントロールとの併用による画質の向上を、少ない消費電力で実現可能である。コントローラドライバ14は、一旦、第1減色画像データ76と第2減色画像データ77とを、異なるディザマトリックスを用いて生成して第1表示用メモリ65及び第2表示用メモリ66に保存してしまえば、その後、CPU52からフレーム毎に画像データを受け取らずにフレームレートコントロールを実現できる。このような動作は、CPU52からコントローラドライバ53へのデータ転送量を抑制しながら、フレームレートコントロールを実現することを可能にする。データ転送量の抑制は、コントローラドライバ53の消費電力の低減に有効である。

20

【0118】

本実施の形態において、コントローラドライバ53がビットマップデータモードに設定されたときにLCDパネル51がリフレッシュされるフレームレートは、コントローラドライバ53がベクターデータモードに設定されたときのフレームレートよりも高いことが好適である。これにより、消費電力の増大を抑制しつつ、より高画質の画像の表示が可能になる。

【0119】

(実施の第4形態)

4-1) 表示装置の構成

30

図12は、本発明の実施の第4形態における表示装置40を示すブロック図である。実施の第4形態の表示装置40は、ビットマップデータ56のpビットの減色を、ディザ処理ではなく誤差拡散処理によって行う。誤差拡散処理を行うために、実施の第4形態では、2出力ディザ回路63の代わりに2出力誤差拡散回路79が使用される。2出力誤差拡散回路79は、座標データ72を用いてビットマップデータ56の誤差拡散処理を行う。

【0120】

2出力誤差拡散回路79は、ビットマップデータ56に対して異なる初期値を用いて誤差拡散処理を行い、2つの減色画像データ、即ち、第1減色画像データ76及び第2減色画像データ77を生成する。実施の第3形態と同様に、生成された第1減色画像データ76は、第1表示用メモリ65に保存され、第2減色画像データ77は、第2表示用メモリ66に保存される。

40

【0121】

図13は、2出力誤差拡散回路79の構成を示す。2出力誤差拡散回路79の構成は、セレクタ43を除いた点以外、実施の第2形態の誤差拡散回路28と同一である。2出力誤差拡散回路79は、初期値設定回路101と、第1誤差拡散部102aと、第2誤差拡散部102bとを備えている。初期値設定回路101は、座標データ72に示された画素のy座標にตอบสนองして、第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とを生成する。第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とは、互いに異なり、且つ、いずれも画素のy座標に依存する。例えば、yを4で割った余りが0である場合、第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とは、それぞれ0, 3であり、余りが1である場合にはそれぞれ2

50

、1であり、余りが2である場合にはそれぞれ1、2であり、そして余りが3である場合にはそれぞれ3、0である。

【0122】

第1誤差拡散部102aは、初期値設定回路101から供給される第1初期値 x^1_{INI} を用いてビットマップデータ56に対して誤差拡散演算を行い、第1減色画像データ76を生成する。誤差拡散演算を行うために、第1誤差拡散部102aは、加算器103と遅延回路104と誤差セクタ105と加算器106とを備えている。加算器103は、ビットマップデータ56の下位2ビットと、誤差セクタ105が出力する2ビットの誤差 x との加算演算を行い、和データ x_{SUM} とキャリー c とを生成する。和データ x_{SUM} は、ビットマップデータ56の下位2ビットと誤差 x との和を示す2ビットのデータであり、キャリー c は、加算器103による加算演算における桁上げの発生の有無を示す。遅延回路104は、和データ x_{SUM} を1画素分だけ遅延して出力する。誤差セクタ105は、画素の x 座標が1である場合（即ち、画素が行の左端にある場合）、第1初期値 x^1_{INI} を誤差 x として加算器103に出力し、そうでない場合、遅延回路104の出力を誤差 x として加算器103に出力する。加算器106は、ビットマップデータ56の上位 n ビットと、加算器103からのキャリー c とを加算する。加算器106の出力が、第1初期値 x^1_{INI} を用いた誤差拡散演算により得られる第2減色画像データ76になる。

10

【0123】

第2誤差拡散部102bは、初期値設定回路101から供給される第2初期値 x^2_{INI} を用いてビットマップデータ56に対して誤差拡散演算を行い、第2減色画像データ77を生成する。第2誤差拡散部102bは、第2初期値 x^2_{INI} が誤差セクタ105に入力される以外、第1誤差拡散部102aと同一の構成及び機能を有している。

20

【0124】

4-2) 表示装置40の動作

実施の第4形態の表示装置40の動作は、第1減色画像データ76及び第2減色画像データ77の生成が、上述された誤差拡散処理によって行われる点以外、実施の第3形態の表示装置30の動作と同一である。

【0125】

コントローラドライバ53がベクターデータモードに設定された場合には、コントローラドライバ53は、ベクターデータ55にตอบสนองしてLCDパネル51を駆動する。詳細には、画像処理回路61は、ベクターデータ55をCPU52から受信し、第1表示用メモリ65を作業領域として使用しながら受信したベクターデータ55をビットマップデータに変換し、そのビットマップデータを第1表示用メモリ65に保存する。そのビットマップデータは、第1表示用メモリ65から第2表示用メモリ66に転送され、第2表示用メモリ66に保存される。データ線駆動回路68は、第2表示用メモリ66から該ビットマップデータを読み出し、読み出したビットマップデータにตอบสนองして、LCDパネル51を駆動する。

30

【0126】

一方、コントローラドライバ53がビットマップデータモードに設定された場合には、コントローラドライバ53は、ビットマップデータ56にตอบสนองしてLCDパネル51を駆動する。このとき、コントローラドライバ53は、誤差拡散処理とフレームレートコントロールとを併用することによってLCDパネル51に表示される画像の画質を向上する。詳細には、ビットマップデータ56がコントローラドライバ53に入力されると、2出力誤差拡散回路79は、メモリ制御回路62を介してビットマップデータ56を受け取る。2出力誤差拡散回路79は、第1初期値 x^1 を用いた誤差拡散処理によってビットマップデータ56を減色して第1減色画像データ76を生成し、第1初期値 x^1 を用いた誤差拡散処理によってビットマップデータ56を減色して第2減色画像データ77を生成する。第1減色画像データ76は、第1表示用メモリ65に保存され、第2減色画像データ77は、第2表示用メモリ66に保存される。奇数フレームでは、データ線駆動回路68は

40

50

、第2表示用メモリ66を介して第1減色画像データ76を第1表示用メモリ65から読み出し、第1減色画像データ76にตอบสนองしてLCDパネル51を駆動する。偶数フレームでは、データ線駆動回路68は、第2減色画像データ77を第2表示用メモリ66から読み出し、第2減色画像データ77にตอบสนองしてLCDパネル51を駆動する。異なる初期値を用いて生成された第1減色画像データ76と第2減色画像データ77とが交互に表示されることにより、誤差拡散処理に起因する画像のモアレの発生が抑制され、LCDパネル51に表示される画像の画質が向上される。

【0127】

以上に説明されているように、本実施の形態のコントローラドライバ53は、ベクターデータ55の処理のために用意されているメモリ資源を有効に活用することにより、誤差拡散処理とフレームレートコントロール技術との併用による画質の向上を少ないメモリ容量で実現することができる。更に、コントローラドライバ53は、誤差拡散処理とフレームレートコントロールとの併用による画質の向上を、少ない消費電力で実現可能である。

10

【0128】

本実施の形態において、第1減色画像データ76の生成に使用される第1初期値 x^1_{INI} と、第2減色画像データ77の生成に使用される第2初期値 x^2_{INI} とは、任意の画素の行について（即ち、任意の画素のy座標について）、

$$x^1_{INI} + x^2_{INI} = \text{const.}$$

なる関係を成立させることが好適である。かかる関係を有する第1初期値 x^1_{INI} と第2初期値 x^2_{INI} とを使用することにより、誤差の分布が時間的・空間的に均一化され、これにより、より高い画質の画像を表示することができる。

20

【図面の簡単な説明】

【0129】

【図1】図1は、本発明の実施の第1形態における表示装置10の構成を示すブロック図である。

【図2】図2は、実施の第1形態における切り替えディザ回路の構成を示すブロック図である。

【図3】図3は、実施の第1形態において、コントローラドライバ14が通常駆動モードに設定されているときの表示装置10の動作を示す。

【図4】図4は、実施の第1形態において、コントローラドライバ14が高画質モードに設定されているときの表示装置10の動作を示す。

30

【図5】図5は、本発明の実施の第2形態における表示装置20の構成を示すブロック図である。

【図6】図6は、実施の第2形態における誤差拡散回路28の構成を示すブロック図である。

【図7】図7は、本発明の実施の第3形態における表示装置30の構成を示すブロック図である。

【図8】図8は、実施の第3形態における2出力ディザ回路63の構成を示すブロック図である。

【図9】図9は、実施の第3形態における第1表示用メモリ65、第2表示用メモリ66の構成を示すブロック図である。

40

【図10】図10は、実施の第3形態において、コントローラドライバ14がベクターデータモードに設定されているときの表示装置30の動作を示す。

【図11】図11は、実施の第3形態において、コントローラドライバ14がビットマップデータモードに設定されているときの表示装置30の動作を示す。

【図12】図12は、本発明の実施の第4形態における表示装置40の構成を示すブロック図である。

【図13】図13は、実施の第4形態における誤差拡散回路79の構成を示すブロック図である。

【符号の説明】

50

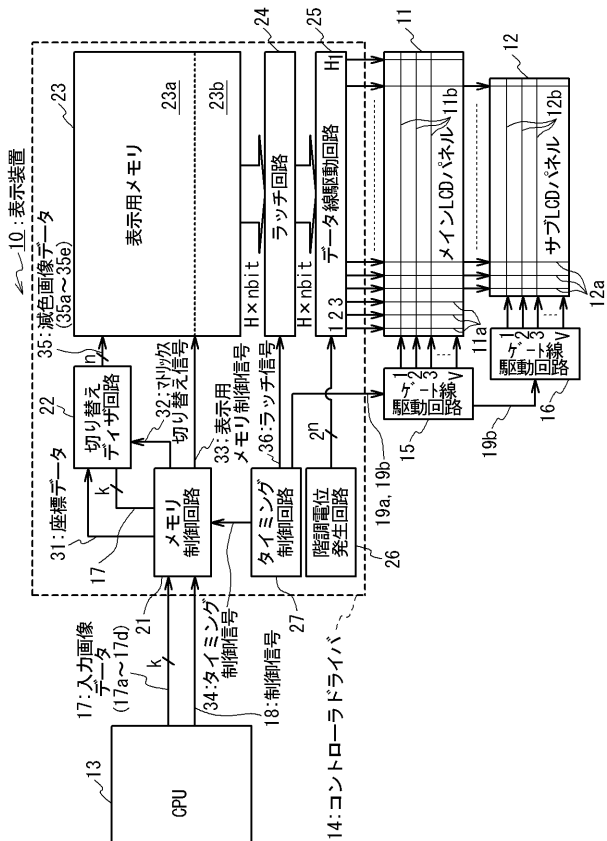
【 0 1 3 0 】

1 0 , 2 0 , 3 0 , 4 0 : 表示装置	
1 1 : メイン L C D パネル	
1 2 : サブ L C D パネル	
1 1 a , 1 2 a : データ線	
1 1 b , 1 2 b : ゲート線	
1 3 : C P U (central processing unit)	
1 4 : コントローラドライバ	
1 5 , 1 6 : ゲート線駆動回路	
1 7 : 入力画像データ	10
1 7 a : メイン画像データ	
1 7 b : サブ画像データ	
1 7 c : 通常画質画像データ	
1 7 d : 高画質画像データ	
1 8 : 制御信号	
1 9 a , 1 9 b : タイミング制御信号	
2 1 : メモリ制御回路	
2 2 : 切り替えディザ回路	
2 2 a : マトリックス値決定部	
2 2 b : X O R ゲート	20
2 2 c : ディザマトリックス値格納部	
2 2 d : 加算器	
2 3 : 表示用メモリ	
2 3 a : メイン領域	
2 3 b : サブ領域	
2 4 : ラッチ回路	
2 5 : データ線駆動回路	
2 6 : 階調電位発生回路	
2 7 : タイミング制御回路	
2 8 : 誤差拡散回路	30
3 1 : 座標データ	
3 2 : マトリックス切り替え信号	
3 3 : 表示用メモリ制御信号	
3 4 : タイミング制御信号	
3 5 : 減色画像データ	
3 5 a : 減色メイン画像データ	
3 5 b : 減色サブ画像データ	
3 5 c : 減色通常画質画像データ	
3 5 d : 第 1 減色高画質画像データ	
3 5 e : 第 2 減色高画質画像データ	40
3 6 : ラッチ信号	
3 7 : 初期値切り替え信号	
4 1 : 初期値設定回路	
4 2 a : 第 1 誤差拡散部	
4 2 b : 第 2 誤差拡散部	
4 3 : セレクタ	
4 4 a : 第 1 減色画像データ	
4 4 b : 第 2 減色画像データ	
4 6 : 加算器	
4 7 : 遅延回路	50

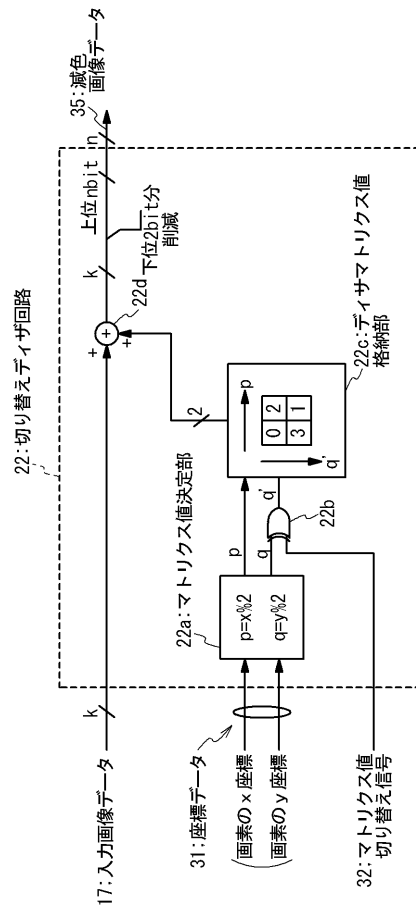
4 8	: 誤差セレクタ	
4 9	: 加算器	
5 1	: L C D パネル	
5 1 a	: データ線	
5 1 b	: ゲート線	
5 2	: C P U	
5 3	: コントローラドライバ	
5 4	: ゲート線駆動回路	
5 5	: ベクターデータ	
5 6	: ビットマップデータ	10
5 7	: 制御信号	
5 8	: タイミング制御信号	
6 1	: 画像処理回路	
6 2	: メモリ制御回路	
6 3	: 2 出力ディザ回路	
6 3 a	: マトリックス値決定部	
6 3 b	: 第 1 マトリックス値格納部	
6 3 c	: 第 2 マトリックス値格納部	
6 3 d , 6 3 e	: 加算器	
6 4	: セレクタ	20
6 5	: 第 1 表示用メモリ	
6 6	: 第 2 表示用メモリ	
6 7	: ラッチ回路	
6 8	: データ線駆動回路	
6 9	: 階調電位発生回路	
7 0	: タイミング制御回路	
7 1	: 中間処理データ	
7 2	: 座標データ	
7 3	: タイミング制御信号	
7 4	: 第 1 表示用メモリ制御信号	30
7 5	: 第 2 表示用メモリ制御信号	
7 6	: 第 1 減色画像データ	
7 7	: 第 2 減色画像データ	
7 8	: ラッチ信号	
7 9	: 2 出力誤差拡散回路	
8 1	: ワード線	
8 2	: ビット線	
8 3	: 相補ビット線	
8 4	: メモリセル	
8 5	: ワード線デコーダ	40
8 6	: ビット線デコーダ	
9 1	: ワード線	
9 2	: ビット線	
9 3	: 相補ビット線	
9 4	: メモリセル	
9 5	: ワード線デコーダ	
9 6	: ビット線デコーダ	
9 7	: センスアンプ	
1 0 1	: 初期値設定回路	
1 0 2 a	: 第 1 誤差拡散部	50

- 1 0 2 b : 第 2 誤差拡散部
- 1 0 3 : 加算器
- 1 0 4 : 遅延回路
- 1 0 5 : 誤差セレクタ
- 1 0 6 : 加算器

【 図 1 】

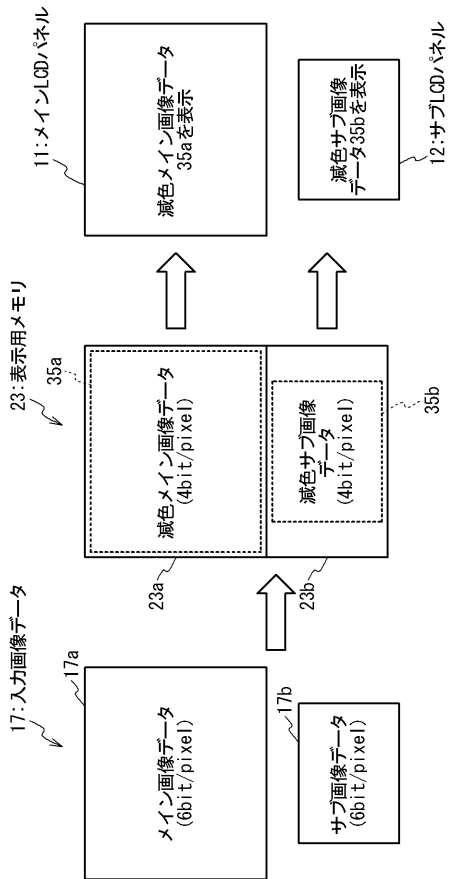


【 図 2 】

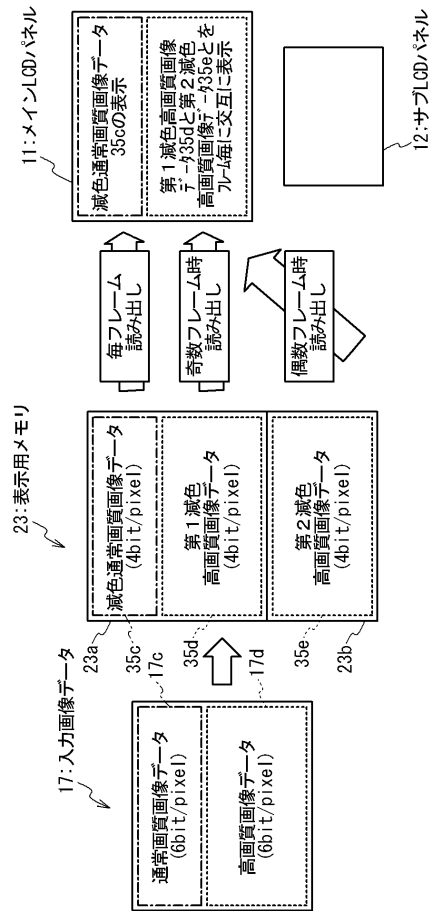


- 17: 入力画像データ (17a~17d)
- 18: 制御信号
- 19a, 19b: タイミング制御信号
- 20: 制御信号
- 21: 切り替えダイザ回路
- 22: 切り替えダイザ回路
- 23: 減色画像データ (23a~23e)
- 24: 表示装置
- 25: 減色画像データ (25a~25e)
- 26: 制御信号
- 27: 制御信号
- 28: 制御信号
- 29: 制御信号
- 30: 制御信号
- 31: 座標データ (画面の x 座標, 画面の y 座標)
- 32: マトリクス値切り替え信号
- 33: 表示用メモリ制御信号
- 34: タイミング制御信号
- 35: 減色画像データ (35a~35e)

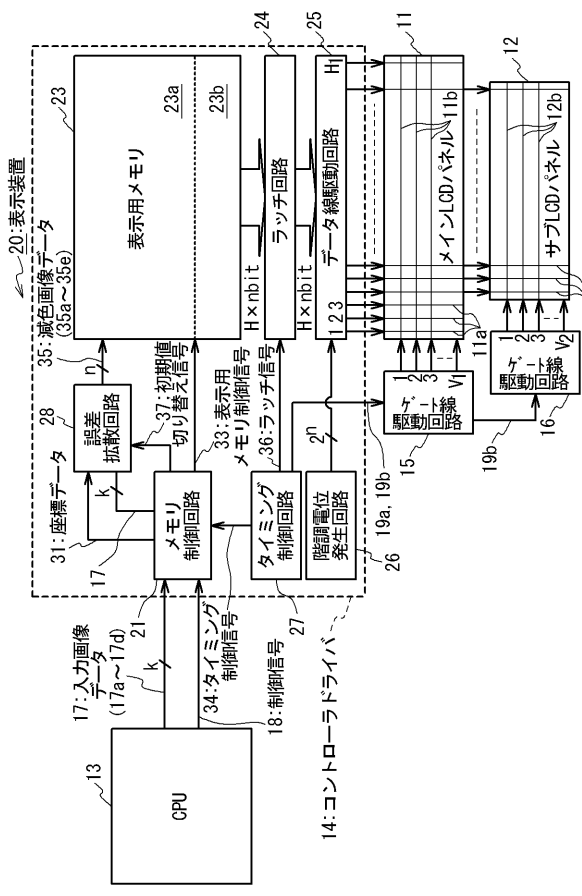
【図3】



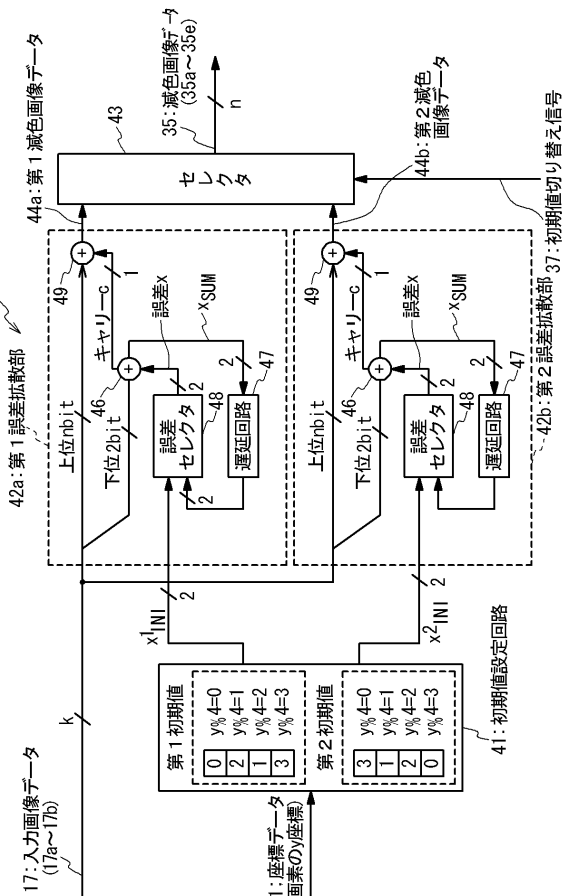
【図4】



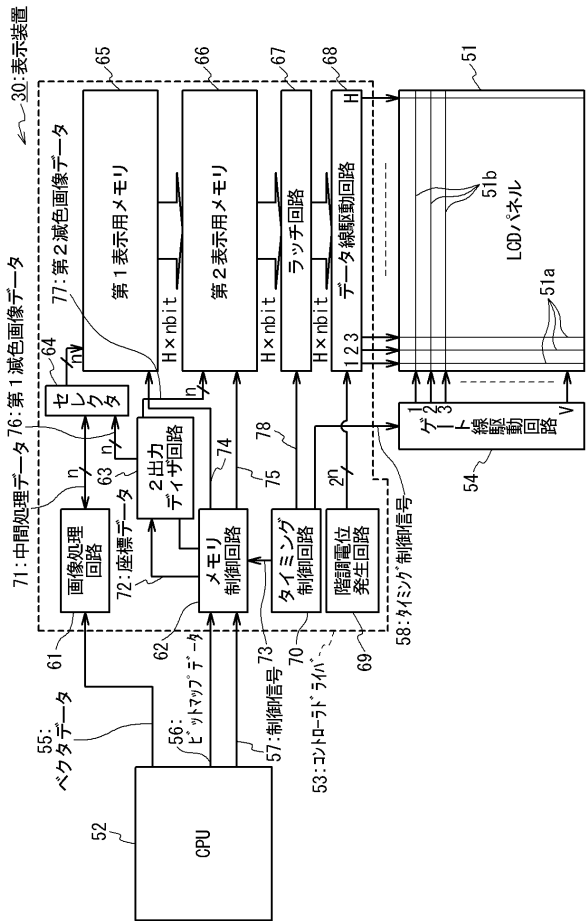
【図5】



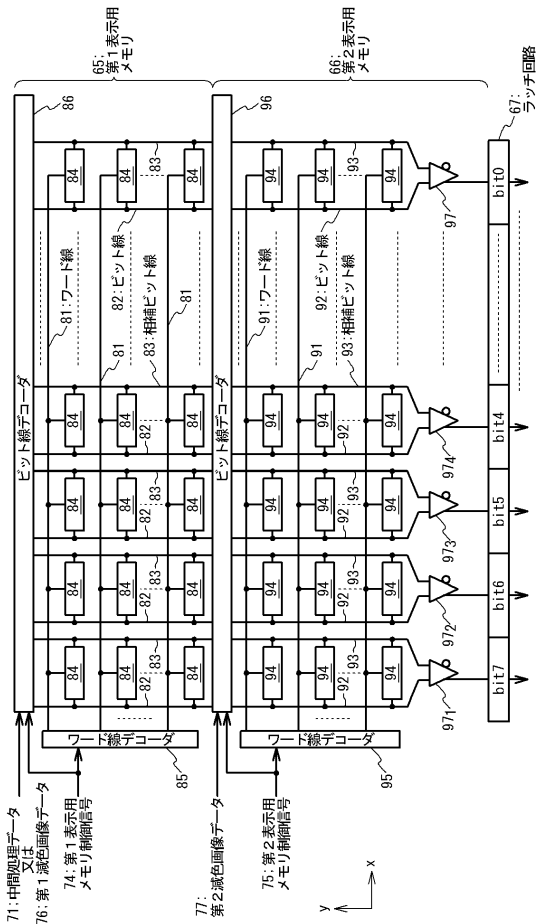
【図6】



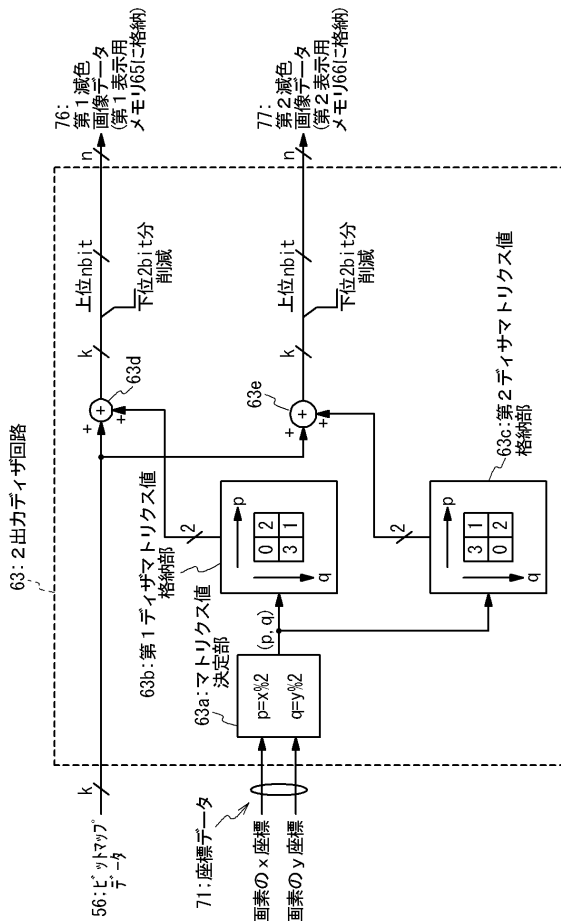
【 図 7 】



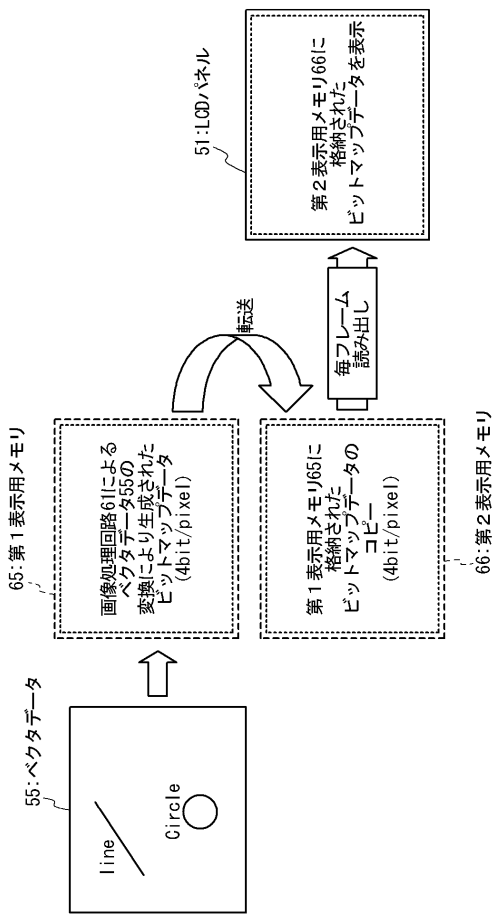
【 図 9 】



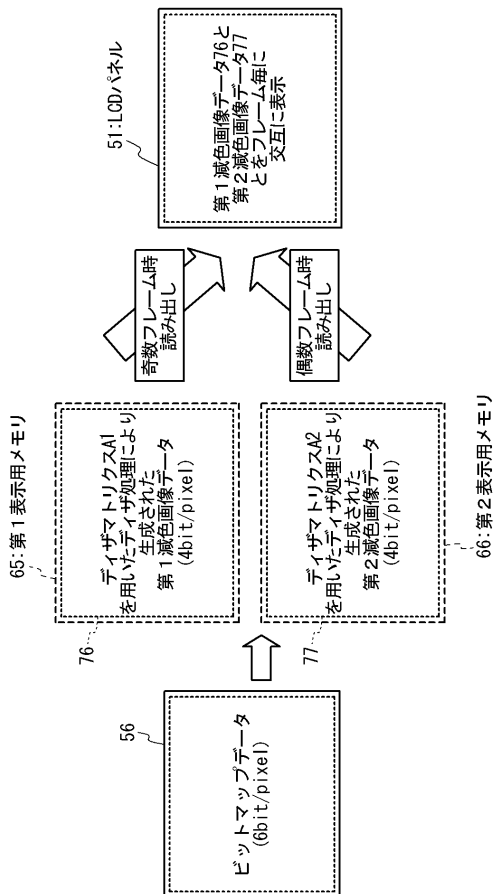
【 図 8 】



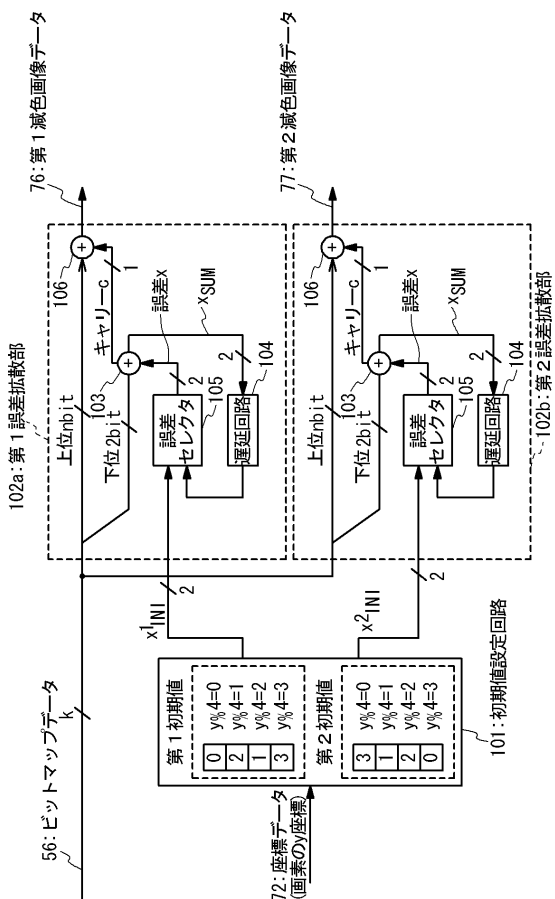
【 図 10 】



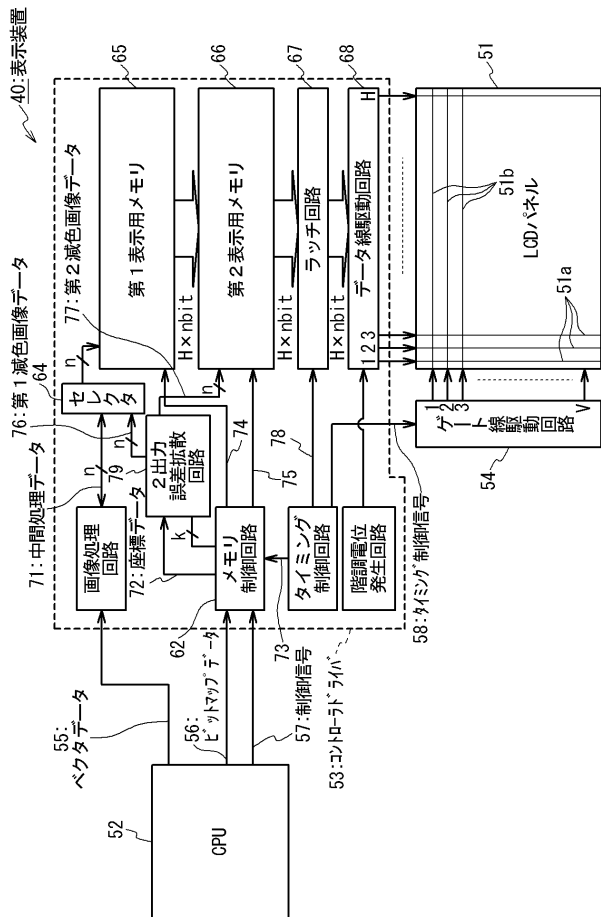
【図 1 1】



【図 1 3】



【図 1 2】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 3 2 B
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 4 1 H
G 0 9 G	3/20	6 8 0 D
G 0 9 G	5/36	5 2 0 A
G 0 9 G	5/00	5 1 0 V
G 0 9 G	5/36	5 3 0 D
G 0 9 G	5/00	5 2 0 J

(56)参考文献 特開2001-034232(JP,A)
特開2000-188702(JP,A)
特開2001-092405(JP,A)
特開平10-124024(JP,A)
特開2001-092404(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0 - 3 / 0 8
G 0 9 G	3 / 1 2
G 0 9 G	3 / 1 6 - 3 / 2 6
G 0 9 G	3 / 3 0
G 0 9 G	3 / 3 4 - 3 / 3 8
G 0 9 G	5 / 0 0 - 5 / 4 0