



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 51/40 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월01일 10-0598705 2006년07월03일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1998-0049107 1998년11월16일 2003년10월17일	(65) 공개번호 (43) 공개일자	10-1999-0045323 1999년06월25일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장	97-315682 98-37673 98-109983	1997년11월17일 1998년02월19일 1998년04월20일	일본(JP) 일본(JP) 일본(JP)
------------	------------------------------------	---	----------------------------

(73) 특허권자                    소니 가부시끼 가이샤  
일본국 도쿄도 시나가와구 키타시나가와 6쵸메 7반 35고

(72) 발명자                        하세가와 도시야키  
일본국 도쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시끼  
가이샤내

나카야마 하지메  
일본국 도쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시끼  
가이샤내

(74) 대리인                        유미특허법인  
김재만

심사관 : 최광섭

전체 청구항 수 : 총 44 항

**(54) 저유전율막을 가지는 반도체 장치 및 그 제조 방법**

**(57) 요약**

본 발명은 반도체 기판, 이 반도체 기판 위에 형성되는 절연막, 이 절연막 위에 형성되고 비유전율이 3.0 이하인 유전체 유기막과, 이 유전체 유기막 중에 절연막에 접하는 배선층을 포함하고, 배선층의 상면은 유전체 유기막의 상면보다 높은 반도체 장치와, 이러한 반도체 장치의 제조 방법을 제공한다.

**대표도**

도 1

**특허청구의 범위**

**청구항 1.**

반도체 기판;

상기 반도체 기판 상에 형성된 절연막;

상기 절연막 상에 형성되고 비유전율이 3.0 이하인 제1 유전체막; 및

상기 제1 유전체막 상에 형성되고 상기 절연막에 접하는 배선층

을 포함하고,

상기 배선층의 상면이 상기 제1 유전체막의 상면보다 높게 형성되는 것을 특징으로 하는 반도체 장치.

**청구항 2.**

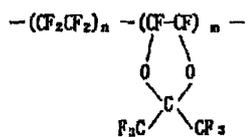
제1항에 있어서,

상기 배선층과 상기 제1 유전체막 상에 형성되고, 적어도 3.0의 비유전율을 가지는 제2 유전체막을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 3.**

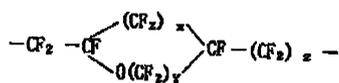
제1항에 있어서,

상기 제1유전체막은 사이클릭 플루오로 레진, 폴리테트라플루오로에틸렌, 플루오르화 에틸렌 프로필렌, 테트라플루오로 에틸렌 공중합체, 퍼플루오로알콕시에틸렌, 폴리플루오로비닐리덴, 폴리트리플루오로클로로에틸렌, 플루오로아릴 에테르 레진, 폴리플루오로이미드, 벤조시클로부텐(BCB) 폴리머, 폴리이미드, 아몰퍼스 카본, 모노메틸트리하이드록시실란 (유기 SOG) 축합체, 아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머,



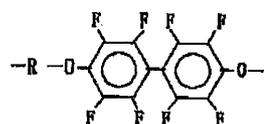
(상기 m, n은 자연수를 나타냄)

아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머,



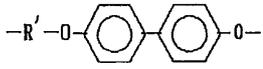
(상기 x, y, z은 각각 자연수를 나타냄)

아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머,



(상기 R은 알킬렌 또는 페닐렌 군을 나타냄)

아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머



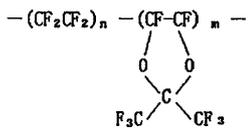
(상기 R'는 알킬렌 또는 페닐렌 군을 나타냄)

로 이루어지는 군으로부터 선택되는 적어도 하나의 재료로 이루어지는 것을 특징으로 하는 반도체 장치.

#### 청구항 4.

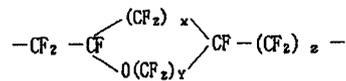
제2항에 있어서,

상기 제2 유전체막은 사이클릭 플루오로 레진, 폴리테트라플루오로에틸렌, 플루오로화 에틸렌 프로필렌, 테트라플루오로에틸렌 공중합체, 퍼플루오로알콕시에틸렌, 폴리플루오로비닐리덴, 폴리트리플루오로클로로에틸렌, 플루오로아릴 에테르 레진, 폴리플루오로이미드, 벤조시클로부텐 (BCB) 폴리머, 폴리이미드, 아몰퍼스 카본, 모노메틸트리하이드록시실란 (유기 SOG) 축합체, 아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머,



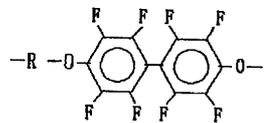
(상기 m, n은 자연수를 나타냄)

아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머,



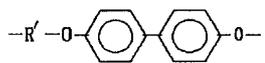
(상기 x, y, z은 각각 자연수를 나타냄)

아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머,



(상기 R은 알킬렌 또는 페닐렌 군을 나타냄)

아래 식으로 표현되는 반복하는 단위 구조를 가지는 폴리머



(상기 R'는 알킬렌 또는 페닐렌 군을 나타냄)

로 이루어지는 군으로부터 선택되는 적어도 하나의 재료로 이루어지는 것을 특징으로 하는 반도체 장치.

### 청구항 5.

제1항에 있어서,

상기 제1 유전체막 중에, 패턴에 대하여 적어도 3배 피치 이상의 배선간격 부분의 더미 배선을 가지는 것을 특징으로 하는 반도체 장치.

### 청구항 6.

제5항에 있어서,

상기 더미 배선은 적어도 3배 피치 이상의 배선 간격의 부분에 모든 배선 간격이 1  $\mu\text{m}$  이하가 되도록 형성되는 것을 특징으로 하는 반도체 장치.

### 청구항 7.

제5항에 있어서,

상기 더미 배선의 아래의 절연막 중에 하층 도전층과 접속되지 않는 더미 콘택트홀을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 8.

반도체 기판;

상기 반도체 기판 상에 형성되는 절연막;

상기 절연막 상에 크세로겔을 함유하는 막; 및

상기 크세로겔을 함유하는 막중에 형성되고, 상기 절연막에 접하는 배선층

을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 9.

제8항에 있어서,

상기 배선층의 상면이 상기 크세로겔을 함유하는 막의 상면보다 높게 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 10.

제8항에 있어서,

상기 크세로겔을 함유하는 막 중에 패턴에 대하여 적어도 3배 피치 이상의 배선 간격 부분의 상기 크세로겔을 함유하는 막 중에 더미 배선을 가지는 것을 특징으로 하는 반도체 장치.

### 청구항 11.

제10항에 있어서,

상기 더미 배선은 적어도 3배 피치 이상의 배선 간격의 부분에 모든 배선 간격이  $1\ \mu\text{m}$  이하로 되도록 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 12.

제10항에 있어서,

상기 더미 배선의 아래의 절연막 중에 형성되고 하층 도전층과 접촉되지 않는 더미 콘택트홀을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 13.

제8항에 있어서,

상기 크세로겔을 함유하는 막 위 또는 막 아래에 실란 커플링제를 함유하는 막을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 14.

제8항에 있어서,

상기 크세로겔을 함유하는 막이 배선 패턴에 대하여 3배 피치 이하의 배선 간격 부분의 상기 절연막의 위에 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 15.

반도체 기관;

상기 반도체 기관 상에 형성된 절연막;

상기 절연막 상에 형성되고 비유전율이 3.0 이하인 제1 유전체막;

상기 제1 유전체막 상에 크세로겔을 함유하는 막;

상기 크세로겔을 함유하는 막 상에 형성되고 비유전율이 3.0 이하인 제2 유전체막; 및

상기 크세로겔을 함유하는 막중에 형성되고 상기 절연막에 접하는 배선층

을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 16.

제15항에 있어서,

상기 배선층의 상면이 상기 크세로겔을 함유하는 막의 상면보다 높게 형성되는 것을 특징으로 하는 반도체 장치.

### 청구항 17.

제15항에 있어서,

상기 비유전율이 3.0 이하인 제2 유전체막 중에 형성되고 배선들을 접속하기 위한 콘택트홀을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 18.

제15항에 있어서,

상기 크세로겔을 함유하는 막 중에 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격부분의 더미 배선을 가지는 것을 특징으로 하는 반도체 장치.

### 청구항 19.

제18항에 있어서,

상기 더미 배선은 적어도 3배 피치 이상의 배선 간격의 부분에 모든 배선 간격이 1  $\mu\text{m}$  이하가 되도록 형성되는 것을 특징으로 하는 반도체 장치.

### 청구항 20.

제15항에 있어서,

상기 더미 배선의 아래의 절연막 중에 형성되고 하층 도전층과 접속되지 않는 더미 콘택트홀을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 21.

제15항에 있어서,

상기 크세로겔을 함유하는 막 위 또는 막 아래에 실란 커플링제를 함유하는 막을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 22.

반도체 기판 상에 절연막을 형성하는 공정;

상기 절연막 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정;

상기 유전체막 위에 무기막을 형성하는 공정;

상기 무기막에 배선층을 형성하기 위한 패턴을 형성하는 공정;

상기 배선층을 전체 표면에 형성하는 공정;

상기 배선층의 표면을 연마하는 공정; 및

상기 무기막을 제거하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 23.

제22항에 있어서,

상기 배선층의 상면을 연마하는 공정이 화학적 기계적 연마(CMP)법에 의한 연마 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 24.

반도체 기판 상에 절연막을 형성하는 공정;

상기 절연막의 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정;

상기 유전체막 위에 무기막을 형성하는 공정;

상기 무기막에 배선층을 형성하기 위한 패턴을 형성하는 공정;

상기 배선층을 전체 표면에 형성하는 공정;

상기 배선층의 상면을 연마하는 공정;

상기 무기막을 제거하는 공정; 및

배선 패턴에 대하여, 상기 유전체막 중에 적어도 3배 피치 이상의 배선 간격 부분의 더미 배선을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 25.

제24항에 있어서,

상기 배선층의 상면을 연마하는 공정이 화학적 기계적 연마(CMP)법에 의한 연마 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 26.

반도체 기판 상에 절연막을 형성하는 공정;

상기 절연막 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정;  
상기 유전체막 위에 무기막을 형성하는 공정;  
상기 무기막에 배선층 및 더미 배선층을 형성하기 위한 패턴을 형성하는 공정;  
상기 배선층 및 더미 배선층을 전체 표면에 형성하는 공정;  
상기 배선층과 더미 배선층의 상면을 연마하는 공정; 및  
상기 무기막을 제거하는 공정  
을 포함하는 것을 특징으로 하는 반도체 기판의 제조 방법.

### 청구항 27.

제26항에 있어서,

상기 배선층의 상면을 연마하는 공정이 화학적 기계적 연마(CMP)법에 의한 연마 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 28.

반도체 기판 상에 절연막을 형성하는 공정;  
상기 절연막 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정;  
상기 유전체막 위에 무기막을 형성하는 공정;  
상기 무기막에 배선층 및 더미 배선층을 형성하기 위한 패턴을 형성하는 공정;  
상기 배선층 및 더미 배선층을 전체 표면에 형성하는 공정;  
상기 배선층의 상면을 연마하는 공정;  
상기 무기막을 제거하는 공정; 및  
상기 절연막 중에 상층 배선과 하층 도전층을 접속하기 위한 콘택트홀, 및 상기 더미 배선의 아래의 절연막 중에 하층 도전층과 접속되지 않는 더미 콘택트홀을 형성하는 공정  
을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 29.

제28항에 있어서,

상기 배선층의 상면을 연마하는 공정이 화학적 기계적 연마(CMP)법에 의한 연마 공정인 반도체 장치의 제조 방법.

### 청구항 30.

제28항에 있어서,

상기 무기막에 배선층 및 더미 배선층을 형성하기 위한 패턴을 형성하는 공정인 것, 배선 패턴 및 더미 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격 부분에 상기 더미 배선을 형성하기 위한 패턴을 동시에 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 31.

반도체 기판 상에 절연막을 형성하는 공정;

상기 절연막 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정;

상기 유전체막 위에 크세로겔을 함유하는 막을 형성하는 공정;

상기 크세로겔을 함유하는 막 상에 무기막을 형성하는 공정;

상기 무기막에 배선층을 형성하기 위한 패턴을 형성하는 공정;

상기 배선층을 전체 표면상에 형성하는 공정;

상기 배선층의 상면을 연마하는 공정; 및

상기 무기막을 제거하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 32.

제31항에 있어서,

상기 배선층의 상면을 연마하는 공정이 화학적 기계적 연마(CMP)법에 의한 연마 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 33.

제31항에 있어서,

상기 유전체막 상에 크세로겔을 함유하는 막을 형성하는 공정인 것, 상기 배선 패턴에 대하여 3배 피치 이하의 배선 간격 부분에 상기 크세로겔을 함유하는 막을 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 34.

제31항에 있어서,

상기 크세로겔을 함유하는 막을 형성하는 공정의 전 또는 후에, 실란 커플링제를 함유하는 막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 35.

반도체 기판 상에 절연막을 형성하는 공정;

상기 절연막 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정;

상기 유전체막 위에 크세로겔을 함유하는 막을 형성하는 공정;

상기 크세로겔을 함유하는 막 상에 무기막을 형성하는 공정;

상기 무기막에 배선층 및 더미 배선층을 형성하기 위한 패턴을 형성하는 공정;

상기 배선층 및 더미 배선층을 전체 표면에 형성하는 공정;

상기 배선층 및 더미 배선층의 상면을 연마하는 공정; 및

상기 무기막을 제거하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 36.

제35항에 있어서,

상기 배선층의 상면을 연마하는 공정이 화학적 기계적 연마(CMP)법에 의한 연마 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 37.

제35항에 있어서,

상기 무기막 상에 배선층 및 더미 배선층을 형성하기 위한 패턴을 형성하는 공정이, 상기 무기막 상에 배선 패턴 및 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격 부분에 배선층 및 더미 배선층을 형성하기 위한 패턴을 동시에 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 38.

제35항에 있어서,

상기 유전체막 상에 크세로겔을 함유하는 막을 형성하는 공정이, 상기 배선 패턴에 대하여 3배 피치 이하의 배선 간격 부분에 상기 크세로겔을 함유하는 막을 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 39.

제35항에 있어서,

상기 크세로젤을 함유하는 막을 형성하는 공정의 전 또는 후에, 실린 커플링제를 함유하는 층을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 40.

반도체 기판 상에 절연막을 형성하는 공정;

상기 절연막 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정;

상기 유전체막 위에 크세로젤을 함유하는 막을 형성하는 공정;

상기 크세로젤을 함유하는 막 상에 무기막을 형성하는 공정;

상기 무기막에 배선층 및 더미 배선을 형성하기 위한 패턴을 형성하는 공정;

상기 배선층 및 더미 배선층을 전체 표면상에 형성하는 공정;

상기 배선층 및 더미 배선층의 상면을 연마하는 공정;

상기 무기막을 제거하는 공정; 및

상기 절연막 중에 상층 배선과 하층 도전층을 접속하기 위한 콘택트홀, 및 상기 더미 배선의 아래의 절연막 중에 하층 도전층과 접속되지 않는 더미 콘택트홀을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 41.

제40항에 있어서,

상기 배선층의 상면을 연마하는 공정이 화학적 기계적 연마(CMP)법에 의한 연마 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 42.

제40항에 있어서,

상기 무기막 상에 배선층 및 더미 배선층을 형성하기 위한 패턴을 형성하는 공정이, 상기 무기막 상에 배선 패턴 및 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격 부분에 더미 배선층을 형성하기 위한 패턴을 동시에 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 43.

제40항에 있어서,

상기 유전체막 상에 크세로젤을 함유하는 막을 형성하는 공정이, 상기 배선 패턴에 대하여 3배 피치 이하의 배선 간격 부분에 상기 크세로젤을 함유하는 막을 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 44.

제40항에 있어서,

상기 크세로겔을 함유하는 막을 형성하는 공정의 전 또는 후에, 실란 커플링제를 함유하는 막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 저유전율막을 층간 절연막으로서 사용한 반도체 장치의 형성 방법 및 반도체 장치의 구조에 관한 것으로, 특히, 0.25 $\mu\text{m}$  이하의 디바이스 프로세스에 사용될 수 있는 다층 배선 형성 기술에 관한 것이다.

최근의 반도체 장치의 미세화에 따라, 배선의 미세화, 배선 피치(pitch)의 축소화가 필요하게 되고 있다. 또, 동시에, 저소비 전력화 및 고속화 등의 요구에 따라, 층간 절연막의 저유전율화도 요구되고 있다. 특히, 로직(logic)계의 디바이스에서는, 미세 배선에 의한 저항 상승, 배선 용량의 증가가 디바이스의 스피드 열화로 이어짐으로써, 미세하고 또한 저유전율막을 층간 절연막으로 하는 다층 배선이 필요하게 되고 있다.

따라서, 배선품의 미세화, 피치의 축소는 배선 자체의 종횡비를 크게 할 뿐만 아니라, 배선간의 스페이스의 어스펙트비(aspect ratio)를 크게 함으로써, 세로로 가늘고 긴 미세 배선을 형성하는 기술, 미세한 배선간을 층간막으로 매립하는 기술 등에 부담이 많아지고, 프로세스를 복잡하게 함과 동시에 프로세스의 수의 증가를 초래한다.

이러한 문제를 해결하는 것으로서, 종래에, 비아와 배선흘을 알루미늄 리플로우 스퍼터링(reflow sputtering)으로 동시에 매립하고, CMP(Chemical Mechanical Polishing: 화학적 기계적 연마)법에 의해 표면의 알루미늄을 연마하는 이른바 다마신(damascene) 프로세스가 알려져 있다.

이 다마신 프로세스는 높은 아스펙트비의 알루미늄 배선을 에칭으로 형성하는 것뿐만 아니라, 배선간의 좁은 간격을 층간막으로 매립할 필요도 없고, 프로세스 수를 크게 줄이는 것이 가능하다. 이 프로세스는 배선 어스펙트비가 높게 되는 만큼, 그리고 배선의 총 개수가 증대하는 만큼, 전체 비용의 삭감에 기여하게 된다. 또한, 층간 절연막의 저유전율화는 배선간의 용량을 저감할 수 있다.

그러나, 비유전율이 작은 재료로 이루어진 막은, 종래의 디바이스에 사용되는 실리콘 산화막과는 크게 다르고, 그 프로세스 기술은 아직 개발되지 않았다. 따라서, 그 실용화가 요구되고 있다.

또한, 최근에 이르러, 비유전율이 2.0 이하로 할 수 있는 재료로서, 크세로겔(xerogel)을 반도체 장치에 응용하는 것이 주목되고 있다.

본 기술에 관련하는 것으로서, 일본특허공개 평8-70005호 공보에는, 도 9에 보여진 바와 같이, 금속 리드선(94)의 신뢰성을 높이는 방법으로서, 저유전율 재료(96) 중에 열확산용 더미 리드선(93)을 설치하는 구조가 개시되어 있다. 이 구조는, 기판(92)상에 알루미늄 합금 등으로 이루어진 금속 리드선(94)과, 적어도 금속 리드선(94) 사이에 공극, 실리카-에어로겔, 유기 SOG, 플루오로 산화 실리콘 등으로 이루어진 저유전율 재료(96)와, 금속 리드선(94) 및 저유전율 재료(96)상에 침착(deposit)된 AlN, Si<sub>3</sub>N<sub>4</sub> 와 AlN과의 적층체 등으로 이루어진 전열성 절연층(97)과, 금속 리드선(94)에 근접한 알루미늄 합금 등으로 이루어진 더미(dummy) 리드선(93)을 가진다.

이 구조는, 금속 리드선(94)으로부터의 열은, 열을 확산할 수 있는 더미 리드선(93) 및 저유전율 재료보다 열전도도가 20% 높고, 바람직하게는 Si<sub>3</sub>N<sub>4</sub> 보다 20% 높은 열전도도를 가진 AlN 등의 절연 재료로 이루어진 전열성 절연층(97)으로 이동

시킬 수 있다. 이러한 구조에 의하여, 선간(또는 리드선간)의 배선 용량을 감소시키고, 또한, 저유전율 재료의 열전도도의 저하에 따라 높은 어스펙트비의 금속 리드선을 사용하는 경우에 문제가 되는, 줄(joule) 열 효과에 의한 금속 리드선 파손 등을 방지하여 신뢰성이 높은 금속 리드선을 가지는 반도체 장치를 얻도록 하는 것이다.

위에 기술한 다마신(damascene)법은, 배선 패턴을 미리 층간 절연막에 형성해 놓고, 거기에 금속을 매립하고, CMP법에 의해 금속을 연마하고, 배선을 형성하는 것이다. 종래의 층간 절연막에서는 산화 실리콘막 등의 무기재료를 사용할 수 있었지만 미세화에 따른 용량 증대를 억제할 목적으로 저유전율의 재료가 채용되고 있다. 저유전율의 재료의 대부분은 유기막이고, 유기막의 막질은 종래의 산화 실리콘막 등의 무기막에 비하여 그 단단함은 1/10 ~ 1/100 이므로, 예를 들면 다마신 프로세스에 필요한 단단함이 불충분하다.

비유전율이 작은 물질, 특히 비유전율이 3 이하인 대부분의 저유전율막은 유기막이다. 유기막은, 종래의 층간 절연막에 사용될 수 있는 실리콘 산화막에 비하여 부드러운 것(연성)이 특징이다. 예를 들면 영(young) 윌로 비교하면, 실리콘 산화막이  $5\sim 10 \times 10^{10}$ 에 대하여 유기막을 구성하는 수지는  $0.3\sim 0.8 \times 10^{10}$ 으로 작다.

따라서, 다마신법으로 배선을 형성한 경우, 유기막에 많은 스크래치(scratch)가 발생하게 된다. 스크래치는 수득율(product yield) 저하의 원인이 된다. 그 때문에, 일반적으로는 실리콘 산화막 또는 질화막을 유기막 상에 형성하지만, 이러한 막은 유전율이 유기막에 비하여 높고, 배선간의 용량이 증대한다는 문제가 있다.

그러므로, 다마신 프로세스시에, 산화 실리콘막이나 질화 실리콘막을 병용하는 아이디어가 제안되고 있다. 그러나, 그러한 막은 유전율이 높고, 유기막에 의한 저유전율화의 효과를 반감시켜 버리는 문제가 있다.

또, 유기막은 종래의 반도체 디바이스에 사용되었던 층간 절연막(실리콘 산화막)에 비하여 열전도율이 1/10 정도로 매우 작고, 소자의 열확산에 중대한 영향을 미친다. 즉, 디바이스의 축소화에 따라 단위 면적 정도의 열발생량은 저하하지만, 방열을 위한 경로의 열전도율이 떨어질 수 있다. 따라서, 방열 경로를 고려하는 디바이스 구조가 요구된다.

또한, 크세로겔은 실리카겔(silica gel)이라는 명칭으로 건조제 등에 사용되는 등, 일반적으로 널리 알려진 재료이지만, 반도체 장치에의 응용에는 다양한 신뢰성에 대한 요구가 있고, 현재로서는 반도체 장치에 적용하는 것은 곤란하다. 즉, 크세로겔은 그 체적의 50~90%가 기포이고, 기계적 강도, 열전도성, 내열성, 내습성, 층간 밀착성 등에 문제가 있다.

따라서, 이러한 문제를 해결하면서 저유전율의 크세로겔을 응용하는 디바이스 구조가 요구된다.

### 발명이 이루고자 하는 기술적 과제

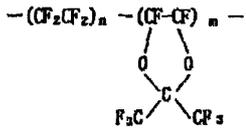
그러므로, 본 발명은 저유전율막을 층간 절연막으로서 사용하는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

본 발명자는 상기 문제점에 비추어, 저유전율막으로 유기막, 또는 유기막 및 크세로겔을 함유하는 막을 층간 절연막으로서 사용하는 반도체 장치를 다마신법으로 형성하는 방법 및 반도체 장치 및 이 반도체 장치의 제조 방법을 고안한다.

즉, 본 발명은 반도체 기판과, 이 반도체 기판 상에 형성된 절연막과, 비유전율이 3.0 이하인 유전체막과, 이 유전체막에 형성되고 절연막에 접하는 배선층을 가지는 반도체 장치를 제공하며, 상기 배선층의 상면이 상기 유전체막의 상면보다 높다.

또, 본 발명은, 반도체 기판상에 절연막을 형성하는 공정과, 이 절연막의 위에 비유전율이 3.0 이하인 유전체막을 형성하는 공정과, 이 유전체막의 위에 무기막을 형성하는 공정과, 상기 유전체막에 배선층을 형성하기 위한 패턴을 형성하는 공정과, 상기 배선층을 전체 면에 형성하는 공정과, 상기 배선층을 연마하는 공정과, 상기 무기막을 제거하는 공정을 포함하는 반도체 장치의 제조 방법이다.

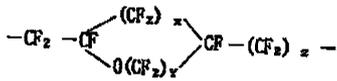
상기 본 발명의 반도체 장치 및 그 제조 방법에 있어서, 유전체막은, 사이클릭 플루오로 레진, 폴리테트라플루오로에틸렌, 플루오로화 에틸렌 프로필렌, 테트라플루오로에틸렌 공중합체, 퍼플루오로알콕시에틸렌, 폴리플루오로비닐리덴, 폴리트리플루오로클로로에틸렌, 플루오로아릴 에테르 레진, 폴리플루오로이미드, 벤조시클로부텐(BCB) 폴리머, 폴리이미드, 아몰퍼스 카본, 모노메틸트리하이드록시실란(유기 SOG) 축합체, 아래 식 (1)로 표현되는 반복하는 단위 구조를 가지는 폴리머,



(1)

(상기 m, n은 자연수를 나타낸다.)

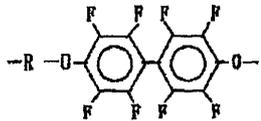
아래 식 (2)로 표현되는 반복하는 단위 구조를 가지는 폴리머,



(2)

(상기 x, y, z은 각각 자연수를 나타낸다.)

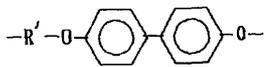
아래 식 (3)으로 표현되는 반복하는 단위 구조를 가지는 폴리머,



(3)

(상기 R은 알킬렌 또는 페닐렌 군을 나타낸다.)

아래 식 (4)로 표현되는 반복하는 단위 구조를 가지는 폴리머,



(4)

(상기 R'는 알킬렌 또는 페닐렌 군을 나타낸다.)

로 이루어지는 군으로부터 선택되는 적어도 하나의 재료로 이루어진다.

그 외, 상기 저유전율막의 재료로서, 상품명, 아몰퍼스 테플론(Amorphous Teflon), CYTPO(Phonetic), FLARE 등의 상품명으로 시판되는 것을 사용할 수 있다.

상기 본 발명의 반도체 장치는 바람직하게는 배선 패턴에 대하여, 적어도 3배 피치 이상의 배선 간격의 부분에, 보다 바람직하게는 모든 배선 간격이 1 μm가 되도록 더미 배선을 가진다.

상기 본 발명의 반도체 장치는, 바람직하게는 상기 유전체막 상에 크세로겔을 함유하는 층간 절연막을 가지고, 보다 바람직하게는 상기 크세로겔을 함유하는 층간 절연막 상에 실란 커플링(silane coupling)제를 함유하는 층을 가진다.

상기 본 발명의 반도체 장치는, 바람직하게는 상기 더미 배선의 아래의 절연막 중에서 또, 하층 도전층과 접하지 않는 더미 콘택트홀을 더 가진다.

상기 하층 도전층으로서는 반도체 기판에 설치된 불순물 확산 영역 또는 하층 배선층을 추천할 수 있다.

상기 본 발명의 반도체 장치의 제조 방법에 있어서, 상기 무기막은 바람직하게는 산화 실리콘막, 플루오로화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막, 실라놀(silanol) 축합체(무기 SOG)막, 포스포러스-도프트(phosphorus-doped) 산화 실리콘막, 보론-도프트(boron-doped) 산화 실리콘막 및 보론-포스포러스-도프트 산화 실리콘막으로 이루어진 군으로부터 선택되는 적어도 하나의 재료로 이루어진다.

상기 본 발명의 반도체 장치의 제조 방법에 있어서, 바람직하게는, 배선 패턴에 대하여, 적어도 3배 피치 이상의 배선 간격의 부분에, 보다 바람직하게는 모든 배선 간격이 1  $\mu\text{m}$  이하가 되도록 더미 배선을 형성하는 공정을 가진다.

상기 더미 배선을 형성하는 공정은, 바람직하게는 배선 패턴 및, 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격의 부분에, 보다 바람직하게는 모든 배선 간격이 1  $\mu\text{m}$  이하로 되도록 더미 배선 패턴을 동시에 형성하는 공정이다.

상기 배선층을 연마하는 공정은, CMP법에 의해 연마하는 공정인 것이 바람직하다.

앞서 상기한 바와 같이, 본 발명은 비유전율이 낮은 유기막 또는 크세로겔을 사용한 반도체 장치를 다마신법으로 형성하는 방법 및 반도체 장치 구조에 관한 것이다.

다마신법은 배선 패턴을 미리 층간 절연막에 형성해 놓고, 거기에 금속을 매립하고, CMP(화학적 기계적 연마)법에 의해 금속을 연마하고, 배선층을 형성하는 것이다.

종래의 층간 절연막에는 산화 실리콘막 등의 단단한 재료를 사용하였다. 그러나, 반도체 장치의 미세화에 따른 용량 증대를 억제하는 목적으로, 유기막을 저유전율 재료로서 채용되고 있다.

그러나 유기막 재료는 산화 실리콘막 등의 무기막 등과 크게 다르고, 예를 들면, 다마신 프로세스에 필요한 단단함이 불충분하다. 그 값은 1/10~1/100이다. 그러므로 본 발명에서는 유기막 상에 무기막을 형성한 후에 배선층을 유기막 중에 다마신법에 의해 형성하고, 무기막을 제거하는 방법을 고안하였다.

한편, 유기막은 열전도율이 낮기 때문에, 디바이스 동작시에 발생하는 방열이 문제가 되었다. 그래서 본 발명에서는 배선 형성 프로세스에 있어서, 방열 경로, 즉, 더미 배선층을 유기막 중에 다마신법에 의해 형성하는 반도체 장치의 제조 방법을 고안하였다.

또, 본 발명에서는 하층 도전층과 상층 배선을 접속하는 콘택트홀(비아홀) 형성시에, 더미 배선의 아래에 하층 도전층과 접속하지 않는 더미 콘택트홀을 형성하는 것에 의하여 방열 효과를 더 높이는 구조를 제안한다.

또한, 본 발명에서는 저유전율막으로서 주목되고 있는 크세로겔막의 배선 형성 프로세스로의 적용을 고안한다. 크세로겔막은 저유전율막이지만, 유기적 강도, 열전도성, 밀착성, 내수성 등이 종래의 층간 절연막에 비하여 떨어진다. 그래서 본 발명에서는 크세로겔의 적용 부분을 가능한 줄이고, 저유전율막과 무기 절연막을 조합하는 것에 의해 저유전율막이 이루는 효과를 손상하지 않고, 배선간의 용량을 저감하는 구조를 제안하였다. 즉, 크세로겔을 가장 배선 용량이 크게 되는 부분에 사용하고, 그 이외의 장소에는 유기막 무기 저유전율막을 사용하는 것이다.

더욱이, 본 발명은 크세로겔막이 층간 밀착성이 떨어지는 것이 감안하여, 크세로겔막의 아래 및/또는 위에 실란 커플링제로 형성되는 막을 설치하는 것도 제안한다.

본 발명에 의하면, 층간 절연막을 비유전율이 3.0 이하인 유전체막(이하 저유전율막이라고 함)으로 하기 때문에, 배선간 용량의 증대를 크게 억제한 미세한 반도체 장치를 제조할 수 있다.

또, 방열을 위한 더미 배선층을, 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격의 부분에 설치하는 경우에는, 열전도율이 작은 저유전율막을 사용하는 것에 의한 열확산 효율의 저하를 효과적으로 방지할 수 있다.

상기 더미 배선층의 아래에 더미 콘택트홀을 설치하는 경우에는, 더욱더 열확산 효율을 높일 수 있다.

또한, 본 발명에 의하면, 배선층의 주위(배선층의 좌우), 바람직하게는, 배선 간격이 표준 피치의 3배 이하인 부분에는 비유전율이 매우 작은 크세로겔을 함유하는 막을 사용하고, 또한, 배선간의 콘택트홀의 주위(배선층의 상하)에는 저유전율막을 사용하는 것에 의하여 크세로겔막의 결점을 보충하면서, 배선 용량을 대폭 축소하는 것에 의하여 신뢰성이 높은 미세 구조를 가지는 반도체 장치를 높은 수득률로 제조할 수 있다.

또, 크세로겔을 함유하는 막의 상하에는 실린 커플링제로 이루어진 층을 설치하는 것에 의하여, 층간 밀착성에 뛰어난 반도체 장치를 제조할 수 있다.

### 발명의 구성

이하, 본 발명을 상세히 설명한다.

본 발명의 반도체 장치는 반도체 기판으로서 트랜지스터, 배선 패턴 등이 형성된 n형 또는 p형 불순물이 주입된 실리콘 반도체 기판을 사용할 수 있다.

본 발명에 있어서, 상기 반도체 기판상에는 절연막이 설치된다. 이 절연막으로서는, 예를 들면 산화 실리콘막을 사용할 수 있다. 상기 절연막은, 예를 들면 열산화에 의한 방법, CVD(Chemical Vapor Deposition: 화학 증착)법, 스퍼터링법 등에 의해 형성할 수 있고, 두께는 300~700nm 정도가 바람직하다.

이 절연막의 위에는 저유전율막이 형성된다. 이 저유전율막은 비유전율이 3.0 이하인 것이 바람직하다. 상기 저유전율막으로서는 상기 예시한 비유전율이 3.0 이하인 유전체막, 크세로겔을 함유하는 막 등을 사용할 수 있다.

상기 유전체막은 예를 들면, 고분자의 전구체(precursor)를 스프인코터(spin coater)로 성막하고, 300~500℃로 소성(baking)하는 것에 의해 형성할 수 있다. 또, 아몰퍼스 카본 등의 재료의 경우는, 아세틸렌, 필요에 대응하여 플루오로 카본 가스를 사용하여 플라즈마(plasma) CVD 장치를 사용하여 형성할 수 있다. 상기 유기막의 두께는 통상 300~700nm 가 바람직하다. 또, 상기 크세로겔을 함유하는 막은 예를 들면 스프인코터법으로 제조할 수 있다.

본 발명에 있어서는, 상기 유기막 상에, 크세로겔을 함유하는 막을 형성하는 것이 바람직하다. 크세로겔은 건조한 상태에 있는 겔(gel)이고, 예를 들면, 실리카겔을 예시할 수 있다. 보다 구체적으로는 나노포러스(nanoporous)사가 개발한 제품명 Nanoporous Silica 가 있으며 포로스 실리카의 한 종류이다. 본 발명은 특히 이것에 한정되는 것은 아니고, 방향족 등의 비교적 고분자의 알킬(alkyl)기를 가지는 실라놀(silanol) 수지를 도포하고 그것을 겔화시키고 실란 커플링제 또는 수소화 처리를 사용하여 소수 처리 등을 행하여 형성한 것이라면, 어떤 크세로겔도 좋다. 크세로겔은 비유전율이 2.0 이하로 되는 것을 기대할 수 있는 재료이고, 배선간의 용량을 대폭 저감할 수 있다.

본 발명에 있어서, 크세로겔을 함유하는 막을 상기 저유전체막 상, 바람직하게는, 이 저유전체막 상에 있고 적어도 배선 간격이 3배 피치 이하인 영역에 형성한다. 그리고, 바람직하게는 크세로겔을 함유하는 막을 배선층의 좌우에 매립하도록 형성하는 것이 바람직하다.

또, 특히, 복수의 배선층을 가지는 반도체 장치에 있어서, 상기 비유전율이 3.0 이하인 유전체막중에, 배선간을 접속하기 위한 콘택트홀을 가지는 구조로 하는 것이 바람직하다.

반도체 장치를 이와 같은 구조로 하는 것에 의하여, 크세로겔을 함유하는 막의 적용 부분을 가능한 줄이고, 저유전율의 유기막과 크세로겔을 함유하는 막을 조합하는 것에 의하여 크세로겔막의 상기 결점을 보충하면서, 또한, 저유전율막의 효과를 손상하지 않고 배선간의 용량을 저감하는 것이 가능하게 된다.

또, 본 발명에 있어서는 크세로겔을 함유하는 막은 층간 밀착성이 부족하다. 따라서, 층간 밀착성을 높이기 위하여, 상기 크세로겔을 함유하는 막의 위에, 실란 커플링제를 함유하는 막을 형성하는 것도 바람직하다. 이 실란 커플링제는 예를 들면, 일반식  $RSiX_3$  또는  $RR'SiX_2$  (R 및 R'는 알킬기, 알콕시기 등을 표시하고, X는 할로젠(halogen) 원자를 표시한다)로 표시되는 규소화합물을 예시할 수 있다. 이 규소화합물은 분자중에 수소성 부분(R이나 R')과 극성 부분(X)을 가지고, 수소성의 유기막과 극성을 가지는 크세로겔을 함유하는 무기막의 층간 밀착성을 높이고, 박리를 방지하는 역할을 수행한다.

상기 실란 커플링제는 예를 들면, 스프인코터법으로 도포하여 막을 제조할 수 있다.

다음에, 상기 유전체막, 크세로겔을 함유하는 막 또는 실란 커플링제를 함유하는 막의 위에 무기막을 형성한다. 이 무기막 으로서는 산화 실리콘막, 플루오로화 실리콘막, 산화 질화 실리콘막, 실라놀 축합물(무기 SOG)막, 포스포러스-도프드 산화 실리콘막, 보론-도프드 산화 실리콘막, 보론-포스포러스-도프드 산화 실리콘막 등을 예시할 수 있다.

상기 무기막의 형성은 통상, 플라즈마 CVD법에 의하지만 환원(還元) 분위기(atmosphere)에서 수행할 필요가 있다. 산화 분위기 하에서 CVD를 수행하면, 유기막이 산화되고 막의 박리 등의 현상을 발생시키기 때문에 바람직하지 않다. 예를 들면 산화 실리콘막의 경우, 플라즈마 CVD 장치를 사용하여 실란 가스 및 N<sub>2</sub>O 가스의 분위기 하에서 온도 300~500°C에서 성막할 수 있다.

상기 무기막을 퇴적한 후, 레지스트막을 형성하여 배선을 패터닝하고, 포토 에칭(photoetching)에 의하여 최상막의 무기막, 실란 커플링제를 함유하는 막, 크세로겔을 함유하는 막 및 유기막을 예를 들면, 일반적인 마그네트론(magnetron) 방식의 에칭 장치를 사용하여 에칭을 행한다. 에칭은, 예를 들면 산화 실리콘 등의 무기막의 경우는 에칭 가스로서 C<sub>2</sub>F<sub>6</sub>, CO, Ar, O<sub>2</sub> 가스를 사용하여 행할 수 있다.

또, 유기막의 경우에는 에칭 가스로서 예를 들면, CHF<sub>3</sub> 와 O<sub>2</sub> 가스를 사용하여 -10°C 정도의 저온으로 수행할 수 있다. 이 경우, 상층의 무기막은 저유전율막을 에칭할 때의 마스크로도 사용된다. 또, 유기막을 에칭하는 조건에서는 레지스트막도 에칭된다.

다음에, 이른바 다마신법에 의해 배선층을 형성한다. 배선층 재료로서는 알루미늄, 동, 금, 텅스텐 및 이러한 합금으로 이루어진 군으로부터 선택되는 하나의 종류 이상을 예시할 수 있다. 배선 재료는 예를 들면, 스퍼터링법 또는 CVD법에 의해 형성할 수 있다.

이어서, CMP법에 의해 여분의 금속막을 연마한다. 연마에 사용할 수 있는 연마제로서는, 예를 들면, 알루미나(alumina), 이산화 망간, 실리카계 슬러리(slurry), 식 WxOy로 표시되는 산화 텅스텐, 산화 세슘(cesium), 산화 지르코늄(sirconium), 산화 실리콘 등을 사용할 수 있고, 이러한 연마제에는 필요에 따라 과산화수소, 수산화 칼륨, 암모니아 등이 혼합된다.

완전하게 금속을 연마한 다음, 무기막에 새겨진 스크래치를 제거하기 위하여 CMP법에 의해 50nm 정도의 무기막을 연마한다.

다음에, 예를 들면, 플루오린(fluorine) 소원(素源)으로서 C<sub>2</sub>F<sub>6</sub>, CO 및 아르곤 가스를 사용하여 무기막, 실란 커플링제를 함유하는 막 및 크세로겔을 함유하는 막의 에칭을 행한다. 이 조건에서는 유기막은 거의 에칭되지 않는다.

이와 같은 조작을 행하면, 크세로겔을 함유하는 막을 사용하지 않는 경우에는, 배선층의 상면은 상기 유전체막의 상면보다도 높게 되는 구조가 얻어진다. 배선층의 상면은 상기 유전체막의 상면보다도 높게 되는 것은, 최후에 무기막을 에칭에 의해 제거하기 위한 것이다.

본 발명에 있어서는 또한 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격의 부분에, 보다 바람직하게는 배선 간격이 1 μm 이하로 되도록 더미 배선 패턴이 형성되는 것이 바람직하다.

반도체 장치의 배선 패턴에 대하여 3배 피치 이하의 간격의 부분이 있는 경우에는, 열전도도가 작은 유기막, 유기막 및 크세로겔을 함유하는 막을 사용하기 때문에, 동작시에 발생하는 열의 방출 경로가 없으므로, 미세 구조를 가지는 반도체 장치에 오동작 등을 발생시켜서 바람직하지 않다.

한편, 3배 피치 이상의 간격에 더미 배선을 설치하는 것도 가능하지만, 배선 구조가 미세하게 되고, 더미 배선을 설치하는 효과가 떨어지게 된다.

여기서, 상기 피치는 배선이 설계에 있어서 임의 배선의 중심과 이웃하는 배선의 중심과의 거리를 말한다. 반도체 장치는 임의 피치에서 배선층을 형성하지만, 반도체 장치의 다른 부분에서는 이 배선간의 거리가 3배 피치 이상인 부분이 있다. 일반적으로 유기막 및 크세로겔을 함유하는 막은 종래 층간 절연막으로서 사용되었던 산화 실리콘막에 비하여 열전도율이 1/10 정도로 상당히 작다. 본 발명은 이러한 열확산을 위하여 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격의 부분에 더미 배선 패턴을 형성하는 것이다.

이 더미 배선 패턴은 상술한 배선의 패턴링 때, 더미를 위한 배선이 패턴링을 동시에 행하고, 통상의 배선의 형성과 동일하게 하여 형성하는 것이 제조 공정상 바람직하다.

다음에, 상기 기판을 세정한 다음, 다층 배선의 경우에는, 제2 유전막을 200~400nm의 두께로 형성한다. 이 유전막으로서 는 예를 들면 산화 실리콘막, 질화 실리콘막 이외에, 상술한 재료로 이루어진 유기막, 크세로겔을 함유하는 막 등을 추천할 수 있지만, 반도체의 용량을 작게 하기 위하여 유기막 및 크세로겔을 함유하는 막을 사용하는 것이 바람직하다.

다음에, 상기와 동일하게 하여 제2의 배선층을 형성한 다음, 이상의 조작을 반복하고, 최후에 상층을 패시베이션 (passivation) 막으로 피복하는 것에 의하여 배선 가공을 완료한다.

이상과 같이 하여 제조된 본 발명의 반도체 장치의 제조 방법은 다층 배선 구조를 가지는 반도체 장치의 제조에 특히 바람 직하게 적용할 수 있다.

다음에, 본 발명의 반도체 장치 및 이 반도체 장치의 제조 방법을 발명의 실시예의 설명에 따라 다시 상세히 설명한다.

### 제1 실시예

도 1에 본 발명의 반도체 장치의 제1 실시예의 단면도를 나타낸다. 이 반도체 장치는 2층의 배선 구조를 가지는 n채널 MOS형 트랜지스터이다.

이 반도체 장치는 p형 실리콘 반도체 기판(1)상에 트렌치(trench) 법에 의해 형성된 산화 실리콘막(2)으로 이루어진 아이 솔레이션(isolation) 영역에, 도시하지 않은 n형 불순물이 이온 주입된 소스 영역과 드레인 영역을 가진다. 그리고, 이 반도 체 기판(1)의 위에 게이트 산화막(3)을 통하여 중앙부에 폴리 실리콘으로 이루어진 게이트 전극(4)이 설치되고, 게이트 전 극(4)은 도시하지 않은 게이트와 접촉한다. 또한 그 위에는 비유전율이 3.0 이하인 저유전율막으로 이루어진 층간 절연막 (3')이 설치되어 있다.

그리고 또한 그 위에는 알루미늄으로 이루어진 배선층(6)이 설치된다. 이 배선층은 편의상 도면에서 구별하지 않는 통상의 배선층과 방열을 위한 더미 배선층으로 이루어진다. 이 더미 배선층은 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격의 부분에 형성된다. 그리고, 상기 배선층은 콘택트홀(7)을 통하여 소스 영역과 드레인 영역과 접촉한다.

이 반도체 장치에서는 이 배선층의 상층의 높이는 산화막을 제거하기 위한 상기 저유전율막(5)의 상층의 높이보다 조금 높 게 형성되어 있다.

그리고, 상기 저유전율막(5)의 위에는 제2층째의 배선층(8)이 설치되어 있다. 또한, 이것의 상부에는 질화 규소로 이루어 진 제2층째의 저유전율막(9)이 설치되고 또한, 비아 콘택트홀(10)을 통하여 제3층째의 배선층(11)이 설치되어 있다. 그리 고 그 위에 패시베이션막(12)이 형성된 구조를 가지고 있다.

본 실시예의 반도체 장치는 층간 절연막에 비유전율이 3.0 이하인 유전체막을 사용하기 때문에, 배선간 용량의 증대가 억 제된 미세한 다층 구조를 가지는 반도체 장치로 되어 있다.

또, 방열을 위한 더미 배선층을 배선 패턴에 대하여 적어도 3배 피치 이상의 배선 간격의 부분에 설치하는 것에 의하여, 열 전도율이 작은 저유전율막을 사용하는 것에 의한 열확산 효율의 저하를 효과적으로 방지할 수 있다.

### 제2 실시예

본 발명의 제2 실시예는 본 발명의 반도체 장치인 CMOS 집적 회로의 제조 방법이다.

우선, 도 2a에 도시한 바와 같이, 포스포러스를 도핑한 n형 실리콘 반도체 기판(13)상에 열산화법에 의해 산화 실리콘막 (14)을 형성한다. 다음에, 포토레지스트(15)를 사용하여 산화 실리콘막(14)상에 p-웰(well)의 영역이 되는 패턴을 형성하 고, 이온 주입법에 의해 보론(boron)을 실리콘 기판내에 상감 처리를 수행한다(도2a). 그 후, 도 2b에 도시한 바와 같이, 레지스트막(15)을 제거한다.

다음에, 도 2c에 도시한 바와 같이, 예를 들면, CVD법에 의해 전체 면에 질화 실리콘막(17)을 퇴적하고, 포토 레지스트로 소자 분리 영역을 형성한 후, 포토 레지스트의 개구부의 질화 실리콘막(17)을 에칭에 의해 제거하여 천공한다.

다음에, 도 2d에 도시한 바와 같이, 선택적 산화법(LOCOS 법)에 의해 두꺼운 산화막(19)을 선택적으로 형성한다.

이어서, 도 2e에 도시한 바와 같이, 마스크로서 사용하는 질화 실리콘막(17)과 그 아래의 산화 실리콘막(14)을 에칭에 의해 제거하고, 새로운 산화 실리콘막(20)을 형성하고, 또한 그 위에 예를 들면, CVD법에 의해 폴리 실리콘막을 성장형성하고, 소자 분리의 패터닝과 동일한 방법에 의해 게이트 전극(21)을 형성한다.

또한, p-웰 형성과 동일한 방법으로 이온 주입법에 의해 p-웰 영역(16)에는 비소(砒素)(n+)를, p-웰 영역 이외에는 보론소(p+)를 실리콘 기판중에 주입하고, 열확산에 의해 n+ 영역(23)과 p+ 영역(22)을 형성한다.

그리고, 도 2f에 도시한 바와 같이, 트랜지스터 등의 소자의 모양을 형성한 후, 그 위에 두께가 500nm 정도로 두꺼운 비유전율이 3.0 이하인 유전체막(24)을 형성한다. 이 유전체막(24)의 형성은 예를 들면, 전구체를 스퍼터코터로 기판 상에 성막하고 그 후, 300~450℃로 소성하는 것에 의해 수행할 수 있다. 또, 유전체막(24)이 아몰퍼스 카본 등인 경우에는 아세틸렌, 필요에 대응하여 플루오로 카본을 사용하여 플라즈마 CVD 장치를 사용하여 성막하고, 300~450℃로 소성하는 것에 의해 수행할 수 있다.

다음에, 도 2g에 도시한 바와 같이, 상기 유기막의 위에 예를 들면, 무기막으로서 산화 실리콘막(25)을 형성한 다음, 레지스트막(26)을 성막하여 각각의 소자와 금속 배선을 접속하기 위한 콘택트홀을 형성하기 위한 패터닝을 행한다. 상기 산화 실리콘막(25)은, 예를 들면 플라즈마 CVD 장치에 의해, 실란 가스 50 sccm, N<sub>2</sub>O 가스 1000 sccm의 환원적 분위기 하에서 플라즈마 파워 500W, 압력 10 Torr, 온도 350℃에서 성막할 수 있다.

그 후, 도 2h에 도시한 바와 같이, 콘택트홀(27)을 형성한다. 콘택트홀(27)은 예를 들면 일반적인 마그네트론 방식의 에칭 장치를 사용하여, 최상층의 산화 실리콘막(25), 그 하층의 유기막(24)을 각각 에칭하는 것에 의해 형성한다. 에칭의 조건은 예를 들면, 저유전율막의 경우는 CHF<sub>3</sub> (5 sccm), O<sub>2</sub> (50 sccm), He (200sccm) 가스를 사용하여 RF 플라즈마 파워 500W, -10℃의 저온이고, 산화 실리콘막의 경우는 예를 들면, C<sub>2</sub>F<sub>6</sub> (14 sccm), CO (180 sccm), Ar (240 sccm), O<sub>2</sub> (6 sccm) 가스를 사용하여 RF 플라즈마 파워 1500W이다. 이 경우, 상층의 산화 실리콘막(25)은 저유전율막을 에칭할 때의 마스크의 역할도 완수한다.

다음에, 도 2i에 도시한 바와 같이, 다마신법에 의해 배선(28)을 형성한다. 즉, 배선 재료로서 예를 들면, 동을 스퍼터링 장치 또는 CVD 장치에 의해 전체 면에 퇴적시키고, 이어서, CMP법에 의해 여분의 금속을 예를 들면 알루미늄을 사용하여 연마한다. 이것은 완전하게 여분의 금속을 제거하고, 산화 실리콘막에 새겨진 스크래치를 제거하기 위한 것이다. 그 후, 산화 실리콘막을 일반적인 마그네트론 방식의 에칭 장치를 사용하여 에칭한다. 이 때의 조건은 예를 들면, C<sub>2</sub>F<sub>6</sub> (14 sccm), CO (180 sccm), Ar (240 sccm)이다. 이 조건에서는 유전체막(24)은 거의 에칭되지 않는다.

이와 같이 형성된 금속 배선층(28)의 상면은 산화막(25)을 제거하기 때문에, 유전체막보다도 높게 형성된다.

다음에, 도 2j에 도시한 바와 같이, 기판 표면을 세정한 후, 패시베이션막으로서 산화 실리콘막(29)을 300nm 형성한다. 웨이퍼 프로세스의 완료 후, 마운팅(mounting), 본딩(bonding) 프로세스를 수행하는 것에 의해 요구되는 반도체 장치를 제조할 수 있다.

이상 설명한 바와 같이, 본 실시예에 의하면, 저유전율막을 사용하고, 배선간 용량의 증대가 억제된 미세 구조의 반도체 장치를 효율 좋게 제조할 수 있다.

### 제3 실시예

본 발명의 제3실시예는 패시베이션막으로서 저유전율막을 사용하는 반도체 장치의 제조 방법이다.

먼저, 도 2i에 도시한 것과 동일한 반도체 장치의 중간물이 형성된다. 즉, 반도체 기판 상에 소자 분리막에 의하여 분리된 영역의 산화 게이트막 상에 게이트 전극을 형성하고, 콘택트 플러그를 통하여 소스와 드레인 영역(22', 23')과 접속하는 저도전층을 형성하고, 전체 면에 산화 실리콘막을 형성한 다음, 마스크로서 레지스트막을 사용하여 상층 배선층과 접속하는 비아 콘택트 플러그를 형성한다.

다음에, 도 3a에 도시한 바와 같이, 상세한 설명을 생략한 상기의 중간물을 실리콘 기판(30)상에 두께 500nm로 산화 실리콘막(31)을 형성하고, 또한 그 위에 두께 500nm로 비유전율이 3.0이하인 저유전율막(32) 및 두께가 100nm로 무기막으로서 산화 실리콘막(33)을 형성한다.

이 저유전율막(32)은 제2 실시예와 동일하게 성막할 수 있다. 산화 실리콘막(33)은 제2 실시예의 경우와 동일하게 하여 플라즈마 CVD법에 의해 환원 분위기 하에서 행한다. 예를 들면, 실란 가스 50 sccm, N<sub>2</sub>O 가스 1000 sccm, 플라즈마 파워 500W, 압력 10 Torr, 온도 350°C의 조건에서 행할 수 있다.

다음에, 도 3b에 도시한 바와 같이, 레지스트(34)를 마스크로 사용하여 배선 패턴(34)을 형성한다. 다음에, 도 3c에 도시한 바와 같이, 일반적인 마그네트론 방식의 에칭 장치를 사용하여 최상층의 산화 실리콘막(33) 및 그 하층의 유기막(32)을 에칭한다. 예를 들면, 저유전율막의 경우는, CHF<sub>3</sub> (5 sccm), O<sub>2</sub> (50 sccm), He (200 sccm) 가스를 사용하여 RF 플라즈마 파워 500W, -10°C의 저온으로 에칭을 행할 수 있다. 또, 산화 실리콘막의 경우는 예를 들면, C<sub>2</sub>F<sub>6</sub> (14 sccm), CO (180 sccm), Ar (240 sccm), O<sub>2</sub> (6 sccm) 가스를 사용하여 RF 플라즈마 파워 1500W로 에칭할 수 있다. 이 경우, 상층의 산화 실리콘막(33)은 저유전율막(32)을 에칭할 때의 마스크의 역할도 완수한다.

다음에, 도 3d에 도시한 바와 같이, 배선 재료로서 예를 들면, 동을 스퍼터링 장치 또는 CVD 장치에 의해 퇴적시킨다. 이어서, CMP법에 의해 여분의 금속을 예를 들면 암모니아를 사용하여 연마한다. 이것은 완전하게 여분의 금속을 제거하기 위함과 산화 실리콘막에 새겨진 스크래치를 제거하기 위한 것이다.

그 후, 산화 실리콘막(33)을 일반적인 마그네트론 방식의 에칭 장치를 사용하여 에칭한다. 이 때의 에칭 조건은 예를 들면, C<sub>2</sub>F<sub>6</sub> (14 sccm), CO (180 sccm), Ar (240 sccm)이다. 이 조건에서는 저유전율막(32)은 거의 에칭되지 않는다.

이와 같이 형성된 금속 배선(35)의 상면은 도 3e에 도시한 바와 같이, 유기막(32)의 상면보다도 높게 형성된다.

다음에, 도 3f에 도시한 바와 같이, 기판 표면을 세정한 후, 패시베이션막으로서 제2 저유전율막(36)을 제1의 저유전율막과 동일하게 하여 두께 300nm로 형성한다.

최후에, 웨이퍼 프로세스의 완료 후, 마운팅, 본딩 프로세스를 수행하는 것에 의해 요구되는 반도체 장치를 제조할 수 있다.

이상 설명한 바와 같이, 본 실시예에 의하면, 저유전율막을 사용하는 미세 구조의 반도체 장치를 효율 좋게 제조할 수 있다. 또, 본 실시예에 의해 제조되는 반도체 장치는 패시베이션막으로서 제1의 저유전율막과 동일하게 하여 제2의 저유전율막을 사용하는 것에 의하여, 배선간의 용량이 작은 반도체 장치를 얻을 수 있다.

#### 제4 실시예

제4 실시예는 2층의 배선 구조를 가지고 또한 더미 배선(42)을 가지는 반도체 장치의 제조예이다.

방열 경로로서 더미 배선이 설치되는 것 이외는 제3 실시예의 도 3f까지의 상태와 동일한 공정을 거치는 것에 의해 얻을 수 있는 구조의 단면도를 도 4a에 도시한다.

즉, 먼저, 도시하지 않은 트랜지스터, 배선 패턴 등이 형성된 실리콘 반도체 기판(37) 상에 두께 500nm로 산화 실리콘막(38)을 형성하고, 그 위에 두께 500nm로 비유전율이 3.0 이하인 저유전율막(39), 동으로 이루어진 배선(40) 및 제2의 유전율막(41)을 형성한다.

더미 배선(42)은 CMP법에 의해 금속 배선을 형성한 다음, 레지스트를 마스크로 사용하여 더미 패턴을 에칭하는 것에 의해 형성한다. 이 때, 배선 피치가 최소 피치의 3배 이상인 곳에 더미 패턴을 삽입하여 배선 간격이 적어도  $1\ \mu\text{m}$  이상의 부분을 제거한다. 배선 더미의 삽입은 배선 아스펙트비와 최소 배선 피치(절대치)에 의존한다. 예를 들면, 아스펙트비 2, 최소 배선 피치가  $0.5\ \mu\text{m}$ 인 경우, 최소 배선 간격은 대략  $0.25\ \mu\text{m}$ 가 됨으로써,  $0.75\ \mu\text{m}$  이상의 배선 간격을 적어도 확보하고,  $1\ \mu\text{m}$  이상의 배선 간격을 없애도록 더미 배선을 형성하는 것이 바람직하다. 그 후, 제2의 저유전율막(41)을 제1의 저유전율막의 형성과 동일하게 하여 형성하는 것에 의하여 도4a에 도시한 상태를 얻는다.

다음에, 도 4b에 도시한 바와 같이, 레지스트막(43)을 전체 면에 퇴적시킨 후, 제1층째의 배선과 제2층째의 배선을 접속하는 콘택트홀(44) 형성을 위한 패터닝을 수행하고, 도 4c에 도시한 바와 같이, 이 콘택트홀(44)에 텅스텐 등의 금속을 매립한다.

다음에, 도 4d에 도시한 바와 같이, 전체 면에 질화 실리콘으로 이루어진 무기막(45)을 예를 들면, CVD법에 의해 두께  $100\text{nm}$ 로 성막하고, 도4e에 도시한 바와 같이, 레지스트(46)에 의해 제2의 배선 패터닝을 행한다. 다음에, 도4f에 도시한 바와 같이, 배선 패턴을 포토 에칭에 의해 형성한다.

그리고, 도 4g에 도시한 바와 같이, 전체 면에 배선 재료로서 알루미늄(47)을 진공 증착법에 의해 전체 면에 퇴적시키고, 도 4h에 도시한 바와 같이, CMP법에 의해 상술한 것과 동일하게 하여 제2의 배선층(48)을 형성한다.

이와 같이 하여 형성된 제2의 금속 배선(48)의 상면은 제2의 유기막(40)의 상면보다도 높게 형성된다.

다음에, 도 4i에 도시한 바와 같이, 기판 표면을 세정한 후, 패시베이션막으로서 산화 실리콘막을 예를 들면 CVD법에 의해 두께  $500\text{nm}$ 로 형성한다.

최후에, 웨이퍼 프로세스의 완료 후, 마운팅, 본딩 프로세스를 수행하는 것에 의해 요구되는 반도체 장치를 제조할 수 있다.

이상 설명한 바와 같이, 본 실시예에 의하면, 저유전율막을 사용하는 미세 구조의 신뢰성이 매우 높은 반도체 장치를 효율 좋게 제조할 수 있다.

본 실시예에 의해 제조되는 반도체 장치는 층간 절연막으로서 저유전율막을 사용함으로써, 반도체 장치의 배선간의 용량을 대폭 감소시킬 수 있다.

또, 더미 배선을 배선 피치가 최소 피치의 3배 이상인 곳에 더미 패턴을 삽입하여 배선 간격이 적어도  $1\ \mu\text{m}$  이상인 부분을 없애도록 함으로써, 열전도율이 낮은 유기막을 사용하는 경우에도 반도체 장치의 내부에서 발생하는 열을 외부에 방출할 수 있으므로, 발열에 의한 고장이 없는 신뢰성이 높은 반도체 장치가 된다.

## 제5 실시예

본 발명의 제5 실시예는 2층 구조를 가지는 반도체 장치에 있어서, 배선층간(좌우)의 층간 절연막으로서 크세로겔을 함유하는 막을 사용하고, 배선층간(상하)에 비유전율이 3.0 이하인 유전체막을 사용한 반도체 장치의 제조예이다. 본 실시예에 의해 제조되는 반도체 장치의 주요 공정 단면도를 도 5a 내지 도 5f에 도시한다. 또한, 이하의 도에 있어서는 편의상 소자 분리막, 전극 등은 도시를 생략한다.

먼저, 도시하지 않은 트랜지스터, 배선 패턴 등이 형성된 실리콘 반도체 기판(50)상에 실리콘 산화막, 실리콘 질화산화막, 실리콘 질화막 등의 절연막(51)을 형성한다. 실리콘 산화막은 예를 들면, 스펀코터법을 사용하고, 시판되는 무기 SOG(실라놀 또는 실라놀을 포함하는 폴리머를 주요 성분으로 하는 것)를 약  $50\text{nm}$ 의 두께로 형성한다. 이 경우, 스펀코터 이후에는  $150\sim 200^\circ\text{C}$ 로 1분 정도의 베이킹(baking)을 행하여 큐어(cure)를  $350\sim 450^\circ\text{C}$ 로 30분에서 1시간을 행한다. 실리콘 산화막은 플라즈마 장치를 사용하여 플라즈마 CVD 법에 의해 형성할 수 있지만, 동 배선을 산화시키는 것을 가능한 방지하기 위하여, 산화제로서  $\text{N}_2\text{O}$  가스를 사용하고, 실리콘막으로서 모노실란, 디실란, 트리실란 등의 실란류를 사용하는 것이 바람직하다. 플라즈마 CVD법에 의한 경우는 기판 온도  $300\sim 400^\circ\text{C}$ , 플라즈마 파워  $350\text{W}$ , 압력  $1\text{kPa}$  정도의 조건에서 성막할 수 있다.

실리콘 질화 산화막의 경우는 아미노기를 가지는, 시판되는 무기 SOG를 스핀 코터법으로 성막할 수 있지만, 바람직하게는 플라즈마 CVD법을 사용하여 성막한다. 사용하는 가스로서 예를 들면, 실리콘 소스로서 모노실란, 디실란, 트리실란 등의 실란류를 사용하고, 질화제로서 예를 들면 암모니아, 하이드라진 등을, 산화제로서 N<sub>2</sub>O 가스를, 캐리어(carrier) 가스로서 질소, 헬륨, 아르곤 등을 각각 사용하고, 기판 온도를 300~400℃, 플라즈마 파워 350W, 압력 1kPa 정도의 조건에서 성막할 수 있다.

다음에 전체 면에 도시하지 않은 레지스트막을 성막한 후, 소정의 패터닝을 수행하고, 포토 에칭법으로 콘택트홀을 형성하고, 텅스텐 등의 금속을 매립하는 것에 의해 콘택트 플러그(52)를 형성한다.

다음에, 저유전율막(53)을 두께 300~800nm 정도로 성막하는 것에 의해 도 5a에 도시한 상태를 얻는다. 상기 저유전율막(53)은 비유전율이 3.0 이하인 절연막이라면 특히 제한이 없다. 예를 들면, 저유전율막이나 크세로겔을 함유하는 막을 예시할 수 있다. 그 외 저유전율막으로서는 상기 예시한 것을 사용할 수 있다.

다음에, 예를 들면, 질화 실리콘, 실란 커플링제 등으로 이루어진 무기막(56)을 예를 들면, CVD 법에 의해 두께 100nm로 전체 면에 성막하고, 도시하지 않은 레지스트막에 의해 제1의 배선 패터닝을 수행하고, 배선 패턴을 포토 에칭에 의해 형성한다. 이 경우의 에칭은 예를 들면, 시판되는 에칭 장치로 C<sub>2</sub>F<sub>6</sub> (14 sccm), CO (180 sccm), Ar (240 sccm) 가스를 사용하여 RF 플라즈마 파워 1500W로 수행할 수 있다.

이어서, 도 5b에 도시한 바와 같이, 전체 면에 배선 재료로서 알루미늄, 동, 동합금, 텅스텐 등의 금속을 진공 증착 등에 의해 퇴적시키고, CMP법에 의해 제1의 배선층(54)을 형성한다. 이 때, 상기 무기막(56)은 완전하게 제거되는 것이 바람직하지만, 실제의 제조에 있어서는 도 5b에 도시한 바와 같이 기판 상에 잔존해도 된다.

다음에, 도 5c에 도시한 바와 같이, 전체 면에 저유전율막(57)을 두께 800nm 정도로 성막한다. 성막은 예를 들면 전구체를 스핀코터로 성막하고 그 후, 300~400℃로 큐어링(curing)(소성)하는 것에 의해 수행할 수 있다. 상기 저유전율막의 재료로서는 비유전율이 3.0 이하인 것이 바람직하고, 예를 들면 상기 예시한 것을 사용할 수 있다.

또한, 아몰퍼스 카본 등의 재료를 사용하는 경우는 아세틸렌, 필요에 대응하여 플루오로 카본 가스를 사용하고, 플라즈마 CVD 장치를 사용하여 형성할 수 있다. 이 경에도 300℃~400℃로 큐어링을 행한다.

다음에, 도시하지 않은 레지스트막을 전체 면에 성막한 후, 소정의 패터닝을 수행하고, 포토 에칭에 의해 제2의 콘택트홀을 제1의 배선층까지 형성한 다음, 텅스텐 등의 금속을 매립하는 것에 의해 비아 콘택트 플러그(58)를 형성한다(도 5d).

다음에, 도 5e에 도시한 바와 같이, 전체 면에 크세로겔을 함유하는 막(59)을 예를 들면, 두께 500nm 정도로 형성한다. 크세로겔로서는 예를 들면, 나노글래스(nanoglass)사가 개발한 Nonoporous Silica(제품명)를 사용할 수 있다. Nonoporous Silica(제품명)는 포로스 실리카의 일종이지만, 본 실시예에서는 이것에 한정되는 것은 아니고, 방향족 등의 비교적 고분자의 알킬기를 가지는 실라놀 수지를 웨이퍼 상에 도포하고, 그것을 질화시켜서 실란 커플링제 또는 수소화 처리에 의해 소수 처리를 수행하여 형성되는 것도 된다.

또한, 이 경우 크세로겔을 함유하는 막은 특히 층간 밀착성이 부족하기 때문에, 상기 저유전율막 상에 상기 예시한 바와 같은 실란 커플링제를 박리 방지를 위하여 미리 도포하여 놓는 것이 바람직하다. 실란 커플링제로서는 일반식 RSiX<sub>3</sub>, RR'SiX<sub>2</sub> (식 중, R, R'는 알킬기를 나타내고, X는 할로젠 원자를 나타낸다.)로 표시되는 알킬 실란류를 예시할 수 있다.

다음에, 도시하지 않은 레지스트막을 전체 면에 성막한 후, 소정의 패터닝을 수행하고, 포토 에칭에 의해 배선층을 위한 홈(trench)을 형성한다. 이 경우의 에칭은 예를 들면, 시판되는 에칭 장치로 C<sub>2</sub>F<sub>6</sub>(14 sccm), CO (180 sccm), Ar (240 sccm) 가스를 이용하여 RF 플라즈마 1500W 파워로 수행할 수 있다. 이어서, 도 5e에 도시한 바와 같이, 전체 면에 배선 재료로서 알루미늄, 동, 동합금, 텅스텐 등의 금속을 진공 증착법에 의해 퇴적시킨 다음, 도시하지 않은 무기막을 퇴적시키고 예를 들면 실리카계 슬러리를 사용하는 CMP법에 의해 제2의 배선층(60)을 형성한다. 이 경우 무기막으로서는 제1의 배선층을 형성할 때에 예시한 것과 동일한 것을 사용할 수 있다. 또한, 무기막은 완전히 제거되는 것이 바람직하지만, 실제의 제조에서는 기판 상에 잔존해도 된다.

최후에, 도 5f에 도시한 바와 같이, 전체 면에 산화 실리콘막 등의 절연막(61)을 패시베이션막으로서 형성하여 배선층의 형성 공정을 완료한다.

본 실시예에서는 배선층의 주위(배선층의 좌우), 바람직하게는 배선 간격이 표준 피치의 3배 이하인 부분에는 비유전율이 매우 작은 크세로젤을 함유하는 막을 사용하고, 또한, 배선간의 콘택트홀의 주위(배선층의 상하)에는 비유전율이 3.0 이하인 유전체막을 사용한다. 따라서, 크세로젤막의 기계적 강도, 열전도성, 내열성, 내습성, 층간 밀착성이 부족한 결점을 보충하면서, 배선 용량을 대폭 축소하는 것에 의하여, 신뢰성이 높은 미세 구조를 가지는 반도체 장치를 수득할 수 있게 제조할 수 있다.

또, 크세로젤을 함유하는 막의 상하에는 실란 커플링제로 이루어진 층을 설치하는 것에 의하여, 층간 밀착성이 뛰어난 반도체 장치를 제조할 수 있다.

또한, 방열을 위한 더미 배선을 설치함으로써, 반도체 장치 전체의 발열이 작고, 온도상승에 의한 오동작이 작은 신뢰성이 높은 반도체 장치이다.

## 제6 실시예

본 실시예에서는 층간 절연막으로서 저유전율 유기막을 사용하고 방열 경로로서 더미 배선층 및 더미 콘택트홀을 형성하는 예이다.

먼저, 도 6a에 도시한 바와 같이, 도시하지 않은 트랜지스터 등의 능동 소자, 소자 분리막(63)으로 구성된 실리콘 반도체 기판(62)상에 하층 층간 절연막(64)을 형성한다.

그 후, 도 6b에 도시한 바와 같이, 전체 면에 레지스트막(65)을 성막하고 콘택트 플러그(콘택트홀)(66) 및 더미 콘택트 플러그(67)의 형성을 위한 패터닝을 수행한다. 더미 콘택트홀은 층간 절연막(63)상에서 상층에 형성하는 더미 배선의 하부에 형성하는 것이 제조상 바람직하다. 또, 콘택트 피치는 최소 피치가 되는 것이 바람직하다. 최소 피치로 하는 것에 의해 열전도성을 향상하고, 열확산 효율을 높일 수 있다.

또, 트랜지스터, 소자 분리막, 하층 층간 절연막, 콘택트 플러그 등의 형성은, 공지의 기술을 이용할 수 있다. 하층 층간 절연막으로서 예를 들면 산화 실리콘막, 포스포러스, 또는 포스포러스 및 보론소가 불순물로서 도핑된 산화 실리콘막을 형성할 수 있다. 또, 콘택트 플러그(66,67)의 형성에는 텅스텐 등의 도전성 물질을 매립하는 것에 의해 형성할 수 있다. 이와 같이 하여 도 6c에 도시한 상태를 얻는다.

다음에, 도 6d에 도시한 바와 같이, 저유전율막(68)을 전체 면에 형성한 후, 이 저유전율막(68)상에 산화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막 또는 질화막계의 무기막(69)을, 예를 들면 두께 100nm 정도로 성막한다.

또한 이 성막은, 통상, 플라즈마 CVD(Chemical Vapour Deposition) 법이 사용되지만, 환원 분위기에서 수행하는 것이 바람직하다. 산화 분위기에서 CVD법을 사용하는 경우에는 저유전체 유기막이 산화되고, 막박리 등의 바람직하지 않은 현상을 야기시킬 우려가 있다.

예칭 조건으로서, 산화 실리콘막을 성막하는 경우에는 예를 들면, 플라즈마 CVD 장치를 사용하고 실란 가스 50sccm, N<sub>2</sub>O 가스 100sccm, 플라즈마 파워 500W, 압력 10 Torr, 온도 350℃의 조건으로 수행할 수 있다.

다음에, 도 6e에 도시한 바와 같이, 전체 면에 레지스트막(70)을 성막하고 배선 및 더미 배선을 형성하기 위한 더미 패터닝을 행한다. 더미 배선의 패터닝은 바람직하게는 적어도 3배 피치 이상의 배선 간격의 부분, 보다 바람직하게는 3배 피치 이상의 배선 간격의 부분에 있어서 모든 배선 간격이 1 μm 이하로 되도록 수행한다.

또한, 이 경우, 배선의 패터닝과 더미 배선의 패터닝을 반드시 동시에 행할 필요는 없다.

다음에, 일반적인 마그네트론 방식의 예칭 장치를 사용하여 최상층의 산화 실리콘막(69) 및 그 하층의 저유전체막(68)을 예칭한다. 예칭은 예를 들면, 산화 실리콘막의 예칭의 경우는 예를 들면, C<sub>2</sub>F<sub>6</sub> (14 sccm), CO (180 sccm), Ar (240

sccm), O<sub>2</sub> (6 sccm) 가스를 사용하여 RF 플라즈마 파워 1500W로 수행할 수 있다. 또, 저유전체막의 에칭의 경우는 CHF<sub>3</sub> (5 sccm), O<sub>2</sub> (50 sccm), He (200 sccm) 가스를 이용하여 RF 플라즈마 파워 500W, -10℃의 조건으로 수행할 수 있다.

상기 에칭에 있어서는, 상층의 산화 실리콘막(69)은 저유전체막(68)을 에칭할 때의 마스크의 역할도 완수한다. 즉, 저유전체막을 에칭하는 조건에서는 레지스트막(70)도 동시에 에칭된다. 또한, 본 실시예에서는 산화 실리콘막을 사용하지만 그 외, TiN, TiON, TaN, TaO, TaON, WN, W, Ti 등의 금속계 재료를 사용할 수도 있다.

다음에, 도 6f에 도시한 바와 같이, 다마신법에 의해 배선층(71) 및 더미 배선층(72)을 형성한다. 이와 같이 하여 형성되는 배선층(71) 및 더미 배선층(72)의 상면은, 저유전율막(68)의 상면보다도 높게 형성된다.

즉, 배선층의 형성은 스퍼터링 장치 또는 CVD 장치를 사용하고 배선 재료(금속)로서 예를 들면, 동을 전체 면에 퇴적시키고, 이어서 CMP법에 의해 여분의 금속막을 연마한 후, 다시 CMP법에 의해 50nm 정도의 무기막(산화 실리콘막)(69)을 연마하는 것에 의해 행해진다. 이 연마는 완전히 금속을 제거하기 위함과, 산화 실리콘막에 새겨진 스크래치를 제거하기 위하여 수행하는 것이다.

다음에, 산화 실리콘막(69)을 일반적인 마그네트론 방식의 에칭 장치를 사용하여 에칭한다. 이때의 조건으로서는 예를 들면, C<sub>2</sub>F<sub>6</sub> (14 sccm), CO (180 sccm), Ar (240 sccm)을 사용할 수 있다. 이러한 조건에서는 유전체 유기막은 거의 에칭되지 않는다. 또한, 장치 성능보다도 신뢰성을 중시하는 경우에는 이 산화 실리콘막의 제거 공정을 생략할 수 있다.

이와 같이 하여 얻어지는 배선 구조는, 더미 배선층 이외에 더미 배선층에 접속하는 더미 콘택트 플러그를 가짐으로써, 방열 효과가 더 높아진다. 따라서 신뢰성이 매우 높은 배선 구조를 가지는 반도체 장치를 얻을 수 있다.

## 제7 실시예

본 실시예에서는 2층의 배선 구조를 가지고, 더미 배선층 및 더미 콘택트홀(더미 비아 콘택트홀 및 비아 콘택트홀)을 가지는 반도체 장치의 제조예이다.

먼저, 상기 제6 실시예와 동일하게 하여, 도 6f에 도시한 상태를 얻는다. 다음에, 상기 배선층(71) 및 더미 배선층(72)상에 두께 100nm 이상의 얇은 질화 실리콘막, 산화 실리콘막 또는 질화 산화 실리콘막 등의 도시하지 않은 무기막을 형성한다. 이 막은, 비아 콘택트홀 형성시에 에칭 스톱퍼(stopper) 층으로서 사용되기 때문에, 가능한 얇은 것이 바람직하다. 본 실시예에서는 예를 들면 질화 실리콘막을 두께 100nm로 형성한다.

다음에, 도 7a에 도시한 바와 같이, 제2의 도전체막(73)을 전체 면에 형성한다. 본 실시예에서는 이 저유전체막(73)으로서 상기 열거한 것 외에, 비교적 유전율이 높은 유기 SOG막, 플루오린 도프드 실리콘 산화막 등을 사용하는 것도 가능하다. 이 제2의 저유전체막(73)은 일반적으로 시판되는 CVD 장치 또는 SOG 코터(coater) 장치를 사용하고, 공지의 기술을 사용하여 형성할 수 있다.

다음에, 상기 제2의 저유전체막(73)상에, 실리콘 산화막, 질화 산화 실리콘막 또는 질화 실리콘막 등의 무기막(74)을 성막한다. 이러한 막은 일반적으로는 CVD 장치를 사용하여 성막할 수 있지만, SOG 코터, 진공 증착, 스퍼터링 장치를 사용할 수 있다. 이 무기막(74)은 배선층을 패터닝 후의 에칭할 때의 스톱퍼로서 작용한다.

다음에, 전체 면에 레지스트막(75)을 성막한 후, 비아 콘택트 및 더미 비아 콘택트 형성을 위한 패터닝을 수행한다. 이때, 더미 비아 콘택트홀의 형성은 상하에 더미 배선이 형성되는 곳에 최소 피치로 수행하는 것이 바람직하다.

다음에, 무기막(74) 및 제2의 저유전율막(73)을 에칭하고 비아 콘택트홀 및 더미 비아 콘택트홀을 형성하는 것에 의해, 도 7b에 도시한 상태를 얻는다. 무기막(74) 및 제2의 저유전율막(73)의 에칭은 상술한 무기막 및 저유전율막의 에칭 조건과 동일하게 하여 수행할 수 있다. 그 때에는 레지스트막(75)도 동시에 에칭 제거된다.

그 후, 동 등의 금속 배선 재료를 상기 비아 콘택트홀 및 더미 비아 콘택트홀에 매립하고, 비아 콘택트 플러그(74) 및 더미 비아 콘택트 플러그(75)를 형성하는 것에 의하여 도 7c에 도시한 상태도를 얻는다.

다음에, 전체 면에 제3의 저유전율막(78)을 형성한다. 형성 방법은, 상기 제2의 저유전체막과 동일하다. 또한, 상기 제3의 저유전체막(78)상에 실리콘 산화막, 질화 산화 실리콘막 또는 질화 실리콘막 등의 무기막(79)을 성막하는 것에 의해 도7d에 도시한 상태도를 얻는다. 이러한 막은, 일반적으로는 CVD 장치를 사용하여 성막할 수 있지만, SOG 코터, 진공 증착, 스퍼터링 장치를 사용할 수도 있다. 이 무기막(79)은 배선층을 CMP법에 의해 연마할 때의 스톱퍼로서 작용한다.

다음에, 도 7e에 도시한 바와 같이, 전체 면에 레지스트막(80)을 성막한 후, 배선층 및 더미 배선층 형성을 위한 패터닝을 수행한다. 더미 배선층의 패터닝은 배선 간격이 최소 피치 이상인 곳에 형성하는 것이 바람직하다. 더미 패턴을 설계 최소 치법으로 형성한 경우에, 더미 배선층과 배선층과의 간격이 최소 피치 이상으로 하기 위한 것이다. 또한, 성능을 중시하는 경우에 있어서는 그 간격을 최소 간격 보다도 2배 이상으로 해 놓는 것이 보다 바람직하다. 배선 간격을 2배 이상으로 하는 것에 의하여 배선간의 용량을 대략 절반으로 할 수 있게 된다.

다음에, 일반적인 마그네트론 방식의 에칭 장치를 사용하여 최상층의 무기막(77) 및 그 하층의 제3의 저유전체막(78)을 에칭한다. 이 에칭은 예를 들면, 저유전체막의 경우는  $\text{CHF}_3$  (5 sccm),  $\text{O}_2$  (50 sccm), He (200 sccm) 가스를 이용하여 RF 플라즈마 파워 500W,  $-10^\circ\text{C}$ 로 수행할 수 있다. 또, 무기막(산화 실리콘막)의 경우는, 예를 들면,  $\text{C}_2\text{F}_6$  (14 sccm), CO (180 sccm), Ar (240 sccm),  $\text{O}_2$  (6 sccm) 가스를 이용하여 RF 플라즈마 파워 1500W로 에칭을 수행할 수 있다.

이 경우, 상층의 무기막(79)은 제3의 저유전체막(78)을 에칭할 때의 마스크로도 된다. 즉, 제3의 저유전체막을 에칭하는 조건에서는 레지스트막(80)도 동시에 에칭된다. 또한, 본 실시예에서는 산화 실리콘막 등의 무기막을 사용하지만, TiN, TiON, TaN, TaO, TaON, WN, W, Ti 등의 다른 금속막을 사용할 수도 있다.

또, 이 때 더미 콘택트의 패터닝을 수행하지 않고, 배선층을 형성한 후, 더미 콘택트홀 형성을 위한 패터닝을 수행하고, 그 곳에 열전도성이 높은 산화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막 등을 형성할 수 있다.

다음에, 다마신법에 의해 배선층(81) 및 더미 배선층(82)을 형성한다. 즉, 배선 재료(금속)로서 예를 들면, 동을 스퍼터링 장치 또는 CVD 장치로 형성하고 이어서, CMP법에 의해 여분의 금속막을 연마한다. 최후에 다시 CMP법에 의해 50nm 정도의 무기막(79)을 연마한다. 무기막을 다시 연마하는 것은, 완전하게 여분의 금속을 제거하고, 무기막(산화 실리콘막 등)에 새겨진 스크래치를 제거하기 위한 것이다.

이러한 방법으로, 도 7f에 도시한 바와 같은 2층의 배선층, 더미 배선층, 콘택트홀 및 더미 콘택트홀을 가지는 다층 배선 구조를 형성할 수 있다. 이 때, 배선층(81) 및 더미 배선층(82)의 상면의 높이는 제3의 저유전율막(78)의 상면의 높이 보다 높게 형성된다.

또한, 이상의 조작을 반복하는 것에 의해 3층 이상의 다층 배선 구조도 동일하게 하여 형성할 수 있다.

이와 같이 하여 얻어지는 배선 구조는, 더미 배선층 이외에 더미 콘택트 플러그를 가짐으로써, 방열 효과가 더 높아진다. 따라서, 신뢰성이 높은 다층 배선 구조를 가지는 반도체 장치를 얻을 수 있다.

또한, 상기 실시예에서는 배선층 또는 콘택트홀(콘택트홀 또는 비아 콘택트홀) 형성을 위한 패터닝과 동시에 더미 배선층 또는 더미 콘택트홀 형성을 위한 패터닝을 동시에 수행하는 예를 나타낸다. 본 발명에 있어서는 배선층 또는 콘택트홀을 형성한 후에, 더미 배선층 또는 더미 콘택트홀을 형성하는 것을 수행하는 것도 가능하다.

예를 들면, 배선층을 형성한 후에 더미 배선층을 형성하는 것은 다음과 같이 행할 수 있다.

먼저, 도 8a에 도시한 바와 같이, 접속 플러그(85) 및 배선층(84)을 형성한 구조를 얻은 다음, 도 8b에 도시한 바와 같이, 산화 실리콘막 등의 무기막(89)을 전체 면에 형성한 후, 레지스트막(89)을 성막하고 더미 배선층 형성을 위한 패터닝을 수행한다.

그 후, 일반적인 마그네트론 방식의 에칭 장치를 사용하여 상기 무기막(89)을 예를 들면,  $\text{C}_2\text{F}_6$  (14 sccm), CO (180 sccm), Ar (240 sccm),  $\text{O}_2$  (6 sccm) 가스를 이용하여 RF 플라즈마 파워 1500W로 에칭한다. 또, 상기 유전체막(유전체 유기막)(86)을  $\text{CHF}_3$  (5 sccm),  $\text{O}_2$  (50 sccm), He (200 sccm) 가스를 이용하여 RF 플라즈마 파워 500W,  $-10^\circ\text{C}$ 의 조건으로 에칭한다.

그 후, 더미 패턴을 CVD 또는 SOG 코터를 사용하여 산화 실리콘막, 질화 실리콘막 또는 질화 산화 실리콘막을 형성하여 매립한다. 산화 실리콘막, 질화 실리콘막 또는 질화 산화 실리콘막은 열전도성에 뛰어나다. 다음에, 절연막 연마용인 CMP 장치를 사용하여 실리콘계 슬러리 또는 산화 세륨(cerium) 슬러리를 사용하여 연마하여 도 8c에 도시한 구조를 얻는다. 이 경우도 배선층(84) 및 더미 배선층(90)의 상면은 저유전율막(86)의 상면보다도 무기막(88)의 높이만큼 높게 형성된다.

또한, 본 실시예에서는 저유전율막으로서 유전체 유기막을 사용하지만, 크세로겔을 사용하는 경우에도 본 발명의 소기의 효과를 이루는 구조를 얻을 수 있다. 그 경우의 에칭 조건으로서는 상기 무기막의 에칭 조건과 동일하다.

### 발명의 효과

이상 설명한 바와 같이, 본 발명의 반도체 장치는 층간 절연막을 비유전율이 3.0 이하인 유전체막을 사용하기 때문에, 배선간 용량의 증대가 대폭 억제되는 미세한 반도체 장치이다.

또, 방열을 위한 더미 배선층을 배선 패턴에 대하여, 적어도 3배 피치 이상의 배선 간격 부분에 설치하는 것에 의하여, 열전도율이 작은 저유전율막을 사용하는 것에 의한 열확산 효율의 저하를 효과적으로 방지할 수도 있다.

또, 더미 접속 플러그(콘택트 플러그 및 비아 콘택트 플러그)를 더미 배선층의 아래에 설치하는 경우에는 열전도율이 작은 저유전율막을 사용하는 것에 의한 열확산 효율의 저하를 보다 효과적으로 방지할 수 있다.

또한, 본 발명에 의하면, 배선층의 주위(배선층의 좌우), 바람직하게는 배선 간격이 표준 피치의 3배 이하인 부분에는 비유전율이 매우 작은 크세로겔을 함유하는 막을 사용하고, 또한, 배선간의 콘택트홀의 주위(배선층의 상하)에는 저유전율막을 사용하는 것에 의하여 크세로겔막의 결점을 보충하면서, 배선 용량을 대폭 축소하는 것에 의하여 신뢰성이 높은 미세 구조를 가지는 반도체 장치를 수득할 수 있게 제조할 수 있다.

또, 크세로겔을 함유하는 막의 상하에는 실란 커플링제로 이루어진 층을 설치하는 것에 의하여, 층간 밀착성에 뛰어난 반도체 장치를 제조할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명인 반도체 장치의 제1 실시예를 도시한 도면이고,

도 2a 내지 도 2f는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법의 주요부분을 나타내는 단면도이고, 여기서,

도 2a는 실리콘 반도체 기판 상에 산화 실리콘막을 형성한 도면이고,

도 2b는 p웰 영역을 형성한 도면이고,

도 2c는 p웰 영역을 형성한 후, 소자 분리 영역을 형성하기 위한 패터닝을 수행한 도면이고,

도 2d는 소자 분리 영역을 형성하기 위한 패터닝을 수행한 후, 로코스(LOCOS)법에 따라, 소자 분리막을 형성한 도면이고,

도 2e는 산화 실리콘막을 형성한 후, 게이트 전극을 형성하고, n+ 영역과 p+ 영역을 형성한 도면이고,

도 2f는 n+ 영역과 p+ 영역을 형성한 후, 전체 면에 저유전율막을 형성한 도면이고,

도 2g는 전체 면에 저유전율막을 형성한 후, 산화 실리콘막을 형성하고, 배선층을 형성하기 위한 패터닝을 수행한 도면이고,

도 2h는 배선층을 형성하기 위한 패터닝을 수행한 후, 포토 에칭으로 배선홈과 콘택트홀을 형성한 도면이고,

도 2i는 배선층을 형성하기 위한 패터닝을 수행한 후, 포토 에칭으로 배선홈과 콘택트홀을 형성하고, 알루미늄을 전체 면에 퇴적시키고, CMP법에 의해 배선을 형성한 도면이고,

도 2j는 배선을 형성한 후, 전체 면에 패시베이션막을 형성한 도면이다.

도 3a 내지 도 3f는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 방법의 주요 부분을 나타내는 단면도이고, 여기서,

도 3a는 실리콘 반도체 기판 상에 산화 실리콘막을 형성하고, 그 위에 저유전율막을 형성하고, 다시 그 위에 산화 실리콘막을 형성한 도면이고,

도 3b는 산화 실리콘막을 형성한 후 레지스트막을 이용하여 배선을 위한 패터닝을 수행한 도면이고,

도 3c는 배선을 위한 패터닝을 수행한 후, 포토 에칭으로 콘택트홀을 형성한 도면이고,

도 3d는 콘택트홀을 형성한 후, 전체 면에 동을 퇴적한 도면이고,

도 3e는 동을 퇴적한 후, CMP법에 의해 배선층을 형성한 도면이고,

도 3f는 패시베이션막으로서 저유전율막을 형성한 도면이다.

도 4a 내지 도 4i는 본 발명의 제4 실시예에 따른 반도체 장치의 제조 방법의 주요 부분을 나타내는 단면도이고, 여기서,

도 4a는 실리콘 반도체 기판 상에 산화 실리콘막을 형성하고, 저유전율막을 형성한 후, 배선과 더미 배선을 형성하고, 제2 저유전율막을 형성한 도면이고,

도 4b는 제2 저유전율막을 형성한 후, 레지스트를 사용하여 포토 에칭법에 의해 콘택트홀을 형성한 도면이고,

도 4c는 콘택트홀을 형성한 후, 해당 콘택트홀에 금속(W)을 매립한 도면이고,

도 4d는 콘택트홀에 금속(W)을 매립한 후, 전체 면에 질화 실리콘막을 형성한 도면이고,

도 4e는 질화 실리콘막을 형성한 후, 레지스트를 사용하여 제2 배선층을 형성하기 위한 패터닝을 수행한 도면이고,

도 4f는 제2 배선층을 형성하기 위한 패터닝을 수행한 후, 포토 에칭에 의해 제2 배선층을 형성한 도면이고,

도 4g는 제2 배선층을 형성한 후, 전체 면에 알루미늄막을 형성한 도면이고,

도 4h는 전체 면에 알루미늄막을 형성한 후, CMP법에 의해 제2 금속배선을 형성한 도면이고,

도 4i는 제2 금속배선을 형성한 후, 패시베이션막을 형성한 도면이다.

도 5a 내지 도 5f는 본 발명의 제5 실시예에 따른 반도체 장치의 제조 방법의 주요 부분을 나타낸 단면도이고, 여기서,

도 5a는 반도체 기판 상에 콘택트 플러그를 형성한 후, 저유전율막을 형성한 도면이고,

도 5b는 제1 배선층을 형성하고, 그 위에 무기막을 형성한 도면이고,

도 5c는 제2 저유전율막을 형성한 도면이고,

도 5d는 제2 저유전율막(유기막) 내에 제2 콘택트홀 형성한 도면이고,

도 5e는 크세로겔을 함유하는 막을 형성한 후, 제2 배선층을 형성한 도면이고,

도 5f는 패시베이션막을 형성한 도면이다.

도 6a 내지 도 6f는 본 발명의 제6 실시예에 따른 반도체 장치의 제조 방법의 주요 부분을 나타낸 단면도이고, 여기서,

도 6a는 반도체 기판 상에 소자 분리막을 형성하고, 층간 절연막을 형성한 도면이고,

도 6b는 전체 면에 레지스트막을 형성하고, 콘택트홀 및 더미 콘택트홀을 형성하기 위한 패터닝을 수행한 도면이고,

도 6c는 금속 재료를 채워서 콘택트 플러그 및 더미 콘택트 플러그를 형성한 도면이고,

도 6d는 저유전율 유기막을 형성하고, 그 위에 무기막을 형성한 도면이고,

도 6e는 전체 면에 레지스트막을 형성한 후, 제1 배선층 및 더미 배선층을 형성하기 위한 패터닝을 수행한 도면이고,

도 6f는 제1 배선층을 형성한 도면이다.

도 7a 내지 도 7f는 본 발명의 제7 실시예에 따른 반도체 장치의 제조 방법의 주요 부분을 나타낸 단면도이고,

도 7a는 제2 저유전율막을 형성한 도면이고,

도 7b는 무기막을 형성한 후, 전체 면에 레지스트막을 형성한 후, 비아 콘택트홀 및 더미 비아 콘택트홀을 형성하기 위한 패터닝을 수행한 도면이고,

도 7c는 비아 콘택트 플러그 및 더미 비아 콘택트 플러그를 형성한 도면이고,

도 7d는 제3 저유전율막을 형성하고, 그 위에 무기막을 형성한 도면이고,

도 7e는 레지스트막을 형성한 후, 제2 배선층 및 더미 배선층을 형성하기 위한 패터닝을 수행한 도면이고,

도 7f는 제2 배선층 및 더미 배선층을 형성한 도면이다.

도 8a 내지 도 8c는 본 발명의 제8 실시예에 따른 반도체 장치의 제조 방법의 주요 부분을 나타낸 단면도이고, 여기서,

도 8a는 제1 배선층을 형성한 도면이고,

도 8b는 무기막을 형성한 후, 전체 면에 레지스트막을 형성하고, 더미 배선층을 형성하기 위한 패터닝을 수행한 도면이고,

도 8c는 더미 배선층을 형성한 도면이다.

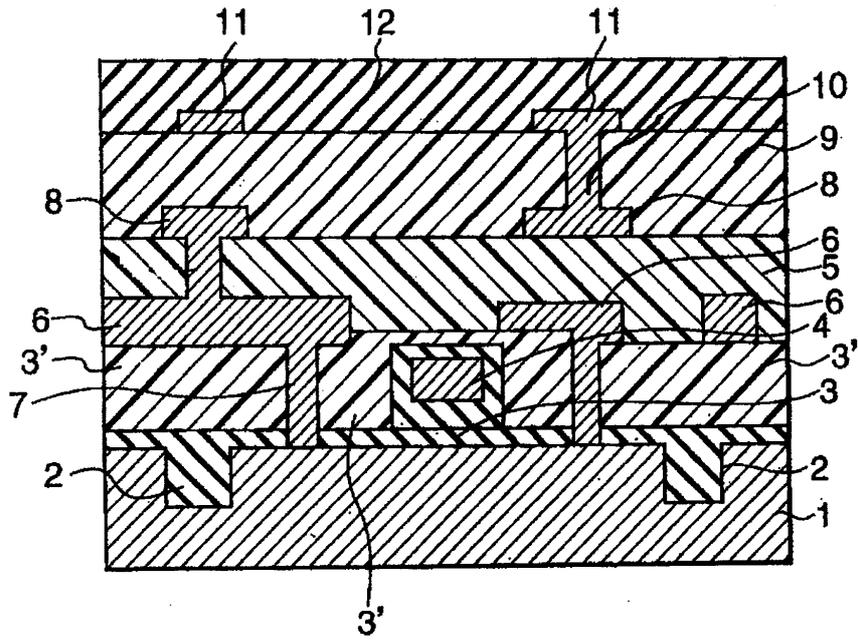
도 9는 더미 리드선과 금속 리드선을 가지는 종래의 반도체 장치의 단면도이다.

[부호의 설명]

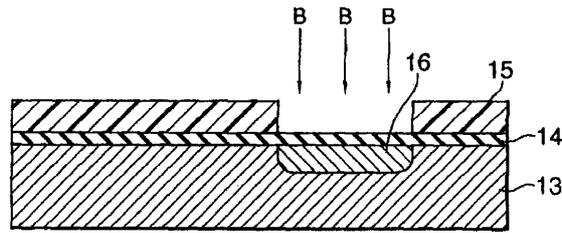
1, 13, 30, 37, 50, 62, 81, 87 : 반도체 기판 2, 19, 63, 82 : 소자 분리막, 3 : 게이트 절연막, 4, 21 : 게이트 전극, 5, 9, 24, 29, 32, 36, 39, 41, 53, 57, 68, 73, 78, 94 : 저유전율막 6, 8, 11, 28, 35, 40, 48, 54, 60, 71, 81, 85, 91 : 배선층 7, 10, 27, 44, 52, 58, 66, 76, 84 : 콘택트홀 12, 49, 61 : 패시베이션막, 14, 20, 25, 31, 33, 38 : 산화 실리콘막 15, 18, 26, 34, 43, 46, 65, 70, 75, 80, 89 : 레지스트막 16 : p웰, 17, 45 : 질화 실리콘막, 22 : p+ 영역 23 : n+ 영역 42, 72, 82, 90 : 더미 배선층, 47 : 알루미늄막, 51 : 절연막 59 : 크세로겔을 함유하는 막, 3', 64, 74, 79 : 무기막, 92 : 기판 93 : 더미 리드선, 94 : 금속 리드선, 95 : 전열층 96 : 저유전율재료, 97 : 전열성 절연층

도면

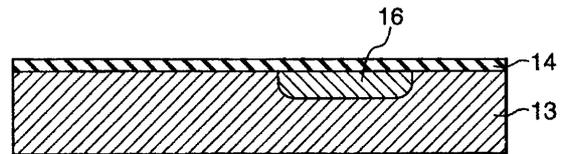
도면1



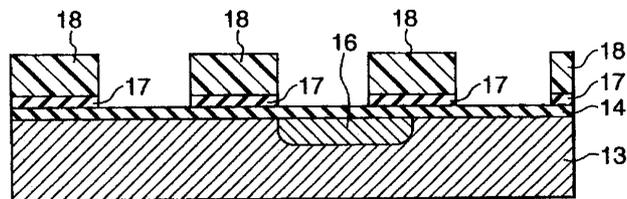
도면2a



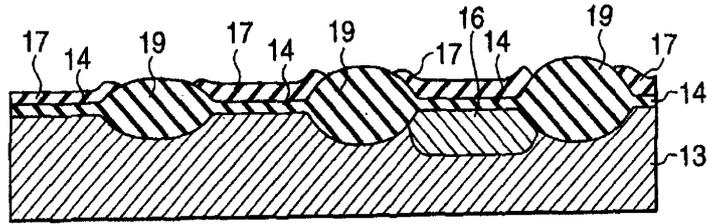
도면2b



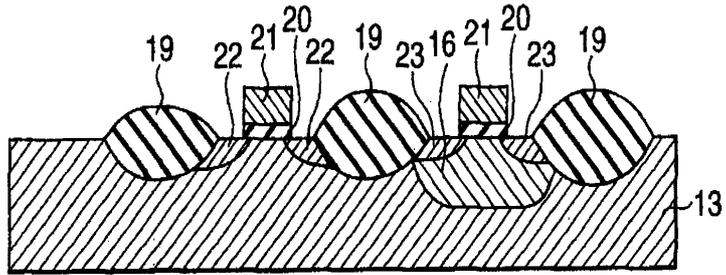
도면2c



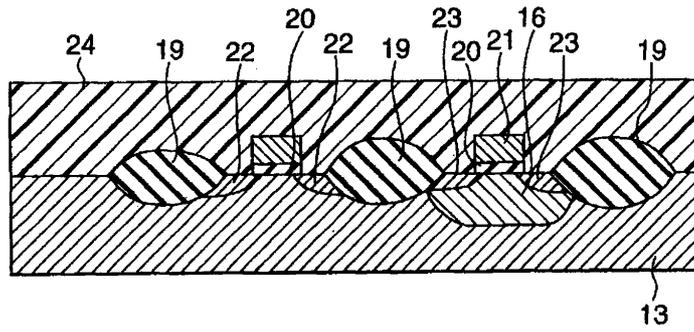
도면2d



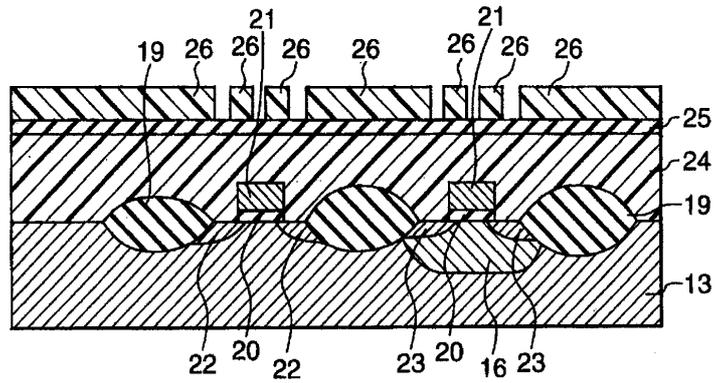
도면2e



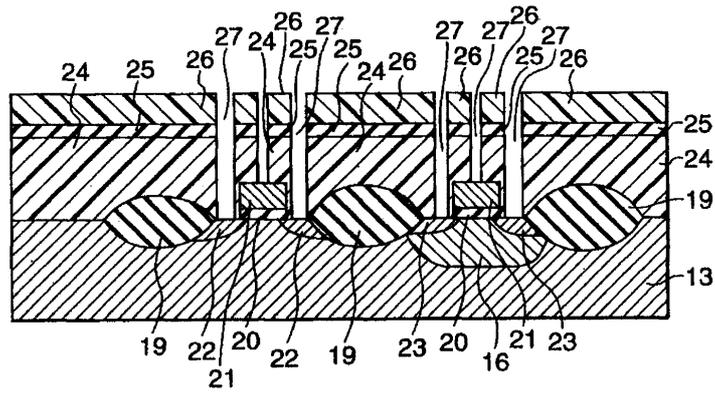
도면2f



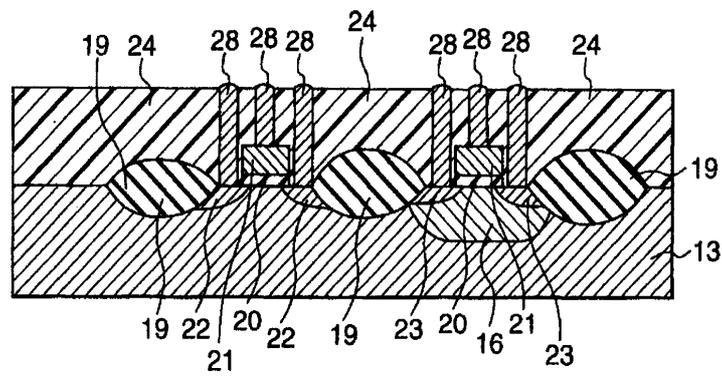
도면2g



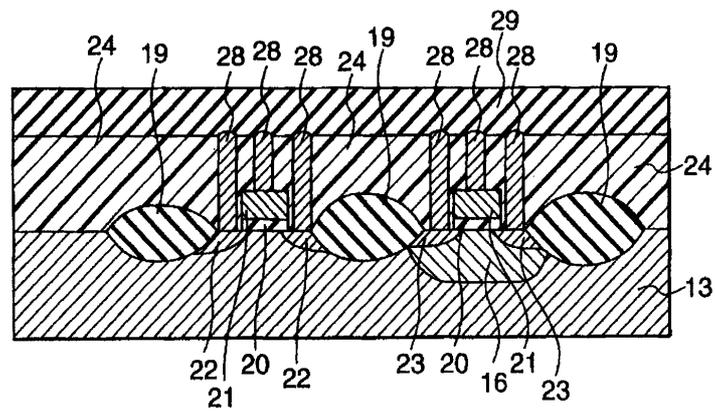
도면2h



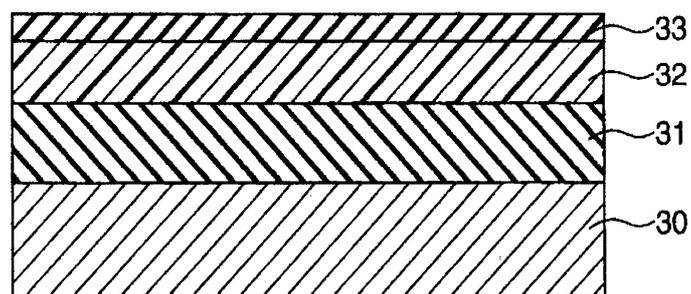
도면2i



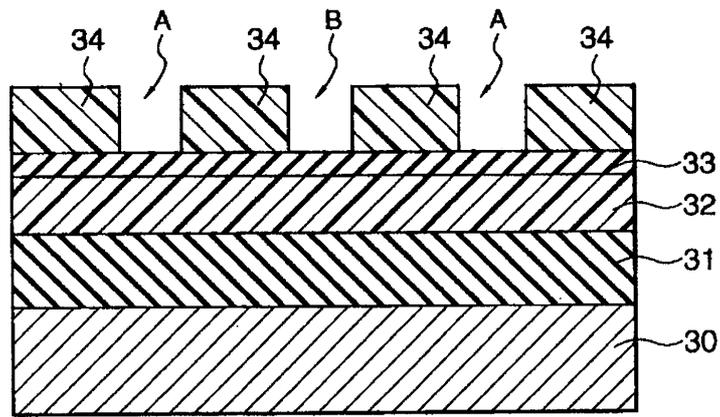
도면2j



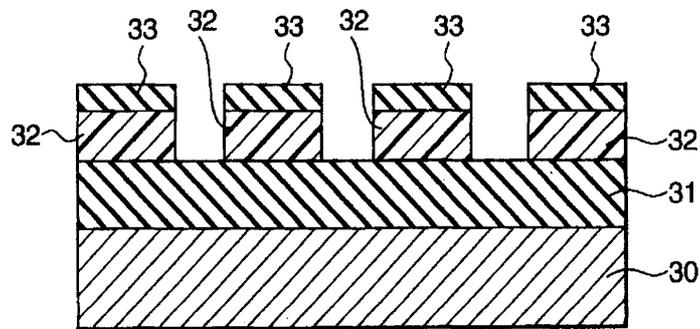
도면3a



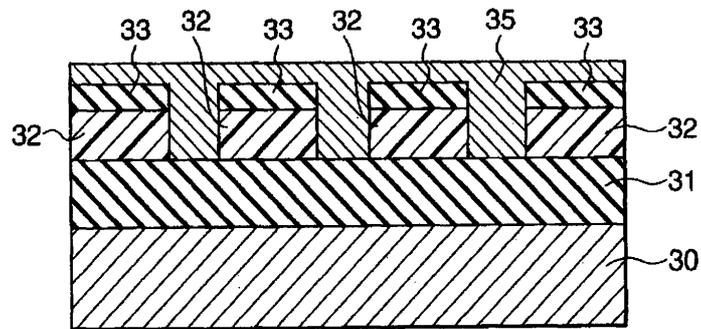
도면3b



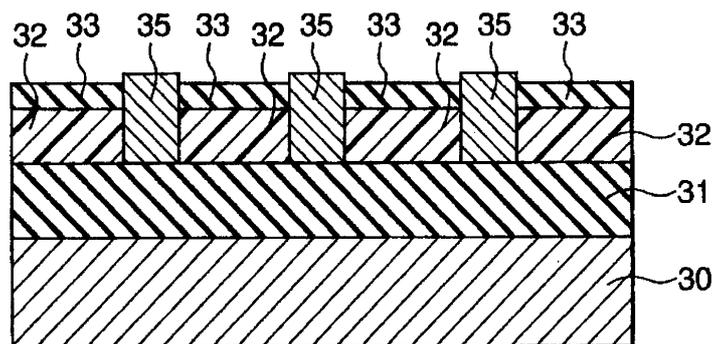
도면3c



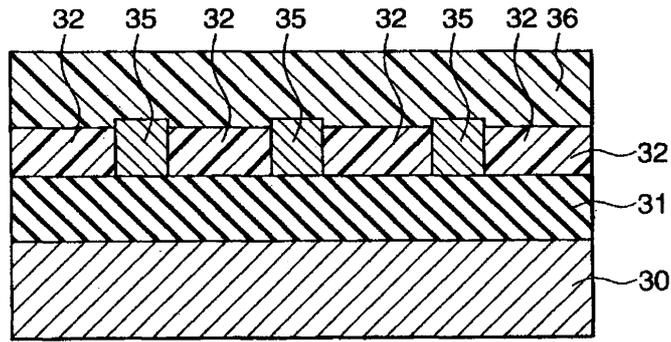
도면3d



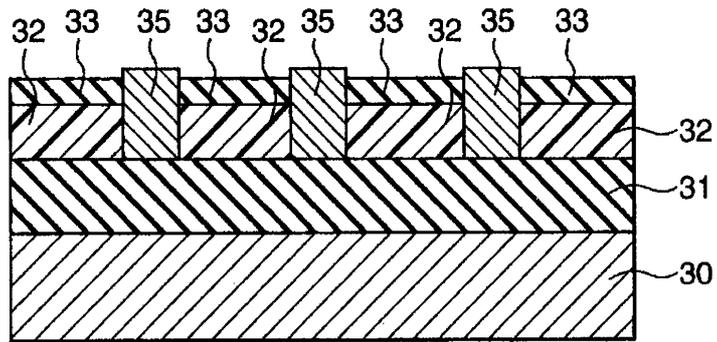
도면3e



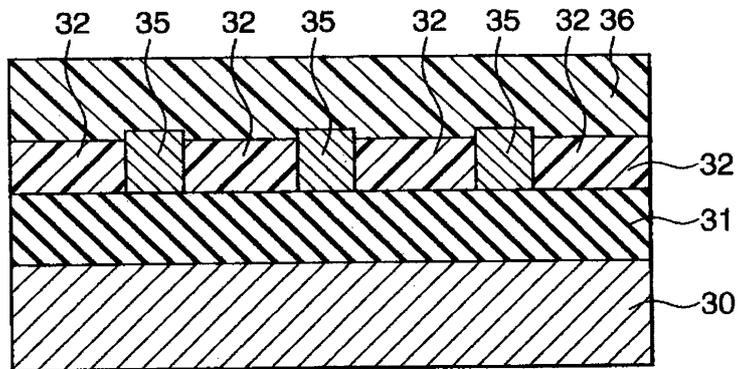
도면3f



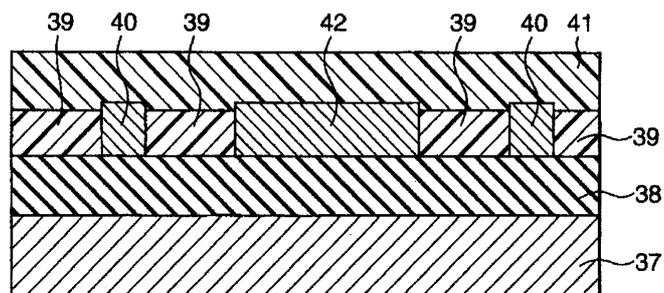
도면3g



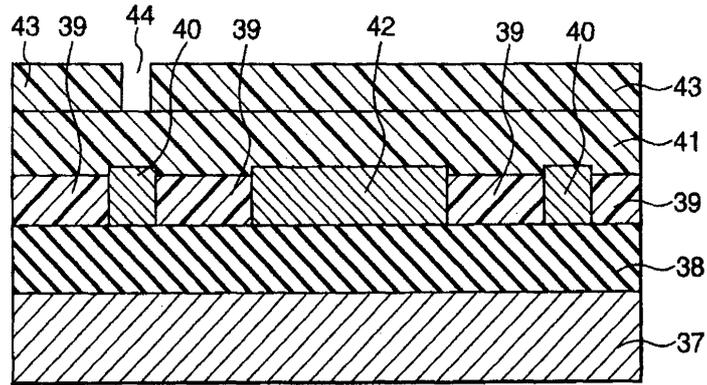
도면3h



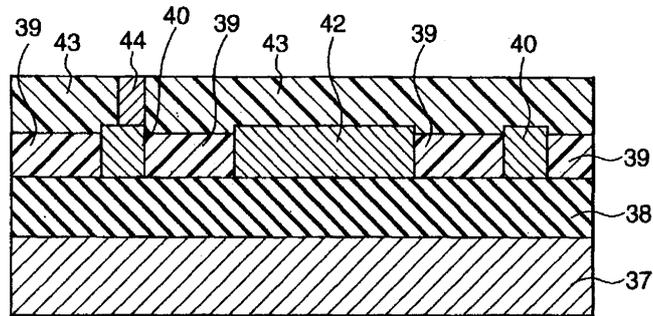
도면4a



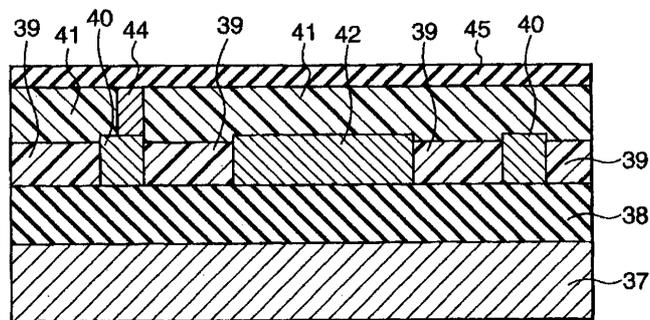
도면4b



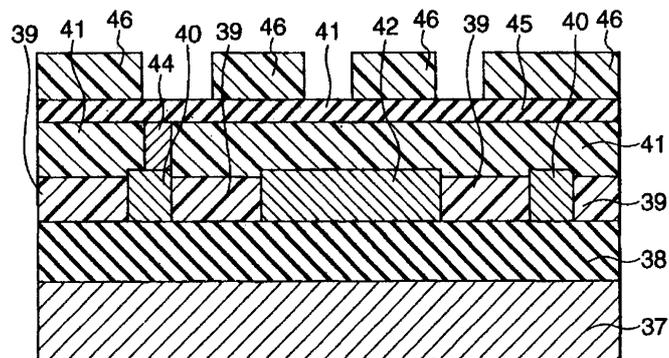
도면4c



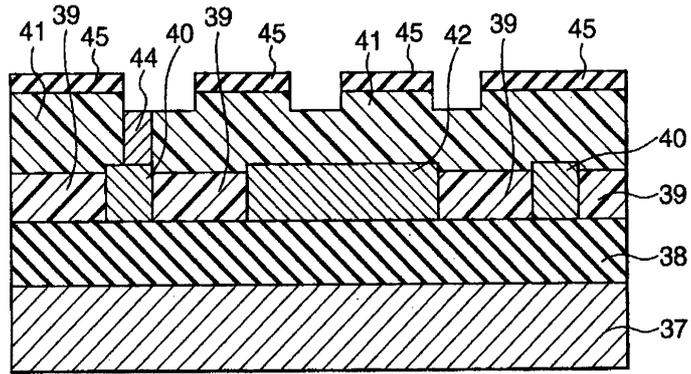
도면4d



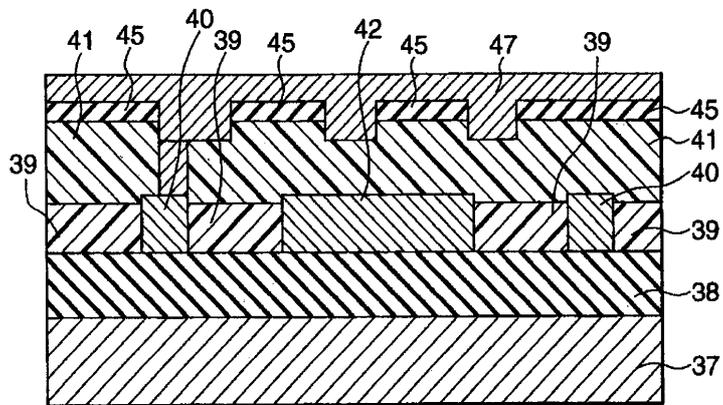
도면4e



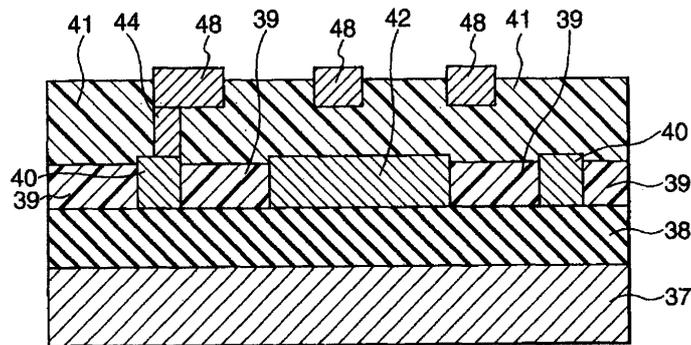
도면4f



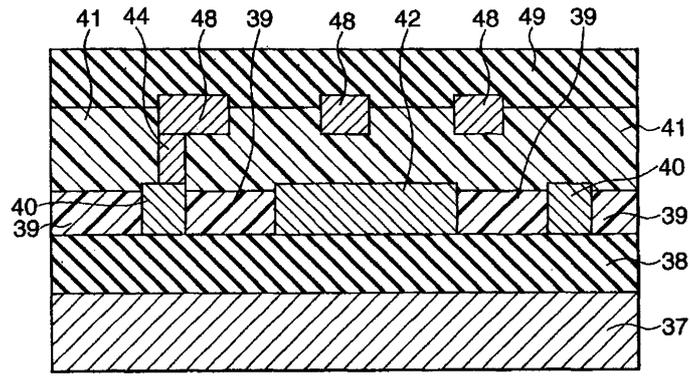
도면4g



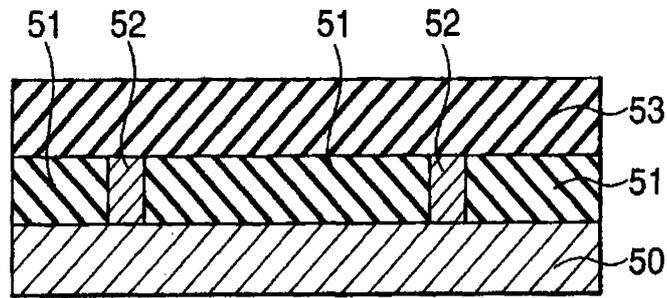
도면4h



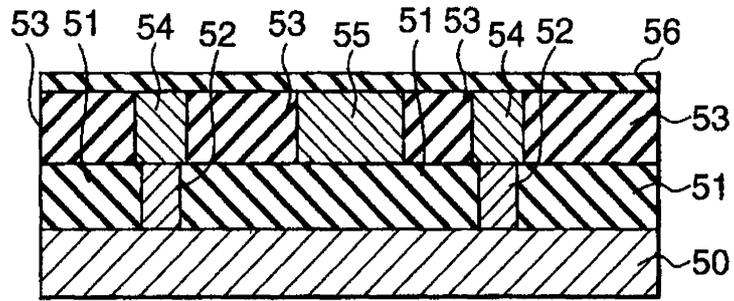
도면4i



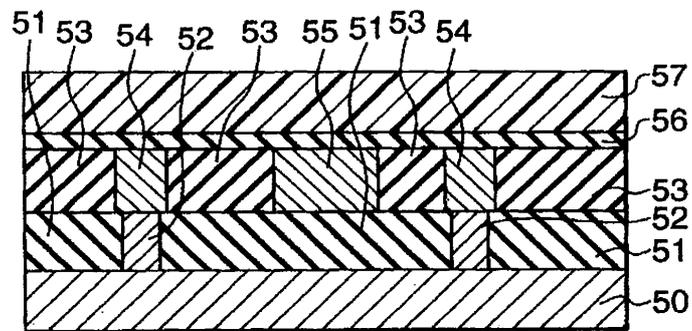
도면5a



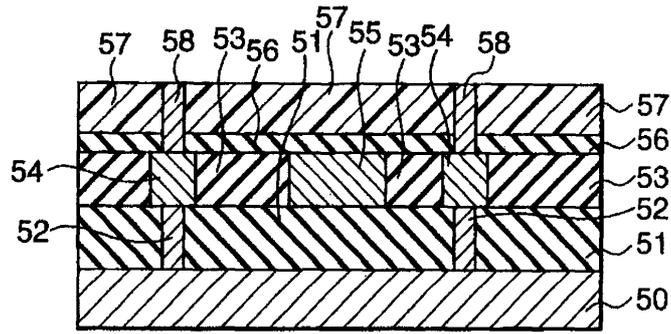
도면5b



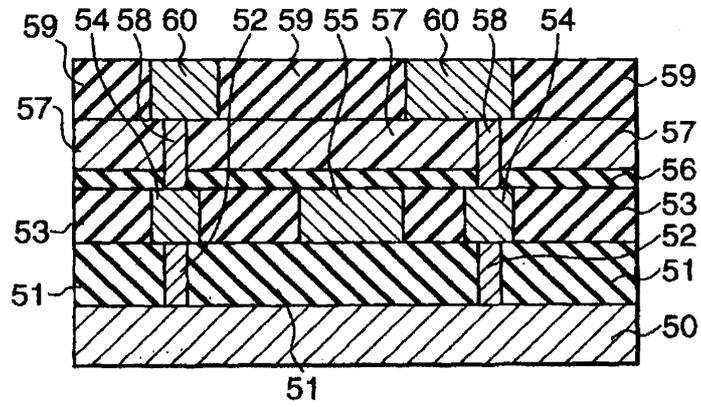
도면5c



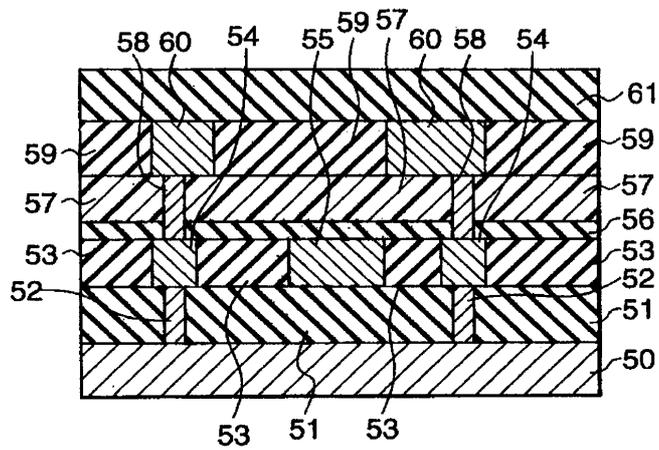
도면5d



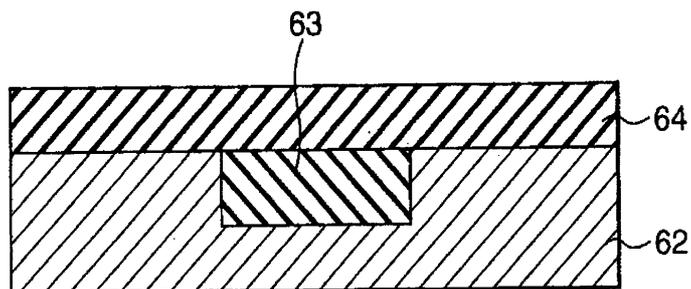
도면5e



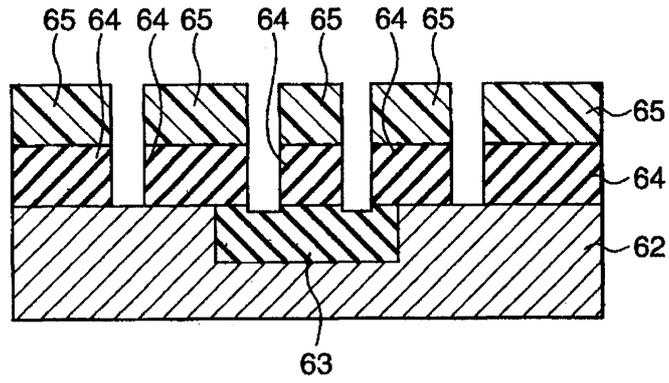
도면5f



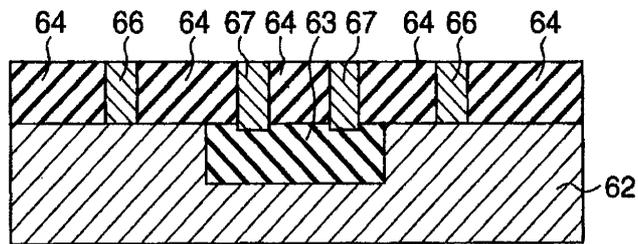
도면6a



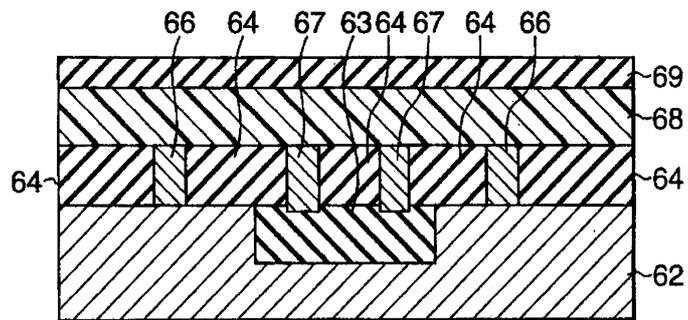
도면6b



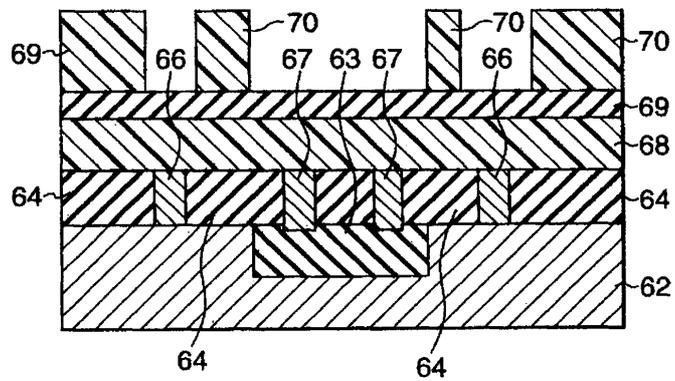
도면6c



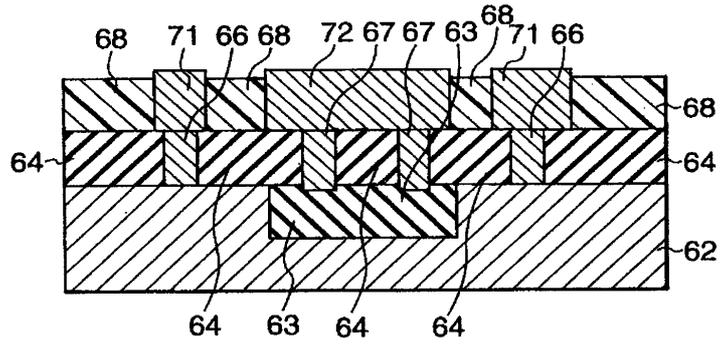
도면6d



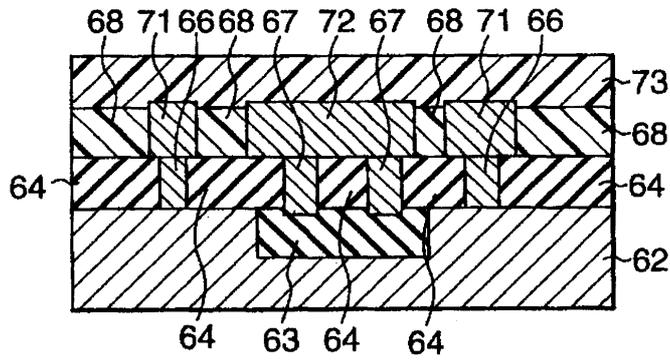
도면6e



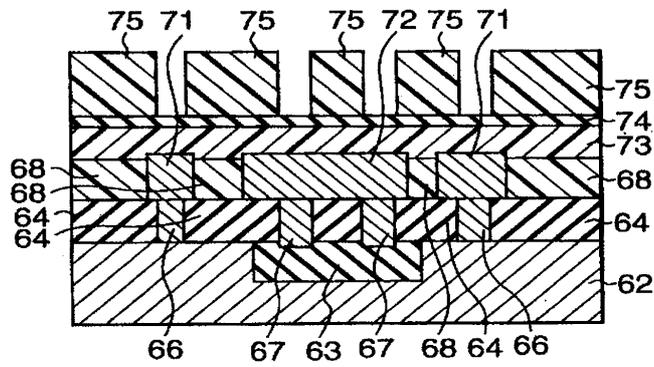
도면6f



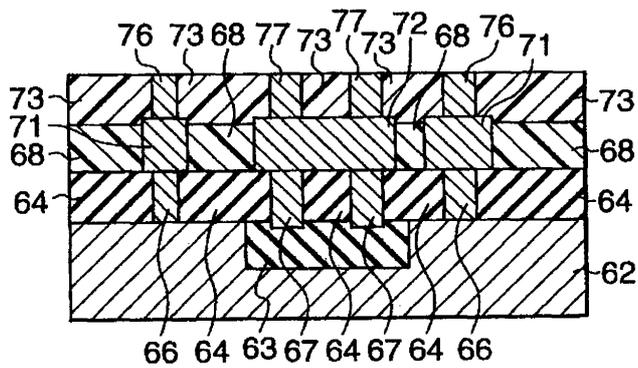
도면7a



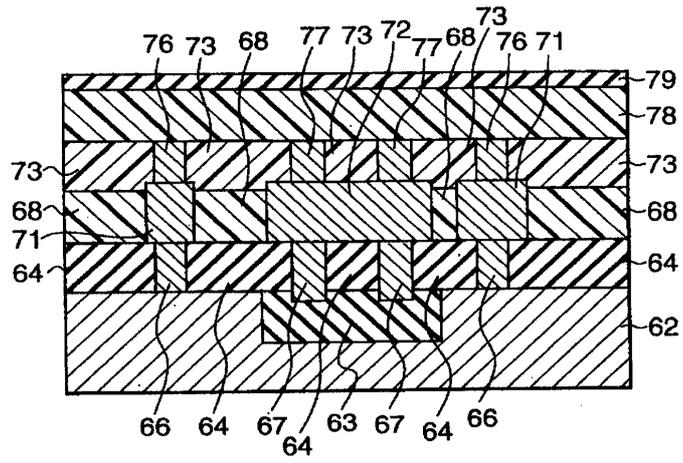
도면7b



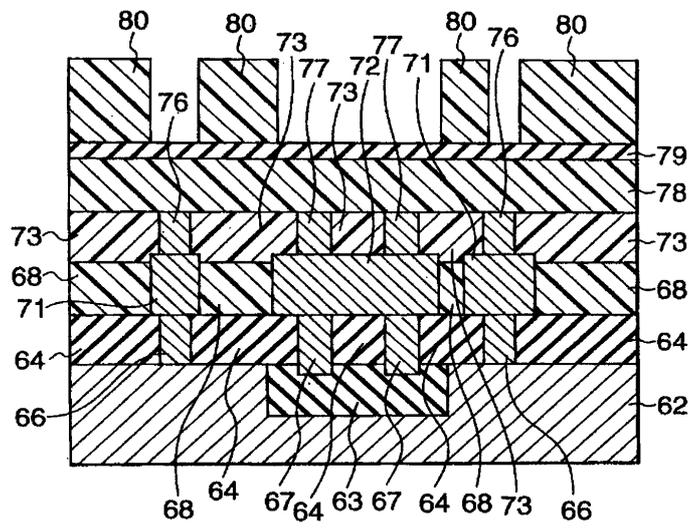
도면7c



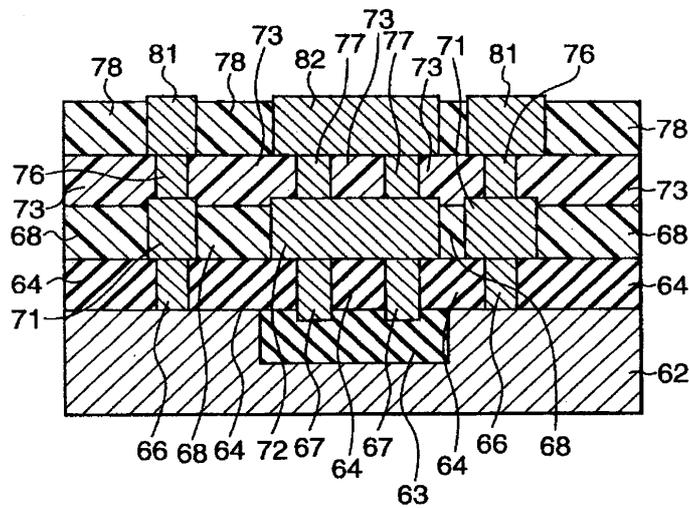
도면7d



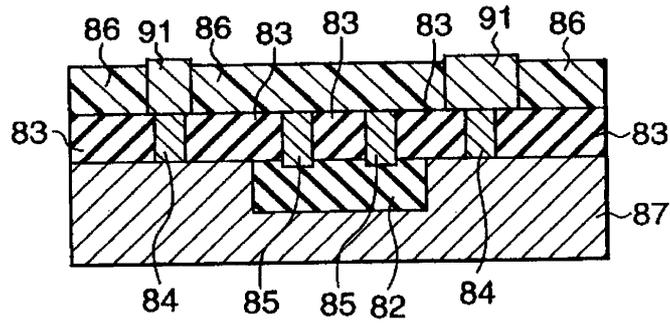
도면7e



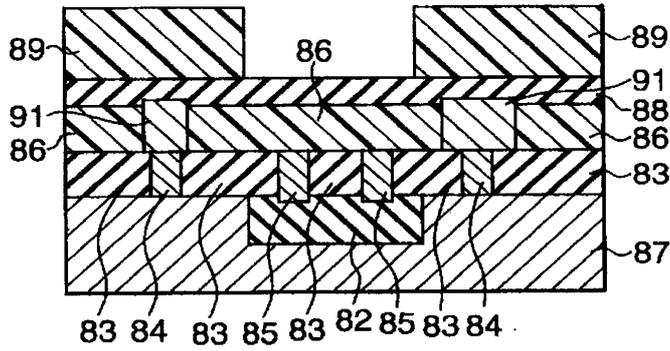
도면7f



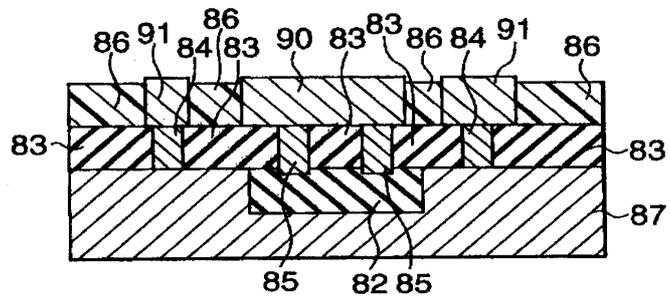
도면8a



도면8b



도면8c



도면9

