

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H03G 3/30

(45) 공고일자 1997년05월29일  
(11) 공고번호 97-008790

(21) 출원번호	특1989-0008231	(65) 공개번호	특1990-0001117
(22) 출원일자	1989년06월15일	(43) 공개일자	1990년01월30일
(30) 우선권주장	63-149436 1988년06월17일 일본(JP) 소니 가부시끼가이샤 오오가 노리오 일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고		
(72) 발명자	사토 미쯔루 일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시 끼가이샤 나이 이이즈카 데쯔야 일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시 끼가이샤 나이 후루야 기요시 일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시 끼가이샤 나이 쇼지 노리오 일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시 끼가이샤 나이 세끼네 마사토 일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시 끼가이샤 나이		
(74) 대리인	이병호, 최달용		

심사관 : 김승완 (책자공보 제5039호)

(54) 자동 이득 제어회로

요약

내용없음.

대표도

도1

명세서

[발명의 명칭]

자동 이득 제어회로

[도면의 간단한 설명]

제 1 도는 종래 기술의 자동 이득 제어회로 예를 나타내는 개략적인 블록 다이어그램.

제 2 도는 제 1 도에 도시된 자동 이득 제어 회로에 사용되는 종래 기술의 전압 제어 증폭회로 예를 나타내는 다이어그램.

제 3 도는 제 2 도에 도시된 전압 제어 증폭회로의 입/출력 특성을 설명하는 그래픽도.

제 4A 도 4 B 도는 종래 기술에 나타난 결점을 설명하기 위한 파형 다이어그램.

제 5 도는 종래 기술의 이득 제어 증폭기의 다른 예를 도시하는 다이어그램.

제 6 도는 본 발명에 따른 자동 이득 제어 회로의 실시예를 도시하는 다이어그램.

제 7 도는 제 6 도에 도시된 자동 이득 제어 회로의 모든 배열을 도시하는 개략적인 다이어그램.

\* 도면의 주요부분에 대한 부호의 설명

2 : 전압 제어 증폭회로, 31 : 전류원,

46 : 전압원, 121 : 이득 제어회로,

130 : 일정 전류원

[발명의 상세한 설명]

본 발명은 자동 이득 제어 회로에 관한 것으로 특히, 자동 이득 제어회로에 의해 이득이 제어되는 이득 제어 증폭회로에 관한 것이다.

종래 기술에 나타난 문제점을 이해하기 위하여 도면을 참조하여 종래 기술의 예를 설명한다.

종래 기술의 자기 디스크 장치는 예정된 신호 레벨범위내로 떨어지도록 자기 헤드로부터 재생 신호를 보정하는데 자동 이득 제어회로를 사용한다. 제 1 도는 참조 번호(1)로 표시된 종래 기술의 피드백-형 자동 이득 제어회로를 나타내는 블록 다이어그램이다.

제 1 도에 도시된 바와 같이, 자기 디스크(도시되지 않음) 또는 기타 같은 것으로 부터 재생 신호  $S_{RF}$ 는 전압 제어 증폭회로(2)에 제공된다. 전압 제어 증폭회로(2)는 제 2 도에서 상세히 기술하기로 한다.

제 2 도에서, 전압 제어 증폭회로(2)는 미분 증폭회로구성에 접촉되는 트랜지스터(Q1, Q2), (Q5, Q6)로 구성되며, 각 트랜지스터 쌍은 미분 증폭회로구성에 접속된다. 트랜지스터(Q1, Q2)의 출력 전류는 트랜지스터(Q3, Q4)의 에미터 및 트랜지스터(Q5, Q6)의 에미터에 각각 제공되며 그 결과 다중 회로 배열이 형성된다.

트랜지스터(Q1, Q2)의 에미터 레지스터(3)에 의해 접속되고, 일정 전류원(4, 5)에 각각 접속되며 입력신호를 트랜지스터(Q1, Q2)의 베이스에 제공된다.

제어 전압  $V_C$ 는 트랜지스터(Q3, Q4), (Q5, Q6)의 베이스에 제공되며 부하 레지스터(7, 8)는 트랜지스터(Q3, Q5)(Q4, Q6) 컬렉터에 각각 공통으로 접속된다.

그러므로, 제 3 도에 도시된 바와 같이 전압  $V_{RF}$ 를 갖는 일정 신호원(9)이 트랜지스터(Q1, Q2)의 베이스 사이에 접속될때, 전압 제어 증폭회로(2)는 부하 레지스터(7, 8) 양단의 단자 전압으로서 다음 식에 의해 주어지는 이득 G로 증폭되는 출력 신호를 발생한다.

$$G = \frac{1}{1 + \exp(V_C / V_T)} \cdot \frac{R_L}{R_E} \quad \dots(1)$$

여기서  $R_E$ 는 레지스터(3)의 저항 값이며  $R_L$ 는 부하 레지스터(7, 8)의 저항 값이다.

상기 경우에는,  $V_T$ 는 트랜지스터(Q1, Q2, Q3, Q4, Q5, Q6) 각각의 열 전압이며

$$V_T = \frac{kT}{q} \quad \dots(2)$$

식으로 표현된다. k는 볼츠만의 상수이고 T는 절대 온도이고 q는 전하량이다.

그러므로, 신호원(9)으로부터의 신호 대신에 재생 신호  $S_{RF}$ 는 트랜지스터(Q1, Q2)에 제공되고 제어전압  $V_C$ 는 재생 신호  $S_{RF}$ 의 레벨에 응답하여 제어되며, 전압 제어 증폭회로(2)는 소정의 레벨을 갖는 출력 신호를 발생할 수 있다.

좀더 상세한 설명을 위해 제 1 도로 되돌아가서 전압 제어 증폭회로(2)의 출력 신호  $S_0$ 는 피크검출회로(10)에 제공되며, 피크 검출회로(10)로 부터의 검출 신호  $S_p$ 는 이득 제어 회로(11)에 제공된다.

이득 제어 회로(11)는 검출 신호  $S_p$ 의 레벨을 변화시키는 제어신호  $S_c$ 를 발생한다. 상기 제어 신호  $S_c$ 는 제어 전압  $V_C$ 으로 전압 제어 증폭회로(2)에 제공된다.

재생 신호  $S_{RF}$ 의 신호 레벨이 변동 및 맥동된다 하더라도 신호 레벨이 소정의 레벨로 보정되는 출력 신호  $S_0$ 를 얻는 것은 가능하다.

자기 헤드로부터의 재생 신호  $S_{RF}$ 는 제 4A 도에 도시된 바와 같이 신호 레벨이 소정의 매 주기에서 제로까지 상승하도록 선택된다.

재생 신호  $S_{RF}$ 가 하이레벨로 진행되는 시간 주기 T1동안, 제어 신호  $S_c$ 는 영역 ARD(이하, 동작 영역으로 정함)에서 변화하며 전압 제어 증폭회로(2)의 이득 G를 제 3 도에 도시된 바와 같이, 소정의 신호 레벨을 갖는 출력 신호  $S_0$ 가 제어되도록 제어 전압  $V_C$  대해 선형으로 변화한다. 재생신호  $S_{RF}$ 의 신호 터널이 제로인 시간 주기 T2동안, 제어 신호  $S_c$ 는 제어 전압  $V_C$ 가 변화되더라도 이득 G가 변하지 않은 영역 ARF(이하, 포화 영역으로 칭함)까지 동작 영역 ARD하에서 대신된다.

그때, 재생 신호  $S_{RF}$ 가 제로에서 하이 레벨로 올라간 후, 제어 신호  $S_c$ 의 신호 레벨이 포화영역 ARF으로부터 동작 영역 ARD까지 소정의 레벨로 진행되는 주기동안 제 4B 도에 도시된 바와 같이 오버-슈트(over-shoot)가 출력 신호  $S_0$ 의 엔벨로프에서 발생하는 문제점이 나타난다.

상기 기술된 문제점을 해결하기 위해, 다음과 같은 방법이 제시되었다. 일본국 특허 61-61570 및

61-61726에는 다음과 같은 방법이 제시되었다. 재생 신호  $S_{RF}$ 의 신호 레벨이 제로 레벨인 시간 주기 T2동안, 이득 G는 소정의 레벨을 갖는 제어 신호  $S_c$ 를 제어함으로써 소정의 레벨로 유지되며, 재생 신호  $S_{RF}$ 의 신호 레벨은 제로 레벨에서 상승하고 출력 신호  $S_o$ 의 신호 레벨이 소정의 레벨로 떨어지는 주기(이하, 어택 시간으로 칭함)는 감소된다.

상기 기술된 바와 같이, 제어 신호  $S_c$ 는 소정의 레벨을 갖도록 유지되며, 제어 신호  $S_c$ 의 변위는 재생신호의 신호 레벨이 상승하는 시간 둘레에서 충분히 감소된다. 그러므로 어택(attack) 시간의 지속 기간을 감소시킬 수 있는 자동 이득 제어 회로를 얻은 것이 가능하다.

다중 회로 배열의 전압 제어 증폭회로(2)에서, 동작 영역 ARD의 범위는 제어 전압  $V_c$ 의 중심 전압으로부터 약 50mV만큼 작다. 그때, 이득 G는 소정의 레벨로 제어 신호  $S_c$ 를 유지시킴으로써 소정의 값으로 제어될 수 없는 문제점이 발생한다. 그러므로 종래 기술은 상기 종류의 전압 제어 증폭회로(2)에 적용되지 못한다.

제 5 도는 종래 기술의 이득 제어 증폭기의 다른 예를 도시하며 고정 이득 미분 증폭기(10A) 및 가변 이득 미분 증폭기(20)는 직렬 접속되고 이득은 제어 전압  $E_v$ 에 의해 미분 증폭기(20)의 제 2 단 동작 전류를 변화시킴으로써 제어된다.

제 5 도에서, 비디오 신호가 제공된 밸런스-형 입력단자(1A, 2A)는 제 1 단의 미분 증폭기(10A)를 형성하는 npn 트랜지스터(11, 12)쌍의 베이스에 각각 접속된다. npn 트랜지스터(11A, 12)의 에미터는 npn 트랜지스터(13, 14)를 통해 각각 접지되며 각각은 전류원으로 동작한다. 또한 레지스터(15)는 트랜지스터(11A, 12)의 에미터 사이에 접속된다. 트랜지스터(11A, 12)의 콜렉터는 npn 트랜지스터(17, 18)를 통해 다이오드 형태로 접속되고 공통 레지스터(16)는 전압  $V_{cc}$ 가 제공되는 단자 A에 접속된다.

미분 증폭기(10A)를 형성하는 트랜지스터(11A, 12)의 콜렉터는 미분 증폭기(20)의 제 2 단을 형성하는 npn 트랜지스터(21, 22)쌍의 베이스에 직접 접속된다. 단자 A에 인가된 전압  $V_{cc}$ 는 각각 부하 레지스터(23, 24)를 통해 트랜지스터(25)를 통해 접지된다. 유사한 형태로 트랜지스터(27, 28)쌍의 에미터는 공통 전류원으로 동작하는 트랜지스터(26)를 통해 접지되며, 공통 전압원(29)는 트랜지스터(27, 28)의 베이스에 접속된다. 트랜지스터(27, 28)의 콜렉터는 각각 접점 B, C를 제공하도록 트랜지스터(21, 22)의 콜렉터에 접속된다. 출력단자(3A, 4A)는 각각 접점 B, C에서 유도된다. 트랜지스터(25, 26)의 각 지역은 트랜지스터(21, 22)(27, 28) 각 지역에 두배로 되도록 선택된다.

한 단부가 접지되는 기준 전류원(31)이 제공된다. 기준 전류원(31)의 다른 단부는 단자 A에 다이오드 형태로 접속된 npn 트랜지스터(32)에 접속된다. 트랜지스터(32)와 전류 미러 형태로 앞 트랜지스터와 접속된 npn 트랜지스터(33)와 다이오드 형태로 접속된 npn 트랜지스터(34)는 단자 A와 접지사이에서 직렬로 접속된다. 트랜지스터(34)는 전류원을 형성하는 전류 미러 형태에서 미분 증폭기(10A)를 형성하는 트랜지스터(13, 14)에 접속된다.

제 5 도에서, 참조번호(40)는 전류 제어 회로를 표시한다. 전류 제어 회로(40)에서, pnp 트랜지스터(41, 42)쌍의 에미터는 각각 전류원으로 동작하는 pnp 트랜지스터(43, 44)를 통해 단자 A에 접속된다. 레지스터(45)는 트랜지스터(41, 42)의 에미터 사이에 접속된다. 가변 제어 전압원  $E_v$ 는 제어단자(5A)를 통해 트랜지스터(41)의 베이스에 접속되며, 반면에, 일정 전압원(46)은 트랜지스터(42)의 베이스에 접속된다. pnp 트랜지스터(41, 42)의 콜렉터는 다이오드 형태로 접속된 npn 트랜지스터(47, 48)를 통해 각각 접지되며, 미분 증폭기(20)의 다음 단을 형성하는 트랜지스터(25, 26)의 베이스에 접속된다. 트랜지스터(43, 44)는 전류 미러 구성으로 접속된 다이오드-접속 트랜지스터(32)에 접속된다.

상기 기술된 회로 배열에서, 제 1 미분 증폭기(10A)내 트랜지스터(13, 14)는 이중 전류 미러 구성으로 트랜지스터(34, 33)를 통해 트랜지스터(32)에 접속되며, 반면에 일정 전류원(31)의 기준 전류  $I_o$ 와 동일한 일정 전류는 트랜지스터(13, 14)로 흐른다.

단자(5A)로부터의 제어 신호  $E_v$ 와 전압원(46)으로부터의 전압  $E_{46}$ 이 동일할때, 트랜지스터(41, 42)의 콜렉터전류( $I_{41}$ ,  $I_{42}$ )는 일정 전류원(31)의 기준 전류와 동일하다. 이것은  $I_{41}=I_{42}=I_o$ 로 주어진다. 상기 경우에는, 트랜지스터(47, 48)를 갖는 전류미러 회로를 형성하는 제 2 미분 증폭기(20)에서 트랜지스터(25, 26)는  $I_{25}=I_{26}=2I_o$ 로 표시되는 콜렉터 전류를 발생한다.

전류 제어회로(40)에서 트랜지스터(41, 42)의 콜렉터 전류( $I_{41}$ ,  $I_{42}$ )는 제어 전압  $E_v$ 의 변화에 응답하여 변화되며 반면에, 미분 증폭기(20)에서 일정 전류원 트랜지스터(25, 26)의 콜렉터 전류( $I_{25}$ ,  $I_{26}$ )는 같은 비율로 변화된다.

미분 증폭기(20)에서 부하 레지스터(23, 24)의 저항값은  $R_{23} = R_{24} = R_{20}$ 으로 표시되고, 제 1 미분 증폭기(10A)에서 레지스터(15)의 저항 값은  $R_{15}$ 로 표시되면, 그때 입력단자(1A, 2A)로부터 출력단자(3A, 4A)까지의 이득 G는 다음 식(3)으로 표시된다.

$$G = \frac{R_{20}}{R_{15}} \cdot \frac{I_{25}}{I_o} \quad \dots(3)$$

트랜지스터(21, 22)의 동작 전류  $I_{25}$  변화를 갖는 직류(DC)전압 성분의 변동은 다른 트랜지스터(27, 28)의 동작 전류  $I_{26}$ 의 역방향 변화를 갖는 (DC)전압 성분의 변동에 의해 제거된다. 그러므로 단자(3A, 4A)에서 나타나는 DC 전압 성분레벨은 일정하게 유지된다.

제 1 미분 증폭기(10A) 및 전류 제어회로(40)에서, 전압제어 증폭기의 선형 및 동적 범위가 트랜지스터의 각 에미터가 직접 접속되는 기본 회로 배열과 비교되어 개선되도록 레지스터(15, 45)는 트랜지스터(11A, 12) 및 (41, 42)의 에미터 사이에 접속된다.

제 5 도에 도시된 종래 기술의 이득 제어 증폭기에서, 제 1 미분 증폭기(10A)내 트랜지스터(13, 14)는 트랜지스터(32 내지 34)와 함께 이중 전류 미러 회로를 구성하며, 한편, 일정 전류원(31)의 기준 전류  $I_0$ 와 동일한 일정 전류는 그들 사이를 흐른다. 제 2 미분 증폭기(20)내 트랜지스터(25, 26)는 트랜지스터(25, 26)와 트랜지스터(32) 사이에 트랜지스터(43, 47) 및 (44, 48)를 삽입함으로써 이중 전류 미러 회로를 형성한다.

pnp 트랜지스터(41, 42)가 이중 전류 미러 회로의 중간단에 삽입될 때, 트랜지스터(41, 42)에서  $h_{FE}$  같은 특성은 미분 증폭기(20)의 트랜지스터(21, 22) 및 (27, 28)의 동작 전류( $I_{25}$ ,  $I_{26}$ )에 영향을 주어, 그 결과 단자(1A, 2A)로부터 단자(3A, 4A)까지의 이득 G는 변동된다.

트랜지스터(41, 42)의  $h_{FE}$  이 중심값 60으로부터 최소값 20까지의 범위내에서 변동된다면, 그때 이득 G는 약 0.4dB만큼 변동된다. 그러므로 0.5dB에 대해서는 공차가 거의 없다.

본 발명의 목적은 다중 회로 배열의 전압 제어 증폭회로가 사용되더라도 어택 시간을 감소시킬 수 있는 자동 이득 제어 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 총 이득이 변동으로부터 보호되고 동작중에 더 나은 안정성이 있는 이득 제어 증폭기를 제공하는 것이다.

본 발명에 따라서, 자동 이득 제어 회로는, 가변 이득 증폭회로와 상기 가변 이득 증폭회로의 출력 신호 레벨에 응답하여 레벨이 변화하는 검출 신호를 발생하기 위해 상기 가변 이득 증폭회로에 접속된 신호 레벨 검출 회로와, 상기 검출 신호의 신호 레벨에 따라 상기 가변 이득 증폭회로의 이득을 제어하기 위한 이득 제어 회로를 구비하며, 상기 이득 제어 회로는 상기 검출 회로 수신을 위해 상기 신호 레벨 검출 회로에 연결된 제 1의 입력 단자와, 제 1 및 제 2의 입력 단자를 가지는 미분 증폭기 회로와, 제 1의 예정된 전압이 상기 검출 신호의 신호 레벨에 응답하여 상기 검출 신호의 신호 레벨 대신에 제공되기 위하여 상기 미분 증폭기의 제 1의 입력 단자에 연결된 제 1의 기준 전압원과, 제 2의 예정된 전압을 제공하기 위해 상기 미분 증폭기의 제 2 입력 단자에 연결된 제 2의 기준 전압원을 구비한다.

본 발명의 다른 목적, 특징 및 장점들은 첨부 도면을 참조하여 본 발명의 양호한 실시예와 함께 상세히 후술 하기로 하며 동일 참조 번호는 여러 도면에서도 대응 부분을 표시한다.

본 발명에 따른 자동 이득 제어 회로의 실시예는 도면과 관련하여 기술하기로 한다.

제 6 도는 본 발명의 실시예를 도시한다. 제 6 도에서 제 2 도에 대응하는 부분은 동일 참조 번호로 표시하며 상세히 기술하지 않는다.

제 6 도는 일반적으로 집적화되고 피크 검출회로(10)(제 2 도 참조)로부터의 검출 신호  $S_p$ 가 이득 제어 회로(121)내 트랜지스터(Q111)에 제공되는 자동 이득 제어 회로(120)를 도시한다.

트랜지스터(Q112)는 트랜지스터(Q111)와 함께 미분 증폭회로로 형성된다. 상기 트랜지스터(Q111, Q112)의 콜렉터 전압은 제어 전압  $V_c$  전압 제어 증폭회로(2)에 공급된다.

특히, 상기 트랜지스터(Q111, Q112)에 에미터는 일정 전류원(124)에 대해 레지스터(122, 123)을 통해 연결되어 있으며, 반면에 콜렉터는 트랜지스터(Q113)에 대해 부하 레지스터(125, 126)을 통해 연결되어 있다.

상기 트랜지스터(Q113)의 베이스는 기준 전압  $V_{REF}$  '를 가지는 기준 전압원(128)에 연결되어 있으며, 트랜지스터(Q113)의 에미터 전압은 기준 전압  $V_{REF}$  에 의해 결정된 전압을 유지한다. 상기 기준 전압  $V_{REF}$  에 의해 결정된 전압은  $V_{REF}-V_{BE3}$ 이며 여기서  $V_{BE3}$ 는 트랜지스터(Q113)의 베이스-에미터 전압이다.

상기 트랜지스터(Q112)의 베이스는 트랜지스터(Q115)의 에미터에 대해 다이오드 구성으로 연결되어 있으며 또한 일정 전류원(129)에 연결되어 있다.

상기 트랜지스터(Q115)는 트랜지스터(Q113)과 비슷하게 기준 전압원(128)에 연결되어 있으며, 트랜지스터(Q112)의 베이스전압  $V_{B2}$ 는 전압  $V_{REF}-V_{BE4}-V_{BE5}$  로 유지하며 여기서  $V_{BE4}$  및  $V_{BE5}$ 는 각각 트랜지스터(Q114, Q115)의 베이스-에미터 전압이다.

상기 트랜지스터(Q114, Q115)와 함께 상기 일정 전류원(129) 그리고 트랜지스터(Q111, Q112)로 형성된 미분 증폭회로의 제 2 입력 단자에서 전압  $V_{B2}$  을 유지하는 제 2 전류원, 레지스터(122, 123, 125, 126)와 예정된 전압이 되는 일정 전류원(124)로 구성된다.

상기 제어 전압  $V_c$ 는 아래에 따른 식(4)에 의해 트랜지스터(Q112)의 베이스 전압  $V_{B2}$  및 트랜지스터(Q111)의 베이스 전압  $V_{B1}$  으로 형성된 검출 신호  $S_p$ 의 신호 레벨 사이에서 차분 전압에 관계하여 표시된다.

$$V_c = (V_{B1} - V_{B2}) \frac{R_{L1}}{R_{E1}} \quad \dots(4)$$

식(4)는 상기 신호원(9)로부터 신호 대신에 상기 재생신호  $S_{RF}$  가 트랜지스터  $Q_1$  및  $Q_2$ 의 베이스에 공

급되는 경우에 상기 예정된 신호 레벨을 가지고 정정된 출력 신호 So는 상기 부하 레지스터(7, 8) 양단에 발생한다.

또한 상기 트랜지스터(Q111)의 베이스는 트랜지스터(Q113)의 에미터와 일정 전류원(130)에 대해 다이오드 구성으로 연결된 트랜지스터(Q119)를 통해 연결되어 있으며 일정 전류원(131)에 직접 연결되어 있다.

상기 트랜지스터(Q113)의 에미터 전압은 상기 검출 신호 Sp의 레벨이 트랜지스터(Q119)의 베이스-에미터 전압  $V_{BE9}$  에 의한 에미터 전압  $V_{REF}-V_{BE3}$  로 부터 낮게 된 전압보다 높을때, 상기 트랜지스터(Q119)가 턴오프 되기 위하여 기준 전압  $V_{REF}$  에 의해 결정된 전압  $V_{REF}-V_{BE3}$  처럼 유지된다. 결과적으로, 상기 트랜지스터(Q111)의 베이스 전압  $V_{B1}$ 은 검출된 신호 Sp의 신호 레벨에 따라 변화되며, 예정된 하 나가 되는 정정 레벨의 출력 신호 So가 발생한다.

다른 말로 말하면, 검출신호 Sp의 레벨이 로우일때, 상기 트랜지스터(Q119)는 턴오프되며 트랜지스터(Q111)의 베이스 전압  $V_{B1}$ 은 기준전압  $V_{REF}$  에 의해 결정된 예정 전압으로 되는(전압  $V_{REF}-V_{BE3}-V_{BE0}$ )로 유지된다.

상기 트랜지스터(Q113, Q119)와 함께 일정 전류원(130)과, 상기 일정 전류원(131) 및 기준 전압원(128)은 제 1의 전류원으로 구성된다. 이 제 1의 전류원은 검출 신호 Sp의 신호 레벨에 응답하여 예정된 전압에 대해 검출 신호 Sp의 신호 레벨로부터 일정 전류원(124) 및 트랜지스터(Q111, Q112), 레지스터(122, 123, 125, 126)으로 형성된 미분 증폭회로의 제 1의 입력 단자에서 스위치 전압  $V_{B1}$ 에 대해 사용된다.

상기 같은 전류 I은 트랜지스터(Q111, Q112)의 베이스에 대해 연결된 트랜지스터(Q119, Q114)에 대해 흐른다. 그러므로, 상기 트랜지스터(Q119, Q114)의 베이스 에미터 전압이 각각 다른것과 동일하게 취하며, 상기 트랜지스터(Q111, Q112) 베이스 사이에서, 아래 식에 의해 표시된 차분 전압을 발생한다.

$$V_{B1}-V_{B2}=(V_{REF}\text{에서 } V_{BE3}-V_{BE9})-(V_{REF}-V_{BE5}-V_{BE4})=V_{BE5}-V_{BE3}\dots(5)$$

동시에, 트랜지스터(Q113, Q115)에서 상기 베이스-에미터 전압  $V_{BE3}$  및  $V_{BE5}$ 는 각각 그들의 에미터 전류에 비례하여 변화한다. 이런 경우에 일정 전류원(124, 130, 131)의 전류  $I_2, I_3, I_1$ 과 일정 전류원(129)의 전류 I은 각각 트랜지스터(Q113, Q115)에 대해 흐른다. 상기는 아래 식에 따라 주어진다.

$$V_{BE3}=V_T \ln \frac{I_1+I_2+I_3}{I_S} \dots(6)$$

$$V_{BE5}=V_T \ln \frac{I_1}{I_S} \dots(7)$$

여기서  $I_S$ 는 트랜지스터(Q113, Q115)의 반대 포화 전류이다. 위의 식(4)에 식(6) 및 (7)을 대입하면 아래와 같은 식이 된다.

$$V_C=\frac{R_{L1}}{R_{E1}} \left\{ \left( V_T \ln \frac{I_1+I_2+I_3}{I_S} \right) - V_T \ln \frac{I_1}{I_S} \right\} = \frac{R_{L1}}{R_{E1}} \left( V_T \ln \frac{I_1+I_2+I_3}{I_1} \right) \dots(8)$$

상기 검출 신호 Sp의 신호 레벨이 로우일때, 상기 전압 제어 증폭회로(2)의 이득 G는 식(1)에서 (8)의 식 대치로부터 아래의 식과같이 된다.

$$G=\frac{1}{1+\exp\left(\frac{R_{L1}}{R_{E1}} \ln \frac{I}{I_1}\right)} \cdot \frac{R_L}{R_E} \dots(9)$$

$$I=I_1+I_2+I_3\dots(10)$$

여기서, 상기 에미터 레지스터(122, 123)의 레지스터  $R_{E1}$  및  $R_{L1}$ 과 상기 부하 레지스터(125, 126)는 동일하게 취하며, 전압 제어 증폭회로(2)의 이득 G는 아래의 식에 따라 표현된 값으로 유지된다.

$$G=\frac{I_1}{I_1+I} \cdot \frac{R_L}{R_E} \dots(11)$$

상기 검출 신호 Sp의 신호 레벨에 응답하여 기준 전압  $V_{REF}$ 을 선택하며, 상기 전압 제어 증폭회로(2)는 시간 주기  $T_1$ (제 4 도를 참조)동안 예정된 레벨을 가지는 출력 신호 So를 발생하며 여기서 재

생신호  $S_{RF}$ 의 신호 레벨이 상승한다. 시간 주기  $T_2$  동안에 재생 신호  $S_{RF}$  신호 레벨은 떨어지며, 상기 전압 제어 증폭회로(2)는 위의 식(11)에 의해 표시된 이득  $G$ 에 의해 증폭된 출력 신호  $S_o$ 를 발생한다.

따라서, 식(8)에 기초하여 일정 전류원(129, 131)의 전류값  $I_1$ 에 관계하여 일정 전류원(124) 또는 (130)의 전류값  $I_2$  또는  $I_3$  선택은 시간 주기동안 재생 신호  $S_{RF}$ 의 신호 레벨이 낮아지며, 전압 제어 증폭회로(2)의 이득  $G$ 는 바람직한 값으로 유지된다.

상기 제어 신호  $S_c$ 의 레벨은 바람직한 전류비로 일정 전류원(124, 129, 130, 131)의 전류 결정에 의해 예정된 레벨로 유지되며, 저압 제어 증폭회로(2)는 위에서 상술된 바와 같이 전류비에 의해 결정된 이득에서 상술된다. 따라서, 재생 신호  $S_{RF}$ 의 신호 레벨이로우일때, 곱셈 회로 구성을 갖는 전압 제어 증폭회로(2)는 높은 정확도를 가지고 바람직한 이득으로 유지된다. 상기 자동 이득 제어 회로(120)은 더 큰 어택 시간일때 감소된다.

상기 집적 회로는 상당히 정확하게 일정 전류원의 전류비를 제공한다. 따라서, 상기 재생 신호  $S_{RF}$ 의 신호 레벨이로우일때, 상기 곱셈 회로 구성을 가지는 전압 제어 증폭회로(2)는 상당히 정확하게 바람직한 이득으로 유지한다. 상기 자동 이득 제어 회로(120)는 매우 높은 정확도를 가지고 일정 전류원의 전류비를 제공한다. 그러므로, 상당히 정확하게 바람직한 이득을 지키는 자동 이득 제어 회로(120)를 얻는 것이 가능하며 집적 회로에서 적당하게 구성된다. 상기 재생 신호  $S_{RF}$ 의 신호 레벨이 낮은 시간 주기  $T_2$  동안에 예정된 이득을 가지는 자동 이득 제어 회로(120)를 제어하며, 신호 처리 회로로 들어가는 노이즈 신호를 감소하는 것이 가능하다. 상기는 기능 장애에 따른 것으로부터 자기 디스크 장치를 억제한다.

위에서 상술된 바와 같이 회로 장치를 가지고 상기 재생 신호  $S_{RF}$ 의 신호 레벨이 하익 되는 시간 주기  $T_1$  동안에, 상기 트랜지스터(Q119)는 턴오프가 되며, 상기 기준전압  $V_{REF}$ 에 의해 결정된 트랜지스터(Q112)의 베이스 전압  $V_{B2}$ 와 검출 신호  $S_p$ 의 신호 레벨 사이의 차분 신호는 제어 신호  $S_c$ 를 발생하기 위해 증폭된다. 상기 전압 제어 증폭회로(2)의 이득은 제어 신호  $S_c$ 에 기초한 제어 결과이다.

상기 재생 신호  $S_{RF}$ 의 신호 레벨이로우가 되는 시간 주기  $T_2$  동안에, 상기 트랜지스터(Q119)는 턴온 되며, 트랜지스터(Q113, Q115)의 에미터 전압 사이의 차분 전압은 트랜지스터(Q111, Q112)에 공급된다.

따라서 차분 전압은 트랜지스터(Q113, Q115)의 에미터 전류 비이며, 일정 전류원(129)에 관계한 일정 전류원(124, 130, 131)의 전류값에 응답하여 변화하며, 일정 전류원(124, 129, 130, 131)의 전류값에 의해 결정된 이득을 가지는 전압 제어 증폭회로(2)를 제어한다.

위에서 상술된 회로 장치에 따라, 재생 신호  $S_{RF}$ 의 신호 레벨이로우가 되는 시간 주기  $T_2$  동안에, 상기 전압 제어 증폭회로(2)는 일정 전류원(124, 129, 130, 131)의 전류 값에 의해 결정된 이득을 갖기 위해 제어된다. 따라서, 상기 전압 제어 증폭회로(2)의 이득은 매우 정확하게 유지된다. 그러므로 곱셈회로 장치의 전압 제어 증폭회로가 제공될지라도, 어택 시간에 감소하는 것이 가능하다.

반면에 상기 레지스터(125, 126)과 트랜지스터(Q119)는 위에서 상술한 바와 같이 일정 전류원 소스(130)과 트랜지스터(Q113)에 연결되며, 본 발명은 위에서 상술된 장치에 제한되는 것이 아니며 레지스터(125, 126)가 예정된 기준 전압원에 연결되어 분리되고 일정 전류원(130)과 트랜지스터(Q113) 대신에 파워 소스라인에 직접 연결된 경우에 다양하게 공급된다.

위의 수정을 참고로하여, 상기 트랜지스터(Q113)의 베이스-에미터 전압  $V_{BE2}$ 는 일정 전류원(130, 131)에 의해 결정된 전압에 대해 셋된다.

위의 실시예에서 피크 검출 회로가 위의 상술과 같이 예정된 범위에서 떨어지기 위해 재생 신호  $S_{RF}$ 의 신호 레벨을 정정하기 위해 신호 레벨 검출 회로로서 사용되는 반면에, 상기 발명의 신호 레벨 검출회로는 피크 검출 회로에 대해 제한되는 것이 아니며 본 발명은 예를 들어, 가변 이득 증폭회로 등과 같은 출력 신호의 수단 값을 검출하는 신호 검출 회로의 피크 검출 회로 대신에 활용된다.

위의 실시예에서 본 발명이 위에서 상술한 바와 같이, 피드백형 자동 이득 제어 회로에 공급되는 반면에, 본 발명은 상기 위의 피드백형 자동 이득 제어 회로에 대해 제한되는 것이 아니며 본 발명은 자동 이득 제어 회로의 입력 신호의 신호 레벨에 응답하여 이득을 제어하는 전방 피드형 자동 이득 제어 회로에 적당히 공급된다.

더구나, 곱셈 회로 장치의 전압 제어 증폭회로가 위의 실시예에 제공되는 반면에, 본 발명은 위에서 상술한 전압 제어 증폭회로에 대해 제한되는 것이 아니며 본 발명은 자동 이득 제어 회로의 광범위하게 공급된다. 본 발명의 가변 이득 증폭회로가 제공되며 후에 상술된다.

또한, 본 발명이 위에서 상술한 같이 자기 디스크 장치에 공급되는 반면에, 본 발명은 위에서 상술된 자기 디스크 장치에 대해 제한되는 것이 아니며 본 발명은 전자 장치로 광범위하게 제공된다.

위의 상술과 같이, 본 발명에 따라, 전압 제어 증폭회로의 이득이 일정 전류원의 전류 값에 의해 결정된 이득을 지키며, 전압 제어 증폭회로의 이득은 상당히 정확하게 유지된다. 따라서, 곱셈 회로 장치의 전압 제어 증폭회로가 제공되는 반면에, 어택 시간에 감소하는 것이 가능해진다.

위에서 상술된 본 발명에 따른 가변 이득 증폭회로 실시예는 제 7 도를 참고로 하여 후에 상술된다. 제 7 도에서 제 5 도에 대응된 유사한 부분은 같은 참고 번호로 표기되며 자세히 상술될 필요가 없다.

제 7 도를 참고로 하여, 상기 트랜지스터(11A) 및 (12)의 에미터는 각각 한쌍의 일정 전류원 트랜지스터(13A, 13B) 및 (14A, 14B)을 통해 접지된 제 1 단의 미분 증폭기(10D)에 제공된다. 각각의 트랜지스터(13A) 내지 (14B)의 영역은 제 5 도에 도시된 트랜지스터(13, 14)의 각각에 양분되어 선택된다. 상기 트랜지스터(13A, 14B)는 공통으로 연속적인 증폭기(20)의 트랜지스터(25)에 연결되어 있으며 전류 미러 회로를 형성하도록 전류 제어 회로(40)의 다이오드 구성으로 연결된 트랜지스터(48)에 연결되어 있다. 유사하게, 상기 트랜지스터(13B, 14A)는 연속적인 증폭기(20)의 트랜지스터(26)에 공통으로 접속되어 있으며 또한 전류 미러 회로를 형성하도록 전류 제어 회로(40)의 다이오드 연결 트랜지스터(47)에 연결되어 있다. 제 7 도의 다른 대응 부분은 제 5 도의 것과 유사하게 형성된다. 제 7 도의 다른 대응 부분은 제 5 도의 것과 유사하게 형성된다.

제 7 도에 도시된 실시예의 동작은 후에 상술된다.

상기 전류 제어 회로(40)내의 트랜지스터(41, 42)의 컬렉터 전류  $I_{41}$  및  $I_{42}$ 는 전에 상술된 바와 같이 제어 전압  $E_V$ 의 변화에 응답하여 다르게 변화한다.  $I_{42}/2$ 의 일정 전류는 제 1 의 미분 증폭기(10D)의 트랜지스터(13A, 14B)에 흐르며  $I_{41}/2$ 의 일정 전류는 각각의 트랜지스터(11A, 12)의 컬렉터 전류  $I_{11}$  및  $I_{12}$ 에 공급된 입력 신호가 전류 제어 회로(40)에서 트랜지스터(41, 42)의 컬렉터 전류의 수단값과 동일하게 하기 위해 트랜지스터(13B, 14A)에 흐르며, 식(12)에 따라 표현된 것과 같이 일정 전류원(31)의 기준 전류  $I_0$ 와 동일하게 된다.

$$I_{11}=I_{12}=(I_{41}+I_{42})/2=I_0 \cdots (12)$$

상기 실시예에 따라, 제 1 의 미분 증폭기(10D)의 이득은 고정되며 그리고 심지어  $h_{FE}$ 가 예를 들어 0.1dB보다 작게 압축된 이득 G의 변동인 60 내지 20으로부터 범위에서 변동하기 위해 일정 전류원 트랜지스터 쌍(13A, 13B) 및 (14A, 14B)의 각각의 일정 전류가 다음 증폭기(20)의 일정 전류원 트랜지스터(25, 26)과 유사한 전류 제어 회로(40)의 트랜지스터(41, 42)의 특징에 반영된다.

위에서 상술과 같이, 상기 실시예에 따라, 상기 발명의 이득 제어 회로의 이득은 전류 제어 회로(40)의 미분 트랜지스터(41, 42)의  $h_{FE}$ 에 의한 영향을 막는다. 더불어서,  $h_{FE}$ 는 온도 변화에 응답하여 변동되며, 본 발명의 실시예에 따라, 온도 변화로 인한 이득 변동은 압축되고 이득의 적당한 결과가 개선된다.

위에서 상술된 실시예에서 상기 레지스터(15, 45)가 각각 전류 제어 회로(40)에서 미분 트랜지스터(41, 42)의 에미터 사이와 제 1 의 단의 증폭기(10D)에서 미분 트랜지스터(11A, 12)의 에미터 사이에서 접속되는 반면에, 상기 증폭기(10D)와 전류 제어 회로(40)은 상기 트랜지스터(11, 12, 41, 42)의 에미터가 직접 연결되는 기초적인 미분 장치에서처럼 형성된다.

위에서 자세히 상술된 바와 같이, 본 발명에 따라, 2개의 미분 증폭기는 직렬로 접속되어 있으며 반면에 제 2 의 미분 증폭기의 이득은 제어 전류의 한쌍의 합과 동일한 제 1 의 미분 증폭기의 일정 전류원의 전류값과 가변 제어 전압에 의해 변화된 한쌍의 제어 전류 차이에 의해 제어되며, 제어 전류를 발생하는 제어 전류 회로에서 트랜지스터 특성에 의해 사용된 영향을 압축하는 이득 제어 증폭기를 얻는것이 가능하며 전체 이득은 더욱 효과적으로 안정된다.

제 6 도에 도시된 가변 이득 제어 회로(2)는 제 7 도에 도시된 이득 제어 회로에 대체된다. 더욱 특히, 제 6 도에 도시된 미분 증폭 회로를 형성하는 한쌍의 트랜지스터 쌍(Q111, Q112)의 컬렉터 출력은 제 7 도에 도시된 전류원의 부분을 형성하는 pnp 트랜지스터 쌍(41, 42)의 베이스에 연결되어 있다. 이 경우에, 에미터 추종회로 또는 유사한 것이 트랜지스터(41, 42)의 베이스 및 트랜지스터(Q111, Q112)의 컬렉터 사이에 접속되는 것과 같이 직접 회로 전압 조절 회로라는 것을 주목할만한 일이다.

위에서의 자세한 설명은 상기 발명의 양호한 실시예에 의해 존재되며 많은 수정과 변화가 상기 발명의 범위가 보정된 특허청구 범위에서 결정되도록 상기 발명의 고유 개념의 범위 및 범주와는 별개로 숙련된 기술에 의해 영향을 받는다는 것은 이해할만하다.

## (57) 청구의 범위

### 청구항 1

가변 이득 증폭기 회로와, 상기 가변 이득 증폭기 회로의 출력에 접속되어 상기 가변 이득 증폭기 회로의 출력 신호의 신호 레벨에 응답하여 레벨이 변화하는 검출 신호를 발생하는 신호 레벨 검출 회로 및 상기 검출 신호의 신호 레벨에 따라 상기 가변 이득 증폭기 회로의 이득을 제어하는 이득 제어 회로를 구비하는 자동 이득 제어 회로에 있어서, 상기 이득 제어 회로는, 상기 신호 레벨 검출 회로에 접속되어 상기 검출 신호를 수신하는 제 1 입력 단자와, 제 2 입력 단자를 가지는 미분 증폭기 회로와, 상기 검출 신호의 상기 신호 레벨에 응답하여 상기 검출신호의 신호 레벨 대신에 제 1 의 소정 전압이 제공되도록 상기 미분 증폭기의 상기 제 1 입력 단자에 접속되는 제 1 의 기준 전압원 및 상기 미분 증폭기의 상기 제 2 입력 단자에 접속되어 제 2 의 소정 전압을 제공하는 제 2 의 기준 전압원을 구비하는 것을 특징으로 하는 자동 이득 제어 회로.

### 청구항 2

제 1 항에 있어서, 상기 제 1 의 기준 전압원 및 상기 제 2 의 기준 전압원은 각각 제 1 전류원 회로 및 제 2 전류원 회로로 구성된 것을 특징으로 하는 자동 이득 제어 회로.

### 청구항 3

제 2 항에 있어서, 상기 미분 증폭기는 한쌍의 NPN 트랜지스터를 구비하는 것을 특징으로 하는 자동

이득 제어회로.

**청구항 4**

제 3 항에 있어서, 상기 가변 이득 증폭기 회로의 이득을 제어하기 위한 제어 신호는 상기 한쌍의 트랜지스터의 콜렉터로부터 출력되는 것을 특징으로 하는 자동 이득 제어 회로.

**청구항 5**

제 1 항에 있어서, 상기 가변 이득 증폭기 회로는 제 1 트랜지스터 및 제 2 트랜지스터와 제 1 의 일정 전류원 회로를 갖는 제 1 미분 증폭기와, 상기 제 1 미분 증폭기에 접속되어 제 3 트랜지스터 및 제 4 트랜지스터와 제 2 의 일정 전류원을 가지며 출력 신호와 상기 신호 레벨 검출 회로에 인입 되도록 하는 제 2 미분 증폭기와, 차별적으로 접속된 제 5 트랜지스터 및 제 6 트랜지스터를 갖는 전류 제어 회로를 포함하며, 상기 제 5 트랜지스터 및 상기 제 6 트랜지스터중의 최소한 한 트랜지스터의 베이스 전극은 제 1 제어 전류 및 제 2 제어 전류가 다르게 교번되도록 상기 이득 제어 회로의 출력 단자에 접속되며, 상기 제 1 의 일정 전류원의 전류량은 상기 제 1 제어 전류 및 상기 제 2 제어 전류의 합과 동일하며, 상기 제 2 미분 증폭기의 이득을 제어하기 위해 상기 제 2 의 일정 전류원의 전류량은 상기 제 1 제어 회로 및 상기 제 2 제어 회로중의 한 제어 회로의 전류량과 동일한 것을 특징으로 하는 자동 이득 제어 회로.

**청구항 6**

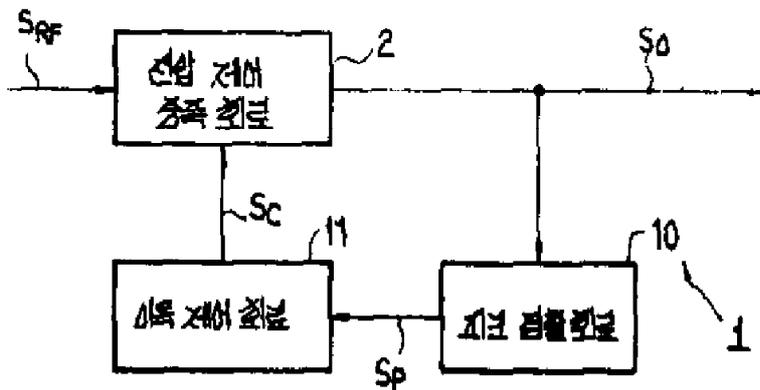
제 5 항에 있어서, 상기 제 1 의 일정 전류원은 한쌍의 제 1 미분 증폭기 및 제 2 미분 증폭기를 구비하는 것을 특징으로 하는 자동 이득 제어 회로.

**청구항 7**

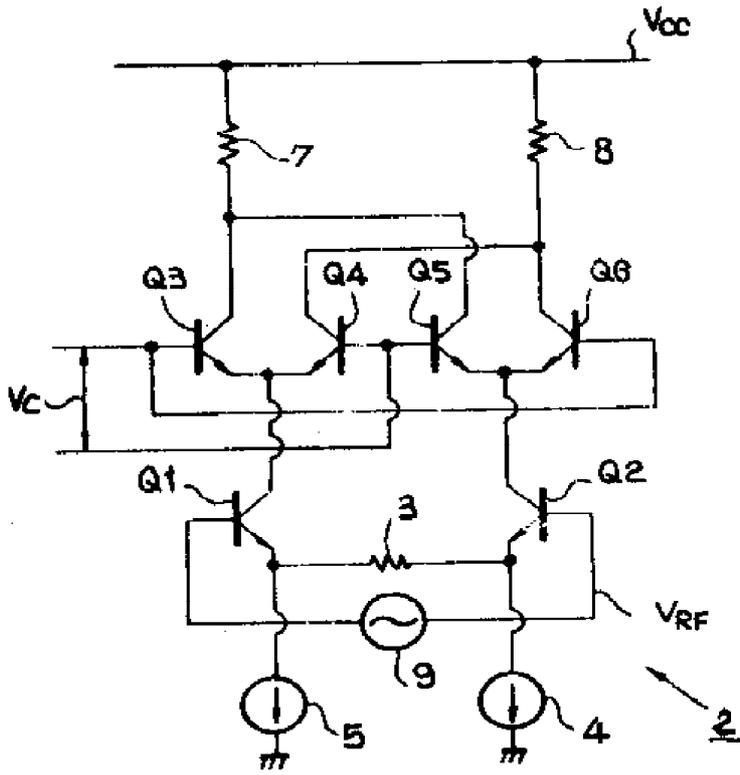
제 6 항에 있어서, 상기 제 1 미분 증폭기 트랜지스터 및 상기 제 2 미분 증폭기 트랜지스터의 베이스 전극은 상호 접속되는 것을 특징으로 하는 자동 이득 제어 회로.

**도면**

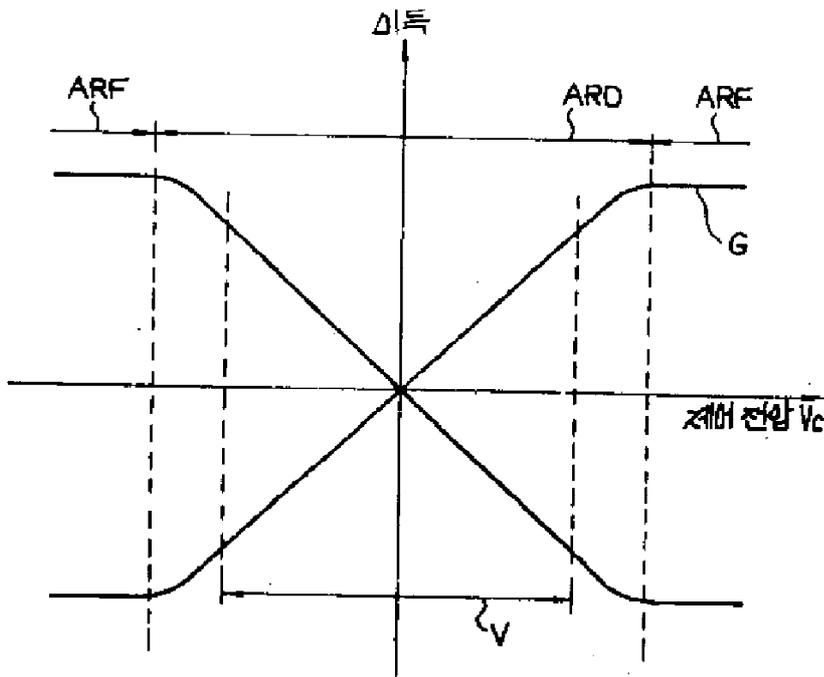
도면1



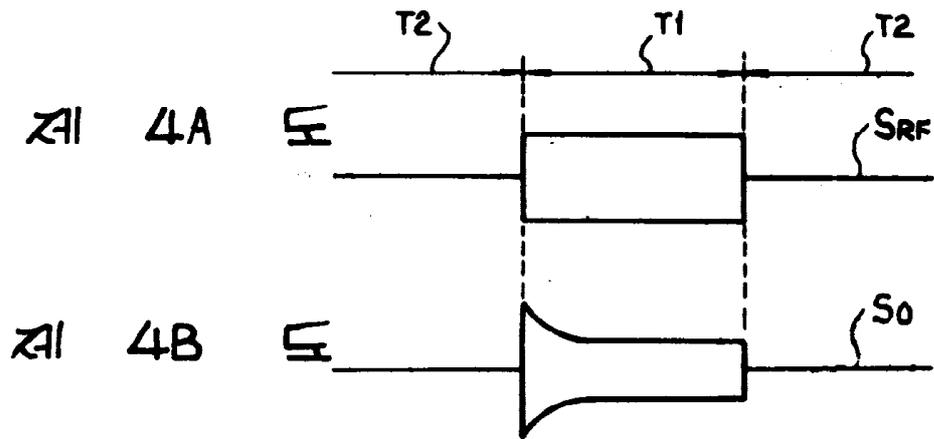
도면2



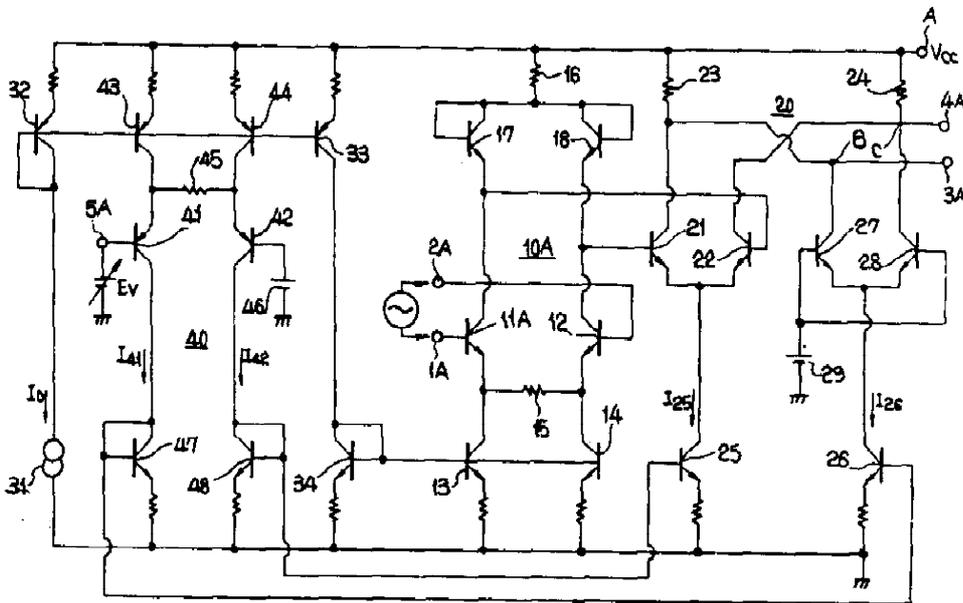
도면3



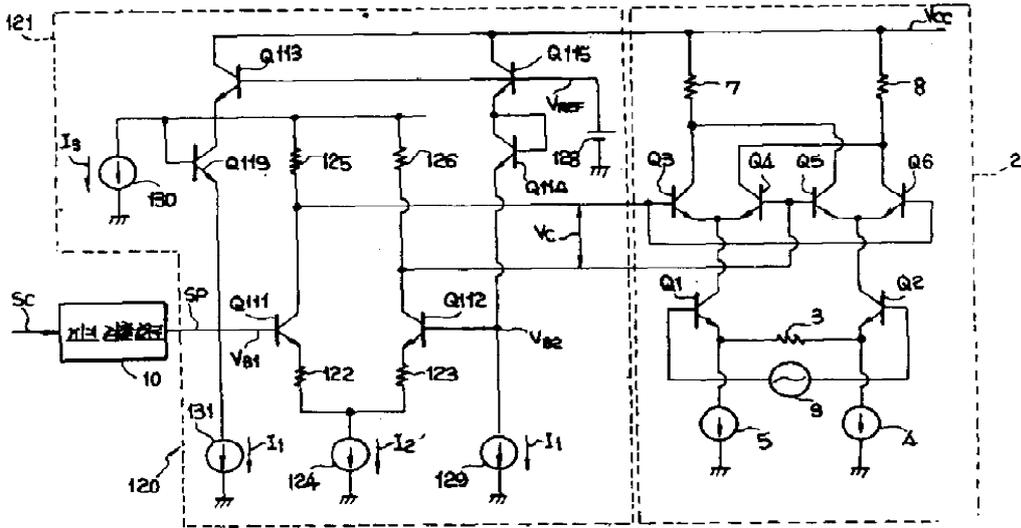
도면4



도면5



도면6



도면7

