

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3908957号
(P3908957)

(45) 発行日 平成19年4月25日(2007.4.25)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int. Cl. F I
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 2 C
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 1 E

請求項の数 4 (全 25 頁)

<p>(21) 出願番号 特願2002-15814 (P2002-15814) (22) 出願日 平成14年1月24日 (2002.1.24) (65) 公開番号 特開2003-223791 (P2003-223791A) (43) 公開日 平成15年8月8日 (2003.8.8) 審査請求日 平成16年7月28日 (2004.7.28)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号 (74) 代理人 100062144 弁理士 青山 稔 (74) 代理人 100084146 弁理士 山崎 宏 (72) 発明者 平野 恭章 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 審査官 高野 芳徳</p>
--	--

最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

制御ゲートとドレインとソースおよび浮遊ゲートを有する電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタで構成されたメモリセルを有し、上記浮遊ゲートに3値以上の電荷状態が形成される不揮発性半導体メモリ装置であって、

上記浮遊ゲートの3値以上の電荷状態のうちの2値以上の電荷状態を発生させる書き込み時、上記制御ゲートに正の書き込み開始電圧の書き込みパルスを印加する第1ステップの後、所定の電荷状態未満と判断されたメモリセルに対して上記所定の電荷状態以上と判断されるまで前回の書き込みパルスの電圧から電圧増加幅上昇させた書き込みパルスを上記制御ゲートに印加する第2ステップを繰り返す書き込み手段を備え、

上記書き込み手段は上記電圧増加幅をチップ毎に設定可能であり、

上記書き込み手段は、

上記制御ゲートに電圧を供給する電圧供給手段と、

上記電圧供給手段に書き込み制御信号を出力する書き込み制御手段と、

上記電圧増加幅の情報として上記電圧増加幅に相当する数値を記憶する記憶手段とを備え、

上記電圧供給手段は、

各抵抗の両端の電位差が等電位となるように、低電圧側の第1ノードと高電圧側の第2ノードとの間に直列に接続された複数個の抵抗と、

上記各抵抗間のノード、上記第1ノードおよび上記第2ノードの各々に接続された複数

10

20

個のスイッチとを有し、

上記複数個のスイッチのうちの1つが上記書き込み制御手段により選択されることにより、上記各抵抗間のノード、上記第1ノードおよび上記第2ノードのうちの1つのノードに発生した電圧を上記制御ゲートに供給すると共に、

上記書き込み制御手段は、

上記電圧供給手段の上記複数個のスイッチのうちの1つの選択するための数値が、上記数値の小さいものから上記数値の大きいものへ向けて、上記第1ノード側に位置するスイッチから上記第2ノード側に位置するスイッチへ向けて順に対応付けられており、

上記第1ステップにおいては、上記正の書き込み開始電圧に相当する数値に応じた書き込み制御信号を上記電圧供給手段に出力し、

10

上記第2ステップにおいては、上記前回の書き込みパルスの電圧に相当する数値に上記記憶手段に記憶された電圧増加幅に相当する数値を加算し、この加算結果の示す数値に応じた書き込み制御信号を上記電圧供給手段に出力し、

上記電圧供給手段は、上記書き込み制御手段からの上記書き込み制御信号が表す上記加算結果の示す数値に相当する電圧を上記制御ゲートに供給することを特徴とする不揮発性半導体メモリ装置。

【請求項2】

請求項1に記載の不揮発性半導体メモリ装置において、

書き込み特性のテストにより得られた上記メモリセルのしきい値電圧の変化幅が所定電圧となる上記電圧増加幅の情報を上記記憶手段に記憶することを特徴とする不揮発性半導体メモリ装置。

20

【請求項3】

請求項1または2に記載の不揮発性半導体メモリ装置において、

上記記憶手段は、上記メモリセルと同じ構成のメモリセルを用いたことを特徴とする不揮発性半導体メモリ装置。

【請求項4】

請求項1乃至3のいずれか1つに記載の不揮発性半導体メモリ装置において、

上記電圧供給手段は、抵抗分圧器により発生させた電圧を上記制御ゲートに供給することを特徴とする不揮発性半導体メモリ装置。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

この発明は、不揮発性半導体メモリ装置に関し、特にチャネルホットエレクトロンを用いた多値の書き込み方式の不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】

従来、最も一般的に用いられている不揮発性半導体メモリ装置としては、ETOX (EPROM Thin Oxide、インテルの登録商標)型フラッシュメモリがある。このETOX型フラッシュメモリのメモリセルの模式的な断面図を図8に示している。図8から判るように、ソース61とドレイン62とが所定の間隔をあけて形成された基板60上かつソース61とドレイン62との間の領域上に、トンネル酸化膜63を介してフローティングゲート(浮遊ゲート)64を形成し、さらにフローティングゲート64上に層間絶縁膜65を介してコントロールゲート(制御ゲート)66を形成している。

40

【0003】

このETOX型フラッシュメモリの動作原理について述べる。表1に示す電圧条件のように、書き込み時は、コントロールゲート66に書き込み電圧 V_{pp} (例えば9V)を印加し、ソースを基準電圧 V_{ss} (例えば0V)、ドレイン62に5Vの電圧を印加する。

【0004】

【表1】

	コントロールゲート	ドレイン	ソース	基板
書き込み	9V	5V/オープン	0V	0V
消去	-9V	オープン	6V	0V
読み出し	5V	1V	0V	0V

なお、書き込みを行わないメモリセルのドレイン62はオープンにする。これにより、チャンネル層では、多くの電流が流れて、ドレインサイドの電界が高い部分で、ホットエレクトロンが発生し、フローティングゲート64に電子が注入され、メモリセルのしきい値電圧が上昇する。図9は2値フラッシュメモリのしきい値電圧の状態を示し、図9の右側がデータ“0”のプログラム状態(書き込み)のしきい値電圧の分布状態である。

10

【0005】

また、消去時は、コントロールゲート66に V_{nn} (例えば-9V)、ソース61に V_{pe} (例えば6V)を印加し、ソースサイドでフローティングゲート64から電子を引き抜きしきい値電圧を低下させる。図9の左側がデータ“1”のイレース状態(消去)のしきい値電圧の分布状態である。この消去時には、ソースサイドから基板60にBTBT(Band To Band Tunneling)電流が流れる。この電流が発生すると同時にホットホール、ホットエレクトロンが発生する。このうち、ホットエレクトロンはドレイン62に流れてしまうが、一方、ホットホールは、トンネル酸化膜63側に引かれ、トンネル酸化膜63内にトラップされる。このトラップが一般的に、信頼性を悪化させると言われている。

20

【0006】

そして、読み出し時は、ドレイン62に1Vを印加し、コントロールゲート66に5Vを印加する。もし、メモリセルのしきい値電圧状態が消去状態でしきい値電圧が低い場合、メモリセルに電流が流れ、データ“1”と判定される。一方、しきい値電圧がプログラム状態でしきい値電圧が高い場合、メモリセルに電流が流れず、データ“0”と判定される。

【0007】

一方、最近では、コスト低減を目的として多値技術の開発が進められている。図10(a)~(d)に多値技術を用いた4値フラッシュメモリの場合のフローティングゲートの電子状態の概念図を示している(図10に示すものは4値のものである。一方、比較のために2値のものを図11に示す)。図10に示すように、それぞれのレベルの状態は、フローティングゲートの電子の数により決められている。この場合のしきい値電圧の状態は、図12に示すように4つのしきい値電圧レベルに分離されている。

30

データ“00”がしきい値電圧5.7V以上

データ“01”が4.7V~5.0V

データ“10”が3.7V~4V

データ“11”が3.0V以下

である。このようなしきい値電圧の状態は、図10に示すフローティングゲート内の電子数によりしきい値電圧が変化する特性を利用して、フローティングゲートへの電子の注入量を制御することにより揃える。

40

【0008】

この多値技術のポイントは、各しきい値電圧(特に中間レベルであるデータ“01”とデータ“10”のしきい値電圧)を所定のしきい値電圧範囲に収めることをいかに実現するかということである。

【0009】

次に、この多値技術の手法について述べる。一般的な書き込み方法は、特開2001-57091号公報やIEEE J. Solid-State Circuits vol.35 No4 1 November 2000 p1655~p1667“40mm² 3V Only 50MHz 64Mb 2b/cell CHE NOR Flash Memory”で開示されている。この文献中で示されている手法は、プログラム(書き込み)パルス印加とプログラムパルス印加後のメモリセルのしきい値電圧を検証するベリファイ

50

とを繰り返して行い、メモリセルのしきい値電圧が所定のしきい値電圧に到達したメモリセルは、次のプログラムパルス印加では、ドレイン電圧を印加しないようにオープンにする一方、所定のしきい値電圧に到達していないメモリセルにはドレインに5Vを印加し、プログラムパルスを印加して書き込みを続け、最終的にプログラム(書き込み)すべき全メモリセルのしきい値電圧が所定のしきい値電圧に到達したところで書き込みを終了させる手法である。

【0010】

この場合、特に、プログラム(書き込み)スピードを高めるために、最初のプログラム(書き込み)時はコントロールゲートへの印加電圧を低く設定し、プログラムパルス印加毎にコントロールゲート電圧を一定の電圧間隔により上昇させる手法について述べられている。この場合の書き込みアルゴリズムを図13に示している。

10

【0011】

図13に示すように、プログラムがスタートすると、ステップS1でNをゼロにし、ステップS2でベリファイを行い、メモリセルのしきい値電圧が3.7V以上か否かを判定する。そして、メモリセルのしきい値電圧が3.7V未満のときは、ステップS3でNをインクリメント($N+1$)して、ステップS4に進み、ゲート電圧 $V_g (= V_{g10})$ から $V_g \times (N-1)$ 上昇させ、ステップS5で $V_g + V_g \times (N-1)$ の電圧の書き込みパルスをコントロールゲートに印加する。そして、ステップS2に戻り、メモリセルのしきい値電圧が3.7V以上になるまで、ステップS2~S5を繰り返す。

【0012】

20

一方、ステップS2でメモリセルのしきい値電圧が3.7V以上のときは、ステップS11に進み、Nをゼロにし、ステップS12でベリファイを行い、メモリセルのしきい値電圧が4.7V以上か否かを判定する。そして、メモリセルのしきい値電圧が4.7V未満のときは、ステップS13でNをインクリメント($N+1$)して、ステップS14に進み、ゲート電圧 $V_g (= V_{g01})$ から $V_g \times (N-1)$ 上昇させ、ステップS15で $V_g + V_g \times (N-1)$ の電圧の書き込みパルスをコントロールゲートに印加する。そして、ステップS12に戻り、メモリセルのしきい値電圧が4.7V以上になるまで、ステップS12~S15を繰り返す。

【0013】

一方、ステップS12でメモリセルのしきい値電圧が4.7V以上のときは、図14に示すステップS21に進み、Nをゼロにし、ステップS22でベリファイを行い、メモリセルのしきい値電圧が5.7V以上か否かを判定する。そして、メモリセルのしきい値電圧が5.7V未満のときは、ステップS23でNをインクリメント($N+1$)して、ステップS24に進み、ゲート電圧 $V_g (= V_{g00})$ から $V_g \times (N-1)$ 上昇させ、ステップS25で $V_g + V_g \times (N-1)$ の電圧の書き込みパルスをコントロールゲートに印加する。そして、ステップS22に戻り、メモリセルのしきい値電圧が4.7V以上になるまで、ステップS22~S25を繰り返す。

30

【0014】

一方、ステップS22でメモリセルのしきい値電圧が4.7V以上のときは、この処理を終了する。

40

【0015】

図13では、ステップS1~S5はデータ“10”の書き込み処理であり、 V_{g10} はデータ“10”の書き込み時のスタート電圧(書き込み開始電圧)である。また、ステップS11~S15はデータ“01”の書き込み処理であり、 V_{g01} はデータ“01”の書き込み時のスタート電圧であり、ステップS21~S25はデータ“00”の書き込み処理であり、 V_{g00} はデータ“00”の書き込み時のスタート電圧である。

【0016】

一方、プログラムパルス印加のコントロールゲートへの電圧印加の遷移を図15に示している。

【0017】

50

この手法の書き込み原理についてメモリセルの特性面から考えて述べる。最初に、ゲート電圧 V_{g10} (例えば $6V$)、ドレイン電圧を V_d (例えば $5V$) でプログラムパルス V_t を 1 回印加した場合のメモリセルのしきい値電圧 V_t 分布を図 16 に示している。しきい値電圧は $2.7V$ から $3.7V$ に分布していることがわかる。この場合の分布の上限は $3.7V$ (V_{tmax})、下限は $2.7V$ (V_{tmin}) である。ここで、例えば、コントロールゲート電圧を $6V$ 、ドレイン電圧 $5V$ にし、一度プログラム(書き込み)を実行する。その場合のしきい値電圧分布は、図 17 に示す分布 1 (図 16 に相当) である。その後、続けてコントロールゲート電圧を上昇させ、 $6.5V$ として、プログラム(書き込み)を行った場合、図 17 に示す分布 2 までしきい値電圧が全体的にシフトする。一方、さらに、コントロールゲート電圧を $0.5V$ 増加させて $7V$ でプログラムパルス印加するとメモリセルのしきい値電圧分布は分布 3 のようになる。次に、同様にしてコントロールゲート電圧を上昇させながら、書き込みを行うとしきい値電圧分布は分布 4 となる。このときの上限しきい値電圧 V_{tmax} と下限しきい値電圧 V_{tmin} とコントロールゲート電圧の関係をまとめると、図 18 に示すようになる。これは、電圧増加幅 V_g 毎にコントロールゲート電圧を上昇させてのパルス印加数 n におきかえて考えることもできる。コントロールゲートへの最初のプログラムパルス印加でのゲート電圧 $6V$ での上限しきい値電圧 V_{tmax} と下限しきい値電圧 V_{tmin} をそれぞれ V_{tmaxi} 、 V_{tmini} とすると

$$V_{tmax} = V_{tmaxi} + V_g \times (n - 1)$$

$$V_{tmin} = V_{tmini} + V_g \times (n - 1)$$

(ただし、 V_g は $V_g - 6V$ 、 n はパルス印加数)

の関係が成り立つ。つまり $V_t = V_g$ の関係が成り立つ。

【0018】

この式から判るように、データ“01”、データ“10”において上記のようなコントロールゲート電圧を上昇させるプログラムアルゴリズムでコントロールゲート電圧の電圧増加幅 V_g を $0.3V$ に設定することで、しきい値電圧は、 $0.3V$ 以内に収めることが可能である。つまり、データ“01”では $4.7V \sim 5V$ 、データ“10”では $3.7V \sim 4V$ とすることが可能である。例えば、データ“10”を記憶するメモリセルのしきい値電圧を $3.7V \sim 4V$ の範囲に収めるためには、上限しきい値電圧 V_{tmax} が $3.7V$ から $4V$ の範囲に到達するコントロールゲート電圧に設定する。この場合の最初のコントロールゲート電圧は $6V$ とすると、

$$1 \text{ パルス目}(6V) : V_g \quad V_{tmin} = 2.7V$$

$$2 \text{ パルス目}(6.3V) : V_g + V_g \quad V_{tmin} = 3.0V$$

$$3 \text{ パルス目}(6.6V) : V_g + 2 \quad V_g \quad V_{tmin} = 3.3V$$

$$4 \text{ パルス目}(6.9V) : V_g + 3 \quad V_g \quad V_{tmin} = 3.6V$$

$$5 \text{ パルス目}(7.2V) : V_g + 4 \quad V_g \quad V_{tmin} = 3.9V$$

になる。

【0019】

この 5 パルス目(コントロールゲートへの印加電圧 $7.2V$)で、メモリセルの書き込み特性のバラツキにより、書き込み速度の最も遅いメモリセルでもそのしきい値電圧は $3.9V$ 以上、すなわち、 $3.7V$ 以上になるはずである。

【0020】

実際は、プログラムパルス印加毎にベリファイを実施しており、このベリファイ(基本的には読み出し動作と同じ)によりメモリセルを流れるメモリセル電流からしきい値電圧を判定し、しきい値電圧が $3.7V$ 以上に到達したメモリセルのドレインはオープンにして、以後、書き込みは行わない処理を行っているため、この 5 パルス印加でデータ“10”を書き込むべきメモリセルの全ての書き込み動作が終了する。

【0021】

このように、パルス印加毎に、ベリファイを行い、 $3.7V$ 以上に到達したしきい値電圧のメモリセルのドレインには電圧を印加しない手法を用いることで、しきい値電圧を $0.3V$ 以内に収めることが可能となる。

10

20

30

40

50

【 0 0 2 2 】

一方、データ“ 0 1 ”を記憶するメモリセルのしきい値電圧が 4.7 V ~ 5 V の範囲に収める場合も同様の手法で実現可能である。すなわち、上限しきい値電圧 V_{tmax} が 4.7 V から 5 V の範囲に到達するようにパルスを印加することにより、8 パルス目で下限しきい値電圧 V_{tmin} が 4.8 V になる。

【 0 0 2 3 】

【 発明が解決しようとする課題 】

ところで、上記不揮発性半導体メモリ装置としての 4 値フラッシュメモリでは、現実的な問題として、メモリセルの特性がデバイス毎でばらつくと、上記のような $V_t = V_g$ の関係が成り立たなくなるデバイスが発生する。このときに問題になるのは、次の (1), (2) 10

【 0 0 2 4 】

〔 (1) $V_t > V_g$ の場合 〕

例えば、 $V_t = 1.2 \times V_g$ の場合、電圧増加幅 $V_g = 0.3$ V 毎にゲート電圧を増加すると、しきい値電圧の変化幅 $V_t = 0.36$ V となり、結果としてしきい値電圧分布は、3.7 V ~ 4.06 V の範囲になる。結果的に、しきい値電圧分布が所定の値よりばらつき、このしきい値電圧分布の拡がりは読み出し時のメモリセル電流の判定のときのマージンの減少につながり、読み出し不良となると予測される。

【 0 0 2 5 】

〔 (2) $V_t < V_g$ の場合 〕 20

例えば、 $V_t = 0.8 \times V_g$ の場合、電圧増加幅 $V_g = 0.3$ V 毎にゲート電圧を増加すると、しきい値電圧の変化幅 $V_t = 0.24$ V となる。この場合、しきい値電圧分布は所定の 3.7 V ~ 4.0 V の範囲に収められるが、

- | | | |
|----------------|-----------------|---------------------|
| 1 パルス目 (6 V) | : V_g | $V_{tmin} = 2.7$ V |
| 2 パルス目 (6.3 V) | : $V_g + V_g$ | $V_{tmin} = 2.94$ V |
| 3 パルス目 (6.6 V) | : $V_g + 2 V_g$ | $V_{tmin} = 3.18$ V |
| 4 パルス目 (6.9 V) | : $V_g + 3 V_g$ | $V_{tmin} = 3.42$ V |
| 5 パルス目 (7.2 V) | : $V_g + 4 V_g$ | $V_{tmin} = 3.66$ V |
| 6 パルス目 (7.2 V) | : $V_g + 5 V_g$ | $V_{tmin} = 3.9$ V |

になり、必要なパルス数が増加することになる。パルス数の増加はパルス印加毎に行うペリファイの増加もさらに加わり、結果としてプログラムスピードが劣化するという問題がある。 30

【 0 0 2 6 】

そこで、この発明の目的は、デバイスのばらつきに影響されることなくかつプログラムスピードを劣化させることなく、読み出しマージンが確保できる信頼性の高い多値書き込みができる不揮発性半導体メモリ装置を提供することにある。

【 0 0 2 7 】

【 課題を解決するための手段 】

【 0 0 2 8 】

【 0 0 2 9 】 40

【 0 0 3 0 】

【 0 0 3 1 】

上記目的を達成するため、この発明の不揮発性半導体メモリ装置は、制御ゲートとドレインとソースおよび浮遊ゲートを有する電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタで構成されたメモリセルを有し、上記浮遊ゲートに 3 値以上の電荷状態が形成される不揮発性半導体メモリ装置であって、

上記浮遊ゲートの 3 値以上の電荷状態のうち 2 値以上の電荷状態を発生させる書き込み時、上記制御ゲートに正の書き込み開始電圧の書き込みパルスを印加する第 1 ステップの後、所定の電荷状態未満と判断されたメモリセルに対して上記所定の電荷状態以上と判断されるまで前回の書き込みパルスの電圧から電圧増加幅上昇させた書き込みパルスを上 50

記制御ゲートに印加する第2ステップを繰り返す書き込み手段を備え、

上記書き込み手段は上記電圧増加幅をチップ毎に設定可能であり、

上記書き込み手段は、

上記制御ゲートに電圧を供給する電圧供給手段と、

上記電圧供給手段に書き込み制御信号を出力する書き込み制御手段と、

上記電圧増加幅の情報として上記電圧増加幅に相当する数値を記憶する記憶手段とを備え、

上記電圧供給手段は、

各抵抗の両端の電位差が等電位となるように、低電圧側の第1ノードと高電圧側の第2ノードとの間に直列に接続された複数個の抵抗と、

上記各抵抗間のノード、上記第1ノードおよび上記第2ノードの各々に接続された複数個のスイッチとを有し、

上記複数個のスイッチのうちの1つが上記書き込み制御手段により選択されることにより、上記各抵抗間のノード、上記第1ノードおよび上記第2ノードのうちの1つのノードに発生した電圧を上記制御ゲートに供給すると共に、

上記書き込み制御手段は、

上記電圧供給手段の上記複数個のスイッチのうちの1つの選択するための数値が、上記数値の小さいものから上記数値の大きいものへ向けて、上記第1ノード側に位置するスイッチから上記第2ノード側に位置するスイッチへ向けて順に対応付けられており、

上記第1ステップにおいては、上記正の書き込み開始電圧に相当する数値に応じた書き込み制御信号を上記電圧供給手段に出力し、

上記第2ステップにおいては、上記前回の書き込みパルスの電圧に相当する数値に上記記憶手段に記憶された電圧増加幅に相当する数値を加算し、この加算結果の示す数値に応じた書き込み制御信号を上記電圧供給手段に出力し、

上記電圧供給手段は、上記書き込み制御手段からの上記書き込み制御信号が表す上記加算結果の示す数値に相当する電圧を上記制御ゲートに供給することを特徴としている。

【0032】

上記構成の不揮発性半導体メモリ装置によれば、上記書き込み手段において、デバイスのばらつきに影響されることなく、メモリセルのしきい値電圧の変化幅が所定電圧となる電圧増加幅をチップ毎に設定することが可能となり、プログラム速度を劣化させることなく、読み出しマージンが確保できる信頼性の高い多値書き込みができる。また、上記書き込み制御手段は、上記正の書き込み開始電圧に相当する数値から上記記憶手段に記憶された電圧増加幅に相当する数値を順次加算して得られた加算結果を表す書き込み制御信号を出力し、その書き込み制御信号が表す加算結果に相当する電圧を上記電圧供給手段から上記制御ゲートに供給するので、簡単な構成で上記電圧増加幅をチップ毎に設定された電圧増加幅で書き込みパルスを上記制御ゲートに印加できる。

【0033】

また、一実施形態の不揮発性半導体メモリ装置は、書き込み特性のテストにより得られた上記メモリセルのしきい値電圧の変化幅が所定電圧となる上記電圧増加幅の情報を上記記憶手段に記憶することを特徴としている。

【0034】

上記実施形態の不揮発性半導体メモリ装置によれば、書き込み特性のテストにより得られたメモリセルのしきい値電圧の変化幅が所定電圧となる上記電圧増加幅の情報を上記記憶手段に記憶して、上記記憶手段に記憶された情報に基づいて、上記電圧供給手段から上記制御ゲートに電圧を供給するので、上記メモリセルのしきい値電圧の変化幅をチップの特性ばらつきに関わらず同じ所定電圧にできる。

【0035】

また、一実施形態の不揮発性半導体メモリ装置は、上記記憶手段が、上記メモリセルと同じ構成のメモリセルを用いたことを特徴としている。

【0036】

10

20

30

40

50

上記実施形態の不揮発性半導体メモリ装置によれば、上記記憶手段に上記メモリセルと同じ構成のメモリセルを用いることによって、例えば複数のメモリセルで構成されたメモリセルアレイ内やメモリセルアレイ周辺のメモリセルを一部使えば良く、特別な記憶手段を新たに設計する必要がなく、チップ面積を小さくできる。

【0037】

また、一実施形態の不揮発性半導体メモリ装置は、上記電圧供給手段が、抵抗分圧器により発生させた電圧を上記制御ゲートに供給することを特徴としている。

【0038】

上記実施形態の不揮発性半導体メモリ装置によれば、上記電圧供給手段は、複数の抵抗が直列に接続された抵抗分圧器により発生させた電圧を上記制御ゲートに供給するので、最も簡単な構成でレイアウト面積を小さくでき、デバイス(チップ)の製造条件により抵抗値がばらついていても、抵抗比は安定しているため、安定した電圧増加幅を確実に得ることができる。

10

【0039】

【発明の実施の形態】

以下、この発明の不揮発性半導体メモリ装置を図示の実施の形態により詳細に説明する。

(第1実施形態)

図1はこの発明の第1実施形態の不揮発性半導体メモリ装置としての4値フラッシュメモリ10のブロック図である。なお、ここではこの発明の説明に必要なところのみに絞って説明する。

20

【0040】

図1において、11はメモリセルアレイ、12は上記メモリセルアレイ11のワード線に電圧を供給するワード線電圧供給回路、13は上記メモリセルアレイ11の共通ソース線に電圧を供給する共通ソース線電圧供給回路、14は上記メモリセルアレイ11のビット線に電圧を供給するビット線電圧供給回路、15は上記ワード線電圧供給回路12,共通ソース線電圧供給回路13およびビット線電圧供給回路14を制御する制御回路である。

【0041】

図2は上記メモリセルアレイ11の1ブロック分の回路図を示している。一般的には、ブロックが複数個集まって、メモリセルアレイを構成している。

30

【0042】

図2に示すように、複数のメモリセル100がマトリクス状に配置され、ワード線WL0にはm個のメモリセル100のコントロールゲート(制御ゲート)が接続され、ワード線WL1~WLn-1にも同様にm個のメモリセル100のコントロールゲートが接続されている。また、ビット線BL0にはn個のメモリセル100のドレインが接続され、ビット線BL1~BLm-1にも同様にn個のメモリセル100のドレインが接続されている。そして、同一ブロック内のメモリセル100のソースは、共通ソース線SLに共通に接続されている。なお、メモリセル100は、図8に示すメモリセルと同一の構成をしており、説明を省略する。

40

【0043】

なお、上記メモリセルアレイ11(図1に示す)内には、データを格納するデータ領域の他に、書き込み時や消去時に行うベリファイにおいて、メモリセルが所定のしきい値電圧に到達したか否かを検証するときと比較のために使用する参照用メモリセル(リファレンスメモリセル)もあるが省略している。

【0044】

上記ワード線WL0~WLn-1を駆動するため、図1に示すワード線電圧供給回路12があり、制御回路15からの制御信号およびアドレス信号に基づいて、ワード線電圧供給回路12がワード線を選択すると共に、書き込み制御信号をプログラム(書き込み)電圧に昇圧して、選択されたワード線を駆動する。また、上記共通ソース線電圧供給回路13は、

50

制御回路 15 からの制御信号およびアドレス信号に基づいて、同一ブロック内のソースを共通化した共通ソース線を選択すると共に、消去制御信号をイレース電圧に昇圧して共通ソース線を駆動する。また、上記ビット線電圧供給回路 14 は、制御回路 15 からの制御信号とアドレス信号に基づいて、データ領域メモリセルアレイのビット線を選択すると共に、書き込み / 読み出し制御信号を昇圧して、ビット線を駆動する。

【0045】

なお、ビット線電圧供給回路 14 内には図示していないが、書き込み時および消去時に行うベリファイにおいて、メモリセルとリファレンスメモリセル各々に流れるメモリセル電流を比較して、しきい値電圧を検証し、書き込みパルスや消去パルスの印加の続行あるいは停止を制御回路 15 に伝える比較回路や、読み出し時にメモリセル電流を電圧に換算してセンスするセンスアンプ回路等も含んでいるが、ここでは省略している。

10

【0046】

この発明は、多値不揮発性半導体メモリ装置に関するものであり、特にワード線への書き込み電圧の制御に関するものであることから、以後、ワード線電圧供給回路 12 について、詳細に説明する。

【0047】

図 1 に示すように、上記ワード線電圧供給回路 12 は、書き込み手段としてのワード線電圧制御回路 12a と、各ワード線に対応するワード線ドライバ回路 12b とで構成されている。また、上記ワード線電圧制御回路 12a は、書き込み用、消去用、読み出し用各々、ワード線に印加する電圧を制御して出力する制御回路からなっている。ここで、ワード線ドライバ回路 12b は、書き込み時にワード線電圧制御回路 12a からの書き込みパルス電圧をワード線に出力し、消去時に消去パルスを図示しない消去用制御回路からワード線に出力すると共に、読み出し時に図示していない読み出し用制御回路からの出力を選択してワード線に出力するものであり、既存の切り替え回路で構成されているため、ここでの詳細な説明は省略する。

20

【0048】

図 3 はワード線電圧制御回路(書き込み用)の概要を示すブロック図である。図 3 において、21 は上記制御回路 15 (図 1 に示す)からの制御信号を受ける書き込み制御手段としてのプログラム / イレース制御回路、22 は上記プログラム / イレース制御回路 21 から制御信号 $WLV S [3 : 0]$ 、 $PG [1 : 0]$ を受ける電圧供給手段としてのワード線レギュレータ回路、23 は上記ワード線レギュレータ回路 22 に選択制御信号 $CD [1 : 0]$ を出力する記憶手段としてのパルス電圧ステップ幅記憶回路である。なお、上記制御信号 $WLV S [3 : 0]$ は、 $WLV S 3$ 、 $WLV S 2$ 、 $WLV S 1$ および $WLV S 0$ の 4 つの信号を表し、制御信号 $PG [1 : 0]$ は、 $PG 1$ 、 $PG 0$ の 2 つの信号を表し、選択制御信号 $CD [1 : 0]$ は、 $CD 1$ 、 $CD 0$ の 2 つの信号を表している。

30

【0049】

多値技術の場合、書き込み時の各ステップでのワード線への印加電圧は、図 3 に示すように、プログラム / イレース制御回路 21 からの制御信号 $WLV S [3 : 0]$ により決定される。また、プログラムアルゴリズムは、図 13 のフローチャートに示すアルゴリズムと同じである(ただし、電圧増加幅 Vg は、デバイスのウエハテストのときに特性評価された結果に基づいて、デバイス単位でパルス電圧ステップ幅記憶回路 23 に設定される)。

40

【0050】

図 3 のワード線レギュレータ回路 22 は、各ワード線 $WL 0 \sim WL n-1$ 毎に配置され、ワード線ドライバ回路 12b (図 1 に示す)を介してワード線に接続されている。上記ワード線レギュレータ回路 22 は、00 用レギュレータ部 22a と 01 用レギュレータ部 22b および 10 用レギュレータ部 22c で構成されている。

【0051】

上記 00 用レギュレータ部 22a は、データ“00”を書き込むための書き込みパルスを発生する回路であり、01 用レギュレータ部 22b は、データ“01”を書き込むための書き込みパルスを発生する回路であり、10 用レギュレータ部 22c は、データ“10

50

”を書き込むための書き込みパルスが発生する回路であり、各ワード線に1個ずつ配置されている。なお、データ“11”は、消去状態であるため、別のワード線制御回路(消去用)から消去パルスが発生させ、ワード線ドライバ回路12b(図1に示す)を介して、ワード線に出力(例えば-9V)するが、消去は既存の回路で行っているため、ここでの説明は省略する。

【0052】

上記プログラム/イレース制御回路21は、書き込み時はビット線電圧供給回路14(図1に示す)からのベリファイ結果に基づいて、書き込みパルス電圧のステップ印加の制御(停止も含む)や、書き込むデータ“00”~“10”に応じて、どのレギュレータ部を使用するか、または不使用のレギュレータ部の出力の禁止や、消去時の全レギュレータ部の出力禁止や、ベリファイ時の不使用のレギュレータ部の出力の禁止等の制御を行うものである。

10

【0053】

上記プログラム/イレース制御回路21には、書き込みパルスのステップ印加の制御手段を含んでおり、ここでは、4ビットの制御信号WLV S[3:0]で行い、0000~1111の最大16ステップの出力が可能である。ここでは、0000で第1ステップ、0001で第2ステップ、0010で第3ステップ、...として、ベリファイ結果に応じて、さらにステップが必要と判定されれば、ステップアップしながら継続する。

【0054】

また、データ“00”~“10”に応じてどのレギュレータ部を使用し、他のレギュレータ部の出力を禁止するための制御信号PG[1:0]は、ここでは2ビット(00、01、10)で構成され、3つの00用レギュレータ部22a、10用レギュレータ部22bおよび10用レギュレータ部22cを制御している。

20

【0055】

また、上記パルス電圧ステップ幅記憶回路23は、ウエハ八段階での特性テスト結果に基づいて、ウエハテスト時に電圧増加幅 g を決定する情報が書き込まれる。または、パッケージングされた後のデバイステスト結果に基づいて、パルス電圧ステップ幅記憶回路23に電圧増加幅 g を決定する情報を書き込んで良い(この場合は、特性テスト結果の入力端子が必要となる)。

【0056】

このようにして、各デバイス単位で、その特性に合致した電圧増加幅 Vg を発生できるようにテスト結果が記憶されている。

30

【0057】

上記パルス電圧ステップ幅記憶回路23は、フラッシュメモリで構成すれば良く、メモリセルアレイ内やメモリセルアレイ周辺のメモリセルを一部使えば良く、特別な記憶手段を新たに設計する必要はないので、チップ面積の増大にはならない。

【0058】

この4値フラッシュメモリでは、パルス電圧ステップ幅記憶回路23からの2ビットの選択制御信号CD[1:0]により、最大4つの条件の変更が可能である。

【0059】

ここでは、 $Vt = Vg$ のとき、選択制御信号CD[1:0]は00に設定し、 $Vt > Vg$ のとき、選択制御信号CD[1:0]は01に設定し、 $Vt < Vg$ のとき、選択制御信号CD[1:0]は10に設定して説明している。

40

【0060】

また、上記ワード線レギュレータ回路22は、それぞれのしきい値電圧、つまり、データ“00”とデータ“01”とデータ“10”にプログラム(書き込み)する場合に、00用レギュレータ部22a、01用レギュレータ部22b、10用レギュレータ部22cがそれぞれアクティブとなる。

【0061】

図4、図5は図3に示すワード線電圧制御回路(書き込み用)内のレギュレータ部の詳細

50

な回路図である。図4において、抵抗値以外は、3つのレギュレータ部の回路構成は基本的には同じである。

【0062】

図4に示すように、選択制御信号CD0, CD1をNOR回路31の入力端子に入力し、NOR回路31の出力端子をレベルシフト回路34の入力端子に接続している。上記レベルシフト回路34の出力端子をpMOSトランジスタH0のゲートに接続している。また、選択制御信号CD0をレベルシフト回路33の入力端子に接続し、レベルシフト回路33の出力端子をpMOSトランジスタH1のゲートに接続している。また、選択制御信号CD1をレベルシフト回路32の入力端子に接続し、レベルシフト回路32の出力端子をpMOSトランジスタH2のゲートに接続している。上記pMOSトランジスタH0, H1, H2の各ソースを電源Vppに接続し、pMOSトランジスタH0のドレインを抵抗RH0を介して端子T15に接続し、pMOSトランジスタH1のドレインを抵抗RH1を介して端子T15に接続し、pMOSトランジスタH2のドレインを抵抗RH2を介して端子T15に接続している。そして、上記端子T15に15個の抵抗R1を直列に接続し、上記直列に接続された抵抗R1の接続点を端子T15側から端子T14~T1とし、終端を端子T0とする。なお、上記レベルシフト回路32~34は、インバータタイプの昇圧用レベルシフト回路であり、入力されたHighレベルとしての電源Vccレベルを、高電圧レベルであるVppレベル(例えば12V)に昇圧するものである。

10

【0063】

また、選択制御信号CD0, CD1をNOR回路36の入力端子に入力し、NOR回路36の出力端子をnMOSトランジスタL0のゲートに接続している。また、選択制御信号CD0をnMOSトランジスタL1のゲートに接続し、選択制御信号CD1をnMOSトランジスタL2のゲートに接続している。上記nMOSトランジスタL0, L1, L2の各ソースをグランドに接続し、nMOSトランジスタL0のドレインを抵抗RL0を介して端子T0に接続し、nMOSトランジスタL1のドレインを抵抗RL1を介して端子T0に接続し、nMOSトランジスタL2のドレインを抵抗RL2を介して端子T0に接続している。

20

【0064】

次に、端子T15にnMOSトランジスタHS15のドレインを接続し、同様にして端子T14~T0にnMOSトランジスタHS14~HS0のドレインを順次接続している。上記nMOSトランジスタHS15~HS0のソースは共通に接続されている。また、図3に示すプログラム/イレース制御回路21からの制御信号WLV[3:0]が抵抗値選択ロジック回路35に入力され、抵抗値選択ロジック回路35から出力された制御信号HS[15:0]をnMOSトランジスタHS15~HS0のゲートに夫々入力している。

30

【0065】

次に、上記nMOSトランジスタHS15~HS0の共通接続されたソースから出力されたRef信号を、図5に示すように、増幅器37の正極側入力端子に入力し、増幅器37の出力端子をnMOSトランジスタTROUTのドレインに接続し、そのnMOSトランジスタTROUTのソースを増幅器37の負極側入力端子に接続して、ボルテージフォロア回路を形成している。そして、プログラム/イレース制御回路21からの制御信号PG1をレベルシフト回路38に入力し、そのレベルシフト回路38の出力信号HG1をnMOSトランジスタTROUTのゲートに入力している。

40

【0066】

上記構成のレギュレータ部において、まず、データ“10”を書き込むための10用レギュレータ部22cで説明する。

【0067】

パルス電圧ステップ幅記憶回路23(図3に示す)からの選択制御信号CD[1:0]が00のとき(CD1が0、CD0が0)、pMOSトランジスタH0とnMOSトランジスタL0がオンし、抵抗RH0, R1, ..., R1, RL0を介して電流が流れる。また、選択制御信号CD[1:0]が01のとき(CD1が0、CD0が1)、pMOSトランジスタH1とnMOSトランジスタL1がオンし、抵抗RH1, R1, ..., R1, RL1を介して電流が流れる。

50

また、選択制御信号 $CD[1:0]$ が 10 のとき ($CD1$ が 1 、 $CD0$ が 0)、 $pMOS$ トランジスタ $H2$ と $nMOS$ トランジスタ $L2$ がオンし、抵抗 $R_{H2}, R_1, \dots, R_1, R_{L2}$ を介して電流が流れる。このように、抵抗 $R_{H0} \sim R_{H2}$ 、 $R_{L0} \sim R_{L2}$ の各抵抗値を異ならせることで、異なる電圧増加幅 V_g を設定できる。

【0068】

上記抵抗値選択ロジック回路 35 は、制御信号 $WLV S$ の 4 ビットデータに応じて、 $0 \sim 15$ にデコードするデコーダであり、既存の回路で容易に構成可能である。例えば、制御信号 $WLV S[3:0]$ が 0000 のとき、 $nMOS$ トランジスタ $H S 0$ がオンし、制御信号 $WLV S[3:0]$ が 0001 のとき、 $nMOS$ トランジスタ $H S 1$ がオンし、制御信号 $WLV S[3:0]$ が 0010 のとき、 $nMOS$ トランジスタ $H S 2$ がオンし、以下、同様に $nMOS$ トランジスタが選択され、制御信号 $WLV S[3:0]$ が 1111 のとき、 $nMOS$ トランジスタ $H S 15$ がオンし、制御信号 $WLV S[3:0]$ に応じて、1 つの出力が選択されて Ref 電圧として出力される。

10

【0069】

また、端子 $T0 \sim T15$ の各々隣接する出力の出力差が電圧増加幅 V_g となり、抵抗 $R_{H0} \sim R_{H2}$ 、 $R_{L0} \sim R_{L2}$ の各抵抗値を異なる値に設定することによって、電圧増加幅 V_g は選択制御信号 $CD[1:0]$ により、異なる電圧増加幅 V_g を取ることができる。

【0070】

上記 Ref 電圧は、図 5 に示すボルテージフォロア回路を構成する増幅器 37 の正極側入力端子に入力されて低インピーダンス化され、出力 HVP としてワード線ドライバ回路 12b (図 1 に示す) に出力される。なお、上記ボルテージフォロア回路の出力段には、 $nMOS$ トランジスタ T_{rout} が設置されており、制御信号 $PG1$ により、書き込み時、消去時およびベリファイ時、ワード線レギュレータ部 22 が使用されないとき、 $nMOS$ トランジスタ T_{rout} をオフにして、出力をオープンにしておく。

20

【0071】

そして、プログラム(書き込み)が開始されると、 $V_t = V_g$ が成り立つ場合、パルス電圧ステップ幅記憶回路 23 (図 3 に示す)は、選択制御信号 $CD[1:0]$ は 00 が出力され、結果的に抵抗 R_{H0} ($15k$) と R_{L0} ($30k$) がアクティブ状態となる。また、データ "10" を書き込む場合、制御信号が $High$ 状態となり、レベルシフト回路 38 の出力信号 $HG1$ が V_{pp} ($12V$) となって、10 用レギュレータ部 22c がアクティブ状態となる。また、制御信号 $WLV S[3:0]$ が 0000 となり、トランジスタ $H S 0$ がオンし、 Ref 電圧が $6V$ となる。その結果、スタート電圧(書き込み開始電圧)として $6V$ がセットされ、プログラム(書き込み)すべきメモリセルのコントロールゲートがつながるワード線には $6V$ が出力され、プログラム(書き込み)すべきメモリセルのドレインには $5V$ の電圧が出力され、書き込みが行われ、そのメモリセルのしきい値電圧が上昇する。

30

【0072】

次に、ベリファイが行われ、しきい値電圧が $3.7V$ 以上のメモリセルについては、次にパルス印加時にはドレインをオープンにしてドレイン電圧の出力を行わない。一方、 $3.7V$ 以下のメモリセルが存在する場合、制御信号 $WLV S[3:0]$ が 0001 に変化し、トランジスタ $H S 1$ がオンし、 Ref 電圧が $6.3V$ となる。その結果、ワード線に $6.3V$ が出力され、プログラム(書き込み)が行われる。

40

【0073】

次に、ベリファイを行い、メモリセルのしきい値電圧が $3.7V$ 以上かどうか確認し、 $3.7V$ 以上のメモリセルはそこでプログラムパルス印加(ドレイン電圧印加)を終了し、もし、 $3.7V$ 以下のメモリセルが存在する場合は、ワード線電圧をベリファイを行った後、制御信号 $WLV S[3:0]$ のインクリメントしてプログラムパルス印加を行い、このベリファイとプログラムパルス印加をしきい値電圧が $3.7V$ 以下のメモリセルがなくなるまで繰り返す。

【0074】

さらに、データ "01"、データ "00" (しきい値電圧を $4.7V \sim 5V$ 、 $5.7V$ 以

50

上)が存在すれば、次に、しきい値電圧を4.7V以上にする動作を行う。この場合、01用レギュレータ部22cをアクティブ状態とする。上記のように、同様の手法でしきい値電圧を4.7V~5V範囲にしきい値電圧を高める。さらに、データ“00”では、00用レギュレータ部22aをアクティブ状態とし、同様にしてしきい値電圧を5.7V以上とする。

【0075】

以上のようにしきい値電圧の低いデータ“10”から書き込みを行い、終了すれば、次いでデータ“01”、さらにデータ“00”としきい値電圧の高いデータの書き込みを行っていく。

【0076】

次に、メモリセルの特性にばらつきがある場合について説明する。

【0077】

〔(1) $V_t > V_g$ の場合〕

例えば、 $V_t = 1.2 \times V_g$ の場合、しきい値電圧の変化幅 V_t を0.3Vとするためには、電圧増加幅 $V_g = 0.25V$ とする必要がある。この場合、ウエハテスト等でこのチップのメモリセルの特性を測定し、電圧増加幅 V_g が0.25Vであることを表す情報をパルス電圧ステップ幅記憶回路23(図3に示す)に記憶する。この場合、選択制御信号CD[1:0]=01が出力されるように記憶され、プログラムが開始されると、抵抗RL1(36.1k)と抵抗RH1(16.1k)が選択される。まず、制御信号WLVS[3:0]が0000となり、トランジスタHS0がオンし、Ref電圧が6Vとなる。その結果、スタート電圧として6Vがセットされ、プログラム(書き込み)すべきメモリセルがつながるワード線に6Vが出力され、プログラム(書き込み)すべきメモリセルのドレインには5Vの電圧が出力され、メモリセルに書き込みが行われて、しきい値電圧が上昇する。

【0078】

次に、ベリファイが行われ、しきい値電圧が3.7V以上のものについては、次にパルス印加時にはドレイン電圧の出力を行わない。一方、しきい値電圧が3.7V以下のメモリセルが存在する場合、制御信号WLVS[3:0]が0001となり、トランジスタHS1がオンし、Ref電圧が6.25Vとなる。その結果、ワード線電圧に6.25Vが出力され、プログラム(書き込み)が行われる。

【0079】

次に、ベリファイを行い、メモリセルのしきい値電圧が3.7V以上かどうか確認し、しきい値電圧が3.7V以上のメモリセルはそこでプログラムパルス印加(ドレイン電圧印加)を終了し、もし、しきい値電圧が3.7V以下のメモリセルが存在する場合は、制御信号WLVS[3:0]をインクリメントしてプログラムパルス印加を行い、このベリファイとプログラムパルス印加をしきい値電圧が3.7V以下のメモリセルがなくなるまで繰り返す。

【0080】

さらに、データ“01”、データ“00”(しきい値電圧を4.7V~5V、5.7V以上)が存在すれば、次に、しきい値電圧を4.7V以上にする動作を行う。この場合、01用レギュレータ部22cをアクティブ状態とする。このように、同様の手法でしきい値電圧を4.7V~5V範囲にしきい値電圧を高める。さらに、データ“00”では、00用レギュレータ部22aをアクティブ状態とし、同様にしてしきい値電圧を5.7V以上とする。

【0081】

この動作は先述の $V_t = V_g$ の場合と同じである。

【0082】

〔(2) $V_t < V_g$ の場合〕

例えば、 $V_t = 0.8 \times V_g$ の場合、しきい値電圧の変化幅 V_t を0.3Vとするためには、電圧増加幅 $V_g = 0.375V$ とする必要がある。この場合、ウエハテスト等でこのチップのメモリセルの特性を測定し、電圧増加幅 V_g が0.375Vであることを表

10

20

30

40

50

す情報をパルス電圧ステップ幅記憶回路23(図3に示す)に記憶する。この場合、選択制御信号 $CD[1:0]=10$ が出力されるように記憶され、プログラム(書き込み)が開始されると、抵抗 $RL2(24k)$ と抵抗 $RH2(9k)$ が選択される。

【0083】

また、制御信号 $WLV S[3:0]$ が0000となり、トランジスタ $HS0$ がオンし、 Ref 電圧が6Vとなる。その結果、スタート電圧として6Vがセットされ、プログラム(書き込み)すべきメモリセルがつながるワード線に6Vが出力され、プログラム(書き込み)すべきメモリセルのドレインには5Vの電圧が出力され、メモリセルに書き込みが行われて、しきい値電圧が上昇する。

【0084】

次に、ベリファイが行われ、しきい値電圧が3.7V以上のものについては、次にパルス印加時にはドレイン電圧の出力を行わない。一方、しきい値電圧が3.7V以下のメモリセルが存在する場合、制御信号 $WLV S[3:0]$ が0001となり、トランジスタ $HS1$ がオンし、 Ref 電圧が6.375Vとなる。その結果、ワード線は6.375Vが出力され、プログラム(書き込み)が行われる。

【0085】

次に、ベリファイを行い、メモリセルのしきい値電圧が3.7V以上かどうか確認し、しきい値電圧が3.7V以上のメモリセルはそこでプログラムパルス印加(ドレイン電圧印加)を終了し、もし、しきい値電圧が3.7V以下のメモリセルが存在する場合は、同様に制御信号 $WLV S[3:0]$ をインクリメントしてプログラムパルス印加を行い、このベリファイとプログラムパルス印加をしきい値電圧3.7V以下のメモリセルがなくなるまで繰り返す。

【0086】

さらに、データ“01”、データ“00”(しきい値電圧を4.7V~5V、5.7V以上)が存在すれば、次に、しきい値電圧を4.7V以上にする動作を行う。この場合、01用レギュレータ部22cをアクティブ状態とする。このように、同様の手法でしきい値電圧を4.7V~5V範囲に高める。さらに、データ“00”では、00用レギュレータ部22aをアクティブ状態とし、同様にしてしきい値電圧を5.7V以上とする。

【0087】

このように、上記第1実施形態の不揮発性半導体メモリ装置としての4値フラッシュメモリでは、デバイスのメモリセルの書き込み特性に合わせて電圧増加幅 Vg を変えることで、1パルスでメモリセルのしきい値電圧がシフトする量を全てのチップで約0.3Vとすることが可能となり、書き込み速度の劣化を防止すると共に、読み出しマージンを確保でき、信頼性の向上を図ることが可能となる。

【0088】

また、テスト結果を反映させた電圧増加幅 Vg が設定可能であるため、确实性を向上することができる。

【0089】

(第2実施形態)

図6にこの発明の第2実施形態の不揮発性半導体メモリ装置としての4値フラッシュメモリに用いられるワード線電圧制御回路(書き込み用)の概要を示すブロック図であり、上記ワード線電圧制御回路のワード線出力電圧は、6V~9.175Vまで0.025V刻みで出力可能となっている。図6において、41は書き込み制御手段としてのプログラム/イレース制御回路、42は上記プログラム/イレース制御回路21に選択制御信号 $CD[3:0]$ を出力する記憶手段としてのパルス電圧ステップ幅記憶回路、43は上記プログラム/イレース制御回路21からの制御信号 $WLV S[6:0]$ を受ける電圧供給手段としてのワード線レギュレータ回路である。なお、上記制御信号 $WLV S[6:0]$ は、 $WLV S6, WLV S5, \dots, WLV S1$ および $WLV S0$ の7つの信号を表し、選択制御信号 $CD[3:0]$ は、 $CD3, \dots, CD0$ の4つの信号を表している。

【0090】

10

20

30

40

50

また、図7は図6に示すワード線電圧制御回路(書き込み用)内のワード線レギュレータ回路の詳細回路図である。

【0091】

図7に示すように、制御信号 e_n をレベルシフト回路51の入力端子に接続し、そのレベルシフト回路51の出力端子をpMOSトランジスタHのゲートに接続している。上記pMOSトランジスタH0のソースを電源 V_{pp} (例えば12V)に接続し、pMOSトランジスタHのドレインを抵抗 R_{H1} を介して端子T127に接続している。上記端子T127に126個の抵抗 R_1 を直列に接続している。上記直列に接続された抵抗 R_1 の接続点を端子T127側から端子T126~T1とし、終端を端子T0とする。なお、上記レベルシフト回路51は、インバータタイプの昇圧用レベルシフト回路であり、第1実施形態と同じである。

10

【0092】

また、上記制御信号 e_n をnMOSトランジスタLのゲートに接続している。上記nMOSトランジスタLのソースをグランドに接続し、nMOSトランジスタLのドレインを抵抗 R_{L1} を介して端子T0に接続している。

【0093】

次に、端子T127にnMOSトランジスタHS127のドレインを接続し、同様にして端子T126~T0にnMOSトランジスタHS126~HS0のドレインを順次接続している。上記nMOSトランジスタHS127~HS0のソースは共通に接続されている。また、図6に示すプログラム/イレース制御回路41からの制御信号 $WLV_S[6:0]$ が抵抗値選択ロジック回路52に入力され、抵抗値選択ロジック回路52から出力された制御信号 $HS[1$

20

27:0]をnMOSトランジスタHS127~HS0のゲートに夫々入力している。

【0094】

次に、上記nMOSトランジスタHS127~HS0の共通に接続されたソースから出力された Ref 信号を、増幅器53の正極側入力端子に入力し、増幅器53の出力端子をnMOSトランジスタT $_{rout}$ のドレインに接続し、そのnMOSトランジスタT $_{rout}$ のソースを増幅器53の負極側入力端子に接続して、ボルテージフォロア回路を形成している。そして、制御信号 e_n をnMOSトランジスタT $_{rout}$ のゲートに入力している。

【0095】

この第2実施形態のフラッシュメモリは、抵抗 R_1 をシリーズ(直列)に127個接続したもので、抵抗 R_1 の両端の電圧差を0.025Vと細かく設定することで、第1実施形態の図3に示す00用レギュレータ部22a、01用レギュレータ部22bおよび10用レギュレータ部22cを、1つのワード線レギュレータ回路43にまとめている。

30

【0096】

まず、上記ワード線レギュレータ回路43は、図7に示すように、抵抗 R_{H1} と抵抗 R_{L1} と127個の R_1 がシリーズ(直列)に接続され、抵抗 R_1 の各接続点の端子T0~T127は、各々nMOSトランジスタHS0~HS127を介して接続される Ref 電圧ノードとなっている。

【0097】

Ref 電圧はボルテージフォロア回路を構成する増幅器43の正極側入力端子に接続されて低インピーダンス化され、信号 HVP としてワード線ドライバ回路(図示せず)に出力される。また、制御信号 e_n は、書き込みパルス制御信号であり、書き込みパルスが出力されるとき、Highレベルとなる。上記ボルテージフォロア回路の出力段にあるnMOSトランジスタT $_{rout}$ は、制御信号 e_n がHighレベルのときにオンして Ref 電圧を出力し、Lowレベルのときは、オープン状態となる。

40

【0098】

また、上記抵抗選択ロジック回路42は、プログラム/イレース制御回路41(図6に示す)からの7ビットの制御信号 $WLV_S[6:0]$ を受け、この信号に応じて、制御信号HS0~127のいずれか1つにデコードするデコーダである。

【0099】

上記抵抗選択ロジック回路42は、先の第1実施形態と同様に既存の回路で容易に構成

50

できるものである。

【0100】

表2に制御信号WLVS[6:0]と、nMOSトランジスタHS0~HS127のうちでオンするトランジスタおよびRef電圧の関係を示している。

【0101】

【表2】

WLVS(7ビット)	オンするトランジスタ	Ref電圧
0000000	HS0	6.000V
0000001	HS1	6.025V
0000010	HS2	6.050V
0000011	HS3	6.075V
0000100	HS4	6.100V
0000101	HS5	6.125V
0000110	HS6	6.150V
0000111	HS7	6.175V
0001000	HS8	6.200V
}	}	}
0001010	HS10	6.250V
}	}	}
0001100	HS12	6.300V
}	}	}
0001111	HS15	6.375V
}	}	}
0000000	HS127	9.175V

10

20

【0102】

このため、パルス電圧ステップ幅記憶回路42では、電圧増加幅 V_g として使用したい値をビットに換算して記憶させる。記憶する時期は、第1実施形態と同じである。上記パルス電圧ステップ幅記憶回路42で記憶に必要なビット数は、抵抗R1のシリーズ抵抗で設定する電圧差と、想定する電圧増加幅 V_g の関係で決まるが、この第2実施形態では4ビットで記憶している。表3は、選択制御信号CVD[3:0]と電圧増加幅 V_g との関係を示している。

【0103】

【表3】

30

CVD[3 : 0]	電圧増加幅 ΔV_g
1001	0.225
1010	0.25
1011	0.275
1100	0.3
1101	0.325
1110	0.35
1111	0.375

10

【0104】

例えば、電圧増加幅 V_g を0.3Vとした場合は、以後、制御信号WLV S[6 : 0]の値0000000に、1100(実際は、0001100)を順次加算しステップアップした値を使用すれば良いことになる。また、電圧増加幅 V_g を0.25Vとした場合は、以後、制御信号WLV S[6 : 0]の値0000000に、1010(実際は、0001010)を順次加算し、ステップアップした値を使用すれば良いことになる。また、電圧増加幅 V_g を0.375Vとした場合は、以後、制御信号WLV S[6 : 0]の値0000000

20

【0105】

図6から判るように、上記パルス電圧ステップ幅記憶回路42は、プログラム/イレーズ制御回路41と直接接続される形になっており、ワード線レギュレータ回路43とは接続されていない。

【0106】

プログラム(書き込み)が開始されると、 $V_t = V_g$ が成り立つ場合、パルス電圧ステップ幅記憶回路42は、選択制御信号CVD[3 : 0]は1100が出力され、まず、制御信号WLV S[6 : 0]が0000000となり、トランジスタHS0がオンし、Ref電圧が6Vとなる。結果、スタート電圧(書き込み開始電圧)として6Vがセットされ、プログラム(書き込み)すべきメモリセルがつながるワード線には6Vが出力され、プログラム(書き込み)すべきメモリセルのドレインには5Vが出力されて、書き込みが行われ、メモリセルのしきい値電圧が上昇する。

30

【0107】

次に、ベリファイが行われ、しきい値電圧が3.7V以上のものについては、次にパルス印加時にはドレイン電圧の出力を行わない。一方、しきい値電圧が3.7V以下のメモリセルが存在する場合、制御信号WLV S[6 : 0]に1100が加算され、0001100となり、トランジスタHS12がオンし、Ref電圧が6.3Vとなる。その結果、ワード線に6.3Vが出力され、プログラム(書き込み)が行われる。

40

【0108】

次に、ベリファイを行い、メモリセルのしきい値電圧が3.7V以上かどうか確認し、しきい値電圧が3.7V以上のメモリセルはそこでプログラムパルス印加(ドレイン電圧印加)を終了し、もし、しきい値電圧が3.7V以下のメモリセルが存在する場合は、制御信号WLV S[6 : 0]にさらに1100を加算し、トランジスタHS24をオンし、以後同様にして制御信号WLV S[6 : 0]をインクリメントしてプログラムパルス印加を行い、このベリファイとプログラムパルス印加をしきい値電圧3.7V以下のメモリセルがなくなるまで繰り返す。

【0109】

さらに、データ“01”、データ“00”(しきい値電圧を4.7V~5V、5.7V以

50

上)が存在すれば、次に、しきい値電圧を4.7V以上にする動作を行う。同様の手法でしきい値電圧を4.7V～5V範囲にしきい値電圧を高める。さらに、データ“00”では、同様にしきい値電圧を5.7V以上とする。

【0110】

以下、メモリセルの特性にばらつきがある場合について説明する。

【0111】

〔(1) $V_t > V_g$ の場合〕

例えば、 $V_t = 1.2 \times V_g$ の場合、しきい値電圧の変化幅 V_t を0.3Vとするためには、電圧増加幅 $V_g = 0.25V$ とする必要がある。この場合、ウエハテスト等でこのチップのメモリセルの特性を測定し、電圧増加幅 V_g が0.25Vであることを表す情報

10

をパルス電圧ステップ幅記憶回路42に記憶する。この場合、 $CVD[3:0] = 1010$ が出力されるように記憶される。

【0112】

まず、制御信号 $WLVS[6:0]$ が0000000となり、トランジスタHS0がオンし、Ref電圧が6Vとなる。その結果、スタート電圧として6Vがセットされ、プログラム(書き込み)すべきメモリセルがつながるワード線に6Vが出力され、プログラム(書き込み)すべきメモリセルのドレインに5Vが出力されて、書き込みが行われ、しきい値電圧が上昇する。

【0113】

次に、ベリファイが行われ、しきい値電圧が3.7V以上のものについては、次にパルス印加時にはドレイン電圧の出力を行わない。一方、しきい値電圧が3.7V以下のメモリセルが存在する場合、制御信号 $WLVS[6:0]$ が0001010となり、トランジスタHS10がオンし、Ref電圧が6.25Vとなる。その結果、ワード線電圧には6.25Vが出力され、プログラム(書き込み)が行われる。

20

【0114】

次に、ベリファイを行い、メモリセルのしきい値電圧が3.7V以上かどうか確認し、しきい値電圧3.7V以上のメモリセルはそこでプログラムパルス印加(ドレイン電圧印加)を終了し、もし、しきい値電圧3.7V以下のメモリセルが存在する場合は、制御信号 $WLVS[6:0]$ にさらに1010を加算し、トランジスタHS20をオンさせる。以後、同様にしきい値電圧3.7V以下のメモリセルがなくなるまで繰り返す。

30

【0115】

さらに、データ“01”、データ“00”(しきい値電圧を4.7V～5V、5.7V以上)が存在すれば、次に、しきい値電圧を4.7V以上にする動作を行う。この場合、このように、同様の手法でしきい値電圧を4.7V～5V範囲にしきい値電圧を高める。さらに、データ“00”では、同様にしきい値電圧を5.7V以上とする。

【0116】

〔(2) $V_t < V_g$ の場合〕

例えば、 $V_t = 0.8 \times V_g$ の場合、しきい値電圧の変化幅 V_t を0.3Vとするためには、電圧増加幅 $V_g = 0.375V$ とする必要がある。この場合、ウエハテスト等でこのチップのメモリセルの特性を測定し、電圧増加幅 V_g が0.375Vであることを表す情報をパルス電圧ステップ幅記憶回路42に記憶する。この場合、 $CVD[3:0] = 1111$ が出力されるように記憶される。

40

【0117】

また、制御信号 $WLVS[6:0]$ が0000000となり、トランジスタHS0がオンし、Ref電圧が6Vとなる。その結果、スタート電圧として6Vがセットされ、プログラム(書き込み)すべきメモリセルがつながるワード線に6Vが出力され、プログラム(書き込み)すべきメモリセルのドレインに5Vが出力されて、書き込みが行われ、しきい値電圧が上昇する。

50

【0118】

次に、ベリファイが行われ、しきい値電圧が3.7V以上のものについては、次にパルス印加時にはドレイン電圧の出力を行わない。一方、しきい値電圧が3.7V以下のメモリセルが存在する場合、制御信号WLV S [6 : 0]をさらに1111を加算し、トランジスタHS30をオンさせる。以後、同様にして制御信号WLV S [6 : 0]が0001111となり、トランジスタHS15がオンし、Ref電圧が6.375Vとなる。その結果、ワード線電圧には6.375Vが出力され、プログラム(書き込み)が行われる。

【0119】

次に、ベリファイを行い、メモリセルのしきい値電圧が3.7V以上かどうか確認し、しきい値電圧が3.7V以上のメモリセルはそこでプログラムパルス印加(ドレイン電圧印加)を終了し、もし、しきい値電圧が3.7V以下のメモリセルが存在する場合は、制御信号WLV S [6 : 0]をインクリメントしてプログラムパルス印加を行い、このベリファイとプログラムパルス印加をしきい値電圧が3.7V以下のメモリセルがなくなるまで行う。

10

【0120】

さらに、データ“01”、データ“00”(しきい値電圧を4.7V~5V、5.7V以上)が存在すれば、次に、しきい値電圧を4.7V以上にする動作を行う。このように、同様の手法でしきい値電圧を4.7V~5V範囲に高める。さらに、データ“00”では、同様にしてしきい値電圧を5.7V以上とする。

【0121】

このように、上記第2実施形態の不揮発性半導体メモリ装置としての4値フラッシュメモリは、デバイス単位(チップ単位)で電圧増加幅 Vgを設定できることから、各デバイスの書き込み特性に合致した電圧増加幅 Vgを設定でき、これにより、特にデータ“01”や“10”の中間電圧値を記憶したメモリセルのしきい値電圧分布の広がりの少ないものにすることができるため、読み出し不良の起きない信頼性の高い多値書き込みができる不揮発性半導体メモリ装置を提供することができる。

20

【0122】

また、テスト結果を反映させた電圧増加幅 Vgが設定可能であるため、确实性を向上することができる。

【0123】

また、この発明の不揮発性半導体メモリ装置は、デバイス単位(チップ単位)で電圧増加幅 Vgを設定するので、書き込み方式がチャンネルホットエレクトロン方式またはFN(Fowler-Nordheim; ファウラーノードハイム)トンネル現象を用いた方式等の書き込み方式にも適用でき、書き込み方式に限定されない。

30

【0124】

また、この発明の不揮発性半導体メモリ装置は、NOR型、NAND型およびAND型等のメモリセルアレイ構造にも限定されないし、トリプルウェル構造等のメモリセルの構造にも限定されない。

【0125】

また、上記第1,第2実施形態では、書き込みはフローティングゲートへの電子の注入による書き込み方式で説明したが、フローティングゲートから電子を引き抜く方式で書き込む場合にも適用できる。

40

【0126】

また、上記第1,第2実施形態では、説明を簡単にするために、データ“10”、“01”、“00”全て、6Vからプログラム(書き込み)スタートする例で説明したが、書き込み時間を短縮するために、しきい値電圧の高いデータ“01”は、より高い書き込み電圧をスタート電圧に設定し、さらにデータ“00”はさらに高い書き込み電圧をスタート電圧に設定して、データ“10”、“01”、“00”に応じてスタート電圧を異ならせてもよい。

【0127】

50

なお、上記第1,第2実施形態の説明で使用した制御信号WLV Sや選択制御信号CD, CVD等の制御信号のビット数や電圧増加幅 V_g の設定可能幅等は、要求される電圧増加幅 V_g や書き込み特性のパラツキ幅に応じて適時設定すれば良い。

【0128】

また、上記第2実施形態では、電圧増加幅 V_g の設定幅により、使用しないと既に明らかなnMOSトランジスタHSは、配置しなくても良い(例えば、表2のトランジスタHS1~HS9等)。また、トランジスタHS12, HS24, HS36,...のように各ステップの中心値から、特性バラツキに応じた電圧増加幅 V_g に対応するトランジスタ(例えば、トランジスタHS12に対してトランジスタHS10~HS15)のみを配置しても良い。

【0129】

上記第1,第2実施形態では、ワード線電圧制御回路内で抵抗R1のシリーズ(直列)接続の接続ノードから電圧増加幅 V_g を選択しているが、複数の抵抗が直列に接続された抵抗分圧器による電圧発生は、最も簡単でレイアウト面積もとらない方法であり、デバイス(チップ)の製造条件により抵抗値がばらついて、抵抗比は安定しているため、安定した確実な電圧増加幅 V_g を得ることができる。

【0130】

上記第1,第2実施形態では、不揮発性半導体メモリ装置としての4値フラッシュメモリについて説明したが、4値フラッシュメモリに限らずフローティングゲートに3値以上の電荷状態が形成される不揮発性半導体メモリ装置にこの発明を適用できる。

【0131】

【発明の効果】

以上より明らかなように、この発明の不揮発性半導体メモリ装置によれば、デバイスのばらつきに影響されることなく、1パルスでしきい値電圧がシフトする量を所定値(約0.3V)とすることが可能となり、書き込み速度の劣化を防止すると共に、読み出しマージンを確保でき、信頼性の向上を図ることが可能となる。

【図面の簡単な説明】

【図1】 図1はこの発明の第1実施形態の不揮発性半導体メモリ装置としての4値フラッシュメモリのブロック図である。

【図2】 図2は上記フラッシュメモリのメモリセルアレイの1ブロック分の回路図である。

【図3】 図3は上記ワード線電圧制御回路の概要を示すブロック図である。

【図4】 図4は上記ワード線電圧制御回路のワード線レギュレータ回路のレギュレータ部を示す回路図である。

【図5】 図5は上記レギュレータ部の一部を示す回路図である。

【図6】 図6はこの発明の第2実施形態の不揮発性半導体メモリ装置としてのフラッシュメモリのワード線電圧制御回路の概要を示すブロック図である。

【図7】 図7は上記ワード線電圧制御回路のワード線レギュレータ回路の回路図である。

【図8】 図8は従来の不揮発性半導体メモリ装置としてのフラッシュメモリの断面構造を示す図である。

【図9】 図9は2値フラッシュメモリのしきい値電圧の状態を示す図である。

【図10】 図10(a)~(d)は4値フラッシュメモリのフローティングゲートの電荷状態を示す図である。

【図11】 図11(a)~(b)は2値フラッシュメモリのフローティングゲートの電荷状態を示す図である。

【図12】 図12は4値フラッシュメモリのしきい値電圧の状態を示す図である。

【図13】 図13は従来のプログラムアルゴリズムを説明するフローチャートである。

【図14】 図14は図13に続くフローチャートである。

【図15】 図15はデータ“10”書き込み時のワード線電圧の遷移図を示す図である。

。

10

20

30

40

50

【図16】 図16はプログラムパルスを1パルス印加した直後のしきい値電圧の分布を示す図である。

【図17】 図17はゲート電圧を変化させながらパルス印加を行った場合のしきい値電圧の分布を示す図である。

【図18】 図18はゲート電圧とプログラム後の下限しきい値電圧 V_{tmax} と上限しきい値電圧 V_{tmax} の関係を示す図である。

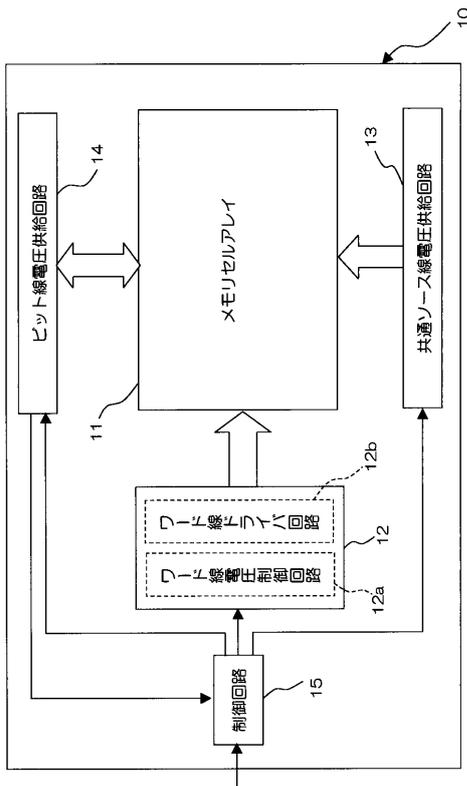
【符号の説明】

- 10 ... フラッシュメモリ、
- 11 ... メモリセルアレイ、
- 12 ... ワード線電圧供給回路、
- 13 ... 共通ソース線電圧供給回路、
- 14 ... ビット線電圧供給回路、
- 15 ... 制御回路、
- 21, 41 ... プログラムノイズ制御回路、
- 22, 43 ... ワード線レギュレータ回路、
- 22a... 00用レギュレータ部、
- 22b... 01用レギュレータ部、
- 22c... 10用レギュレータ部、
- 23, 42 ... パルス電圧ステップ幅記憶回路、
- 31, 36 ... NOR回路、
- 32 ~ 34, 51 ... インバータタイプのレベルシフト回路、
- 35, 52 ... 抵抗値選択ロジック回路、
- 37, 53 ... 増幅器、
- 38 ... レベルシフト回路、
- 100 ... メモリセル。

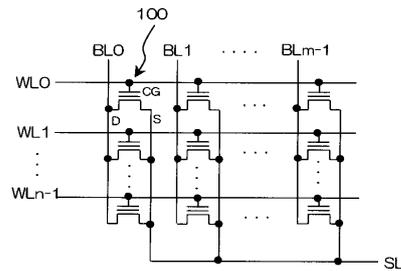
10

20

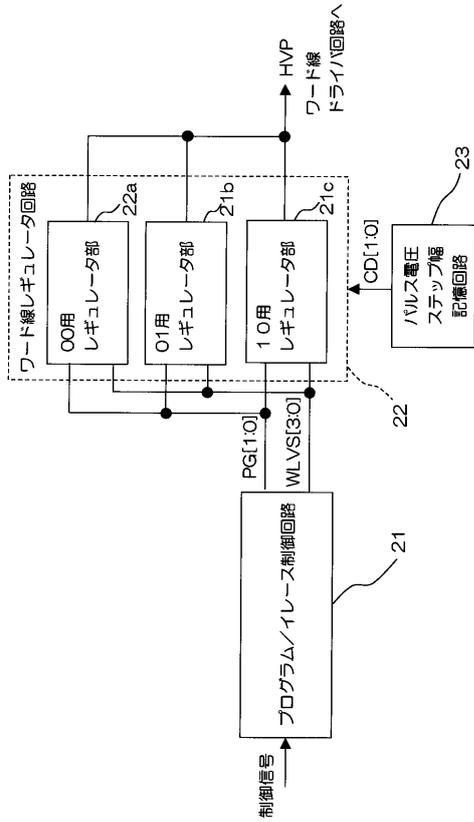
【図1】



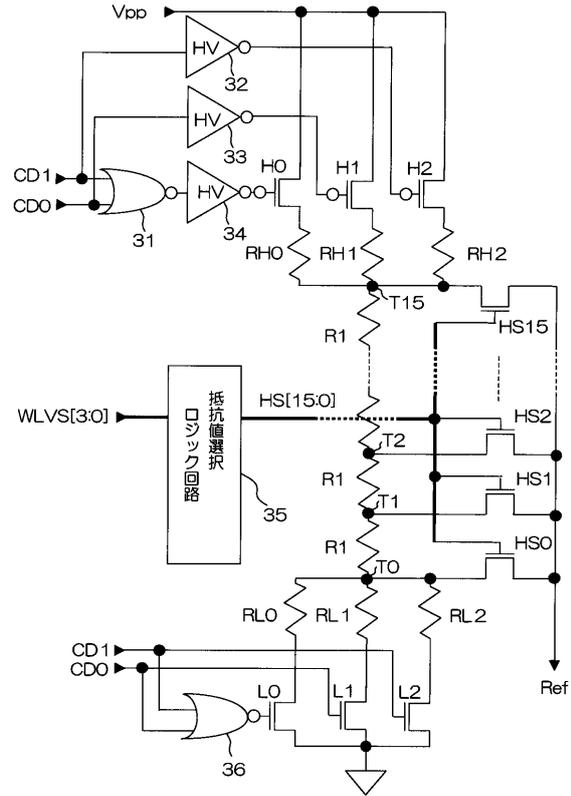
【図2】



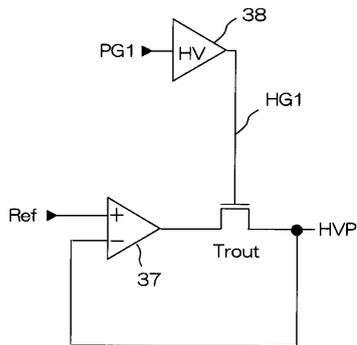
【図3】



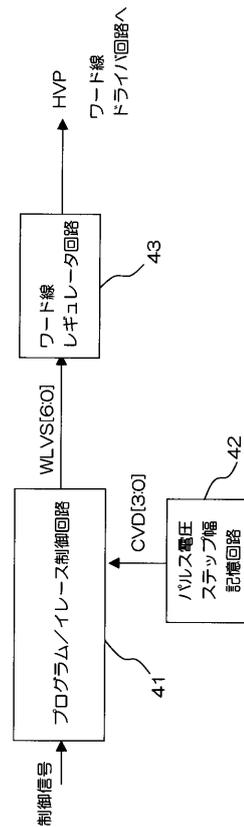
【図4】



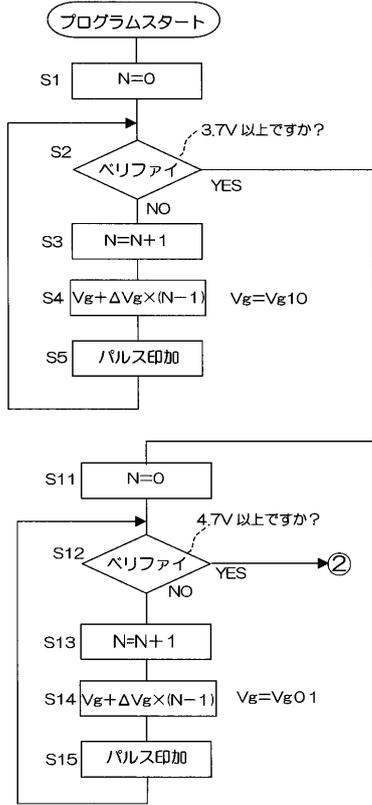
【図5】



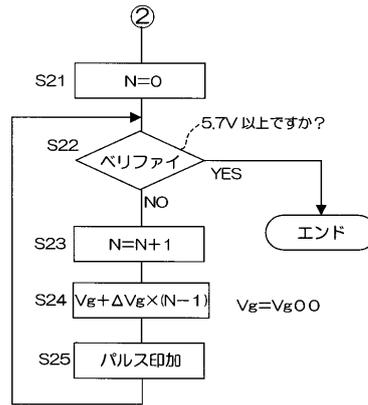
【図6】



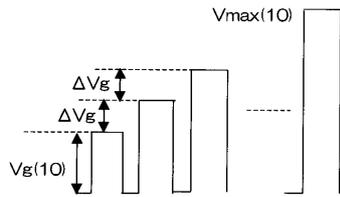
【 図 1 3 】



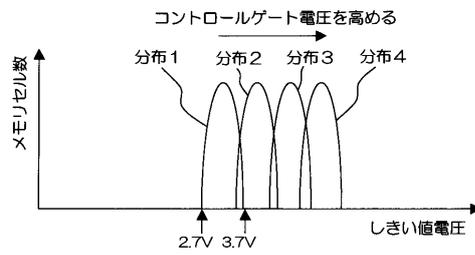
【 図 1 4 】



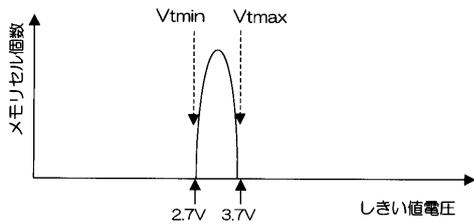
【 図 1 5 】



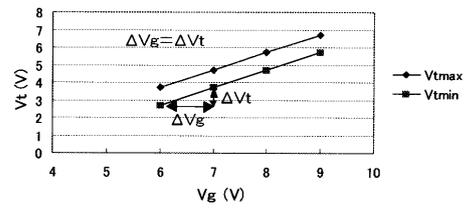
【 図 1 7 】



【 図 1 6 】



【 図 1 8 】



フロントページの続き

- (56)参考文献 特開2001-057091(JP,A)
特開2000-049314(JP,A)
特開平11-353889(JP,A)
特開2000-243095(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/00-16/34