

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6402591号
(P6402591)

(45) 発行日 平成30年10月10日(2018.10.10)

(24) 登録日 平成30年9月21日(2018.9.21)

(51) Int.Cl.		F I			
HO2M	1/00	(2007.01)	HO2M	1/00	E
HO2M	1/08	(2006.01)	HO2M	1/08	A
HO1L	21/822	(2006.01)	HO1L	27/04	H
HO1L	27/04	(2006.01)	HO3K	17/08	Z
HO3K	17/08	(2006.01)	HO3K	17/08	C

請求項の数 4 (全 13 頁)

(21) 出願番号 特願2014-222433 (P2014-222433)
 (22) 出願日 平成26年10月31日(2014.10.31)
 (65) 公開番号 特開2016-92907 (P2016-92907A)
 (43) 公開日 平成28年5月23日(2016.5.23)
 審査請求日 平成29年9月13日(2017.9.13)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 内藤 達也
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 大月 正人
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 小池 堂夫

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

I G B Tと、

前記 I G B T と同一チップに形成されて、前記 I G B T よりも耐圧が低く、ドレインおよびソースが前記 I G B T のコレクタおよびエミッタにそれぞれ接続された M O S F E T と、

第1のゲートである前記 I G B T のゲートに第1の制御信号を出力し、第2のゲートである前記 M O S F E T のゲートに第2の制御信号を出力するとともに、前記 I G B T の過電流を検出する過電流検出回路と、前記第1の制御信号を強制的にオフ信号にする強制オフ回路とを有する制御 I C と、

を備え、

前記強制オフ回路は、前記過電流検出回路が前記 I G B T の過電流を検出したときに過電流検出状態を保持するラッチ回路と、前記ラッチ回路が前記過電流検出状態を保持した後、値が連続変化するランプ電圧を出力するランプ電圧生成回路と、前記ランプ電圧に従って前記第1の制御信号の値をターンオフの方向に変化させて前記 I G B T をソフトオフするソフトオフ制御回路とを有し、

前記制御 I C は、前記第1の制御信号および前記第2の制御信号により前記 I G B T および前記 M O S F E T をターンオン制御している期間に前記過電流検出回路が過電流を検出したとき、前記強制オフ回路が前記第1の制御信号を強制的にソフトオフ信号にすることを特徴とする半導体装置。

【請求項 2】

前記制御 IC は、前記 MOSFET の過電流を検出する第 2 の過電流検出回路と、前記第 2 の制御信号を強制的にオフ信号にする第 2 の強制オフ回路とを有し、前記強制オフ回路が前記第 1 の制御信号を強制的にオフ信号にした後、前記第 2 の過電流検出回路が前記 MOSFET の過電流を検出したときに、前記第 2 の強制オフ回路が前記第 2 の制御信号を強制的にオフ信号にすることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

I G B T と、

前記 I G B T と同一チップに形成されて、前記 I G B T よりも耐圧が低く、ドレインおよびソースが前記 I G B T のコレクタおよびエミッタにそれぞれ接続された MOSFET と、

10

第 1 のゲートである前記 I G B T のゲートに第 1 の制御信号を出力し、第 2 のゲートである前記 MOSFET のゲートに第 2 の制御信号を出力するとともに、前記 I G B T の過電流を検出する第 1 の過電流検出回路と、前記第 1 の制御信号を強制的にオフ信号にする第 1 の強制オフ回路と、前記 I G B T のコレクタとエミッタとの間の過電圧を検出する過電圧検出回路と、前記 MOSFET の過電流を検出する第 2 の過電流検出回路と、前記第 2 の制御信号を強制的にオフ信号にする第 2 の強制オフ回路とを有する制御 IC と、
を備え、

前記制御 IC は、

前記第 1 の制御信号および前記第 2 の制御信号により前記 I G B T および前記 MOSFET をターンオン制御している期間に前記第 1 の過電流検出回路が過電流を検出したとき、前記第 1 の強制オフ回路が前記第 1 の制御信号を強制的にオフ信号にし、前記第 1 の強制オフ回路が前記第 1 の制御信号を強制的にオフ信号にした後、前記過電圧検出回路が過電圧を検出し、かつ、前記第 2 の過電流検出回路が前記 MOSFET の過電流を検出したときに、前記第 2 の強制オフ回路が前記第 2 の制御信号を強制的にオフ信号にすることを特徴とする半導体装置。

20

【請求項 4】

前記 MOSFET は、超接合型 MOSFET であることを特徴とする請求項 1 または 3 記載の半導体装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は半導体装置に関し、特に I G B T (Insulated Gate Bipolar Transistor) と MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と制御 IC (Integrated Circuit) とを備えた半導体装置に関する。

【背景技術】

【0002】

電源装置、モータ制御などのインバータ回路においては、パワー半導体素子として、I G B T または MOSFET が一般に使用されている。I G B T は、高耐圧および大電流の領域において、オン抵抗が小さい特性を有し、一方、MOSFET は、中・低耐圧および小電流の領域において、オン抵抗が小さい特性を有している。そこで、I G B T および MOSFET の特性を利用して、低耐圧から高耐圧および小電流から大電流にわたって、オン抵抗を小さい特性にした半導体装置が知られている（たとえば、特許文献 1、特許文献 2 参照）。

40

【0003】

パワー半導体素子は、このパワー半導体素子を駆動する駆動回路および保護回路を内蔵した制御 IC と同一のパッケージに集約して I P M (Intelligent Power Module) として構成される半導体装置が使用されている。

【0004】

図 7 は従来の I G B T および MOSFET を備えた半導体装置の一例を示す回路図であ

50

る。

この半導体装置は、パワー半導体素子100と制御IC101とを備えている。パワー半導体素子100は、IGBT102とMOSFET103とが並列に接続されている。すなわち、IGBT102のエミッタとMOSFET103のソースとがパワー半導体素子100の端子Eおよび端子S0に接続され、IGBT102のコレクタとMOSFET103のドレインとがパワー半導体素子100の端子Cに接続されている。また、IGBT102のゲートは、抵抗104を介してパワー半導体素子100の端子G0に接続され、MOSFET103のゲートは、パワー半導体素子100の端子G0に直接接続されている。なお、MOSFET103に逆並列に接続されているダイオード105は、MOSFET103に形成されるボディダイオードであり、パワー半導体素子100の端子Eからの電流を還流させるフリーホイリングダイオードとして機能する。パワー半導体素子100の端子S0および端子G0は、それぞれ制御IC101の端子U0および端子T0に接続されている。

10

【0005】

IGBT102とMOSFET103とを並列接続したことにより、パワー半導体素子100は、MOSFET103の特性を利用して、低電流領域でのオン抵抗を小さくすることにより定常損失を低くすることができる。一方、大電流領域では、IGBT102の特性となり、素子破壊を防ぐことができる。

【0006】

さらに、IGBT102のゲートに値の高い抵抗104を付加し、パワー半導体素子100のターンオン時に、MOSFET103を先にオンし、IGBT102を後にオンするようにしたことで、帰還容量を低減してターンオン損失を減らしている。

20

【0007】

また、制御IC101は、特に図示はしないが、過電流保護回路を備えている。この過電流保護回路は、たとえば、IGBT102のエミッタを流れる電流を端子U0にて監視し、エミッタを流れる電流が所定の閾値を超えた場合に、端子T0の電位を強制的に低下させてIGBT102およびMOSFET103をオフさせる。

【0008】

以上のような構成の半導体装置は、たとえば、同じ構成の別の半導体装置を用意し、それぞれのパワー半導体素子を直列に接続してトータムポール回路とすることで、ハーフブリッジインバータ回路を構成することができる。このようなインバータ回路では、ハイ側アームまたはロー側アームのパワー半導体素子をオンまたはオフ制御することによって、たとえば直流電圧を交流電圧に変換することができる。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平4-354156号公報(図2、図5)

【特許文献2】特開2014-130909号公報(図5)

【発明の概要】

【発明が解決しようとする課題】

40

【0010】

たとえば、ロー側アームに使用されている半導体装置において、パワー半導体素子がオン制御されている期間に、ハイ側アームの半導体装置に短絡事故が生じた場合、制御ICは、パワー半導体素子の過電流を検出してパワー半導体素子をターンオフする。これにより、パワー半導体素子は、コレクタ電流の急激な立ち下がりによりコレクタ電圧が立ち上がってしまい、IGBTおよびMOSFETがそれらの耐圧にまで達してしまうことがある。また、過電流検出時にIGBTおよびMOSFETがほぼ同時にターンオフされるため、高い電圧が印加された状態で大電流が流れることにより素子が破壊されるまでの短絡保証時間は、短絡保証時間の短いIGBTの特性に制約されて短絡耐量の低い半導体装置になる。

50

【 0 0 1 1 】

本発明はこのような点に鑑みてなされたものであり、過電流検出時のオフ制御に伴う異常高圧からパワー半導体素子を保護することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

本発明では上記の課題を解決するために、同一チップに形成された I G B T および M O S F E T を並列に接続して構成し、これらのゲート端子については、それぞれ独立して構成するようにした半導体装置が提供される。この半導体装置は、I G B T と、この I G B T よりも耐圧が低く、ドレインおよびソースが I G B T のコレクタおよびエミッタにそれぞれ接続された M O S F E T と、第 1 のゲートである I G B T の第 1 のゲート端子に第 1 の制御信号を出力し、第 2 のゲートである M O S F E T の第 2 のゲート端子に第 2 の制御信号を出力するとともに、I G B T の過電流を検出する過電流検出回路と、第 1 の制御信号を強制的にオフ信号にする強制オフ回路とを有する制御 I C と、を備えている。強制オフ回路は、過電流検出回路が I G B T の過電流を検出したときに過電流検出状態を保持するラッチ回路と、このラッチ回路が過電流検出状態を保持した後に値が連続変化するランブ電圧を出力するランブ電圧生成回路と、ランブ電圧に従って第 1 の制御信号の値をターンオフの方向に変化させて I G B T をソフトオフするソフトオフ制御回路とを有している。制御 I C は、第 1 の制御信号および第 2 の制御信号により I G B T および M O S F E T をターンオン制御している期間に過電流検出回路が過電流を検出したとき、強制オフ回路が第 1 の制御信号を強制的にソフトオフ信号にする。

【発明の効果】

【 0 0 1 3 】

上記構成の半導体装置は、並列に接続された I G B T および M O S F E T のゲートを独立して制御し、I G B T の過電流検出時に I G B T を先にターンオフすることで、高チャネル密度化と短絡耐量の向上の両立ができるという利点がある。

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】第 1 の実施の形態に係る半導体装置を示す図である。

【図 2】第 1 の実施の形態に係る半導体装置の要部波形を示すタイミングチャートである

。

【図 3】第 2 の実施の形態に係る半導体装置を示す図である。

【図 4】第 2 の実施の形態に係る半導体装置の短絡耐量を示す図である。

【図 5】第 3 の実施の形態に係る半導体装置を示す図である。

【図 6】第 3 の実施の形態に係る半導体装置の要部波形を示すタイミングチャートである

。

【図 7】従来の I G B T および M O S F E T を備えた半導体装置の一例を示す回路図である。

【発明を実施するための形態】

【 0 0 1 5 】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、各実施の形態では、M O S F E T として、既存の M O S F E T よりもさらに導通損失およびスイッチング損失を低減することができる超接合型 M O S F E T (Super Junction MOSFET: S J M O S F E T) を採用した構成で説明しているが、これは超接合型ではない通常の M O S F E T であっても良い。また、各実施の形態は、矛盾のない範囲で複数の実施の形態を部分的に組み合わせて実施することができる。

【 0 0 1 6 】

< 第 1 の実施の形態 >

図 1 は第 1 の実施の形態に係る半導体装置を示す図、図 2 は第 1 の実施の形態に係る半導体装置の要部波形を示すタイミングチャートである。

10

20

30

40

50

【 0 0 1 7 】

第1の実施の形態に係る半導体装置は、パワー半導体素子10と制御IC20とを備えている。パワー半導体素子10は、同一チップ上にIGBT11とSJ MOSFET12とが並列に接続されて形成されている。ここで、IGBT11は、主電流が流れるメイン素子とこのメイン素子の電流を検出する電流センス素子とを備えている。なお、図1ではメイン素子と電流センス素子とを一つのIGBTシンボルで示し、エミッタ端子だけ区別して、メイン素子のエミッタ端子と電流センス素子のエミッタ端子の2つを示している。また、SJ MOSFET12においても、主電流が流れるメイン素子12aにこのメイン素子12aの電流を検出する電流センス素子12bが並列に接続された状態で構成されている。

10

【 0 0 1 8 】

このパワー半導体素子10において、IGBT11のエミッタおよびSJ MOSFET12のソースは、ともにパワー半導体素子10の端子Eに接続されている。また、IGBT11のコレクタおよびSJ MOSFET12のドレインは、ともにパワー半導体素子10の端子Cに接続されている。IGBT11の電流センス素子のエミッタ端子は、端子S1に接続され、SJ MOSFET12の電流センス素子12bのソースは、端子S2に接続されている。

IGBT11およびSJ MOSFET12のゲートは、独立して設けられ、IGBT11のゲートは、パワー半導体素子10の端子G1に接続され、SJ MOSFET12のゲートは、パワー半導体素子10の端子G2に接続されている。なお、SJ MOSFET12は、ボディダイオード12cを内蔵しており、IGBT11およびSJ MOSFET12がターンオフしたときに、パワー半導体素子10の端子Eからの電流を還流させるフリーホイリングダイオードとして機能する。

20

【 0 0 1 9 】

制御IC20は、端子T1, T2および端子U1, U2を有し、それぞれパワー半導体素子10の端子G1, G2および端子S1, S2に接続されている。この制御IC20において、パワー半導体素子10をターンオンまたはターンオフするゲート信号は、抵抗21を介して端子T1に第1の制御信号として与えられ、また、抵抗22を介して端子T2にも第2の制御信号として与えられる。

【 0 0 2 0 】

制御IC20は、抵抗23を有しており、この抵抗23は、その一方の端子が端子U1に接続され、抵抗23の他方の端子がグラウンドに接続されている。抵抗23の一方の端子は、また、オペアンプ24の非反転入力端子に接続されている。オペアンプ24の反転入力端子は、定電流源25およびコンデンサ26の一方の端子とトランジスタ27のドレインとに接続されている。定電流源25およびコンデンサ26の他方の端子は、グラウンドに接続されている。トランジスタ27のソースは、電圧源28の正極端子に接続され、電圧源28の負極端子は、グラウンドに接続されている。オペアンプ24の出力端子は、ラッチ回路29の入力端子に接続され、ラッチ回路29の出力端子は、トランジスタ27のゲートに接続されている。オペアンプ24の出力端子は、また、トランジスタ31のゲートに接続されている。このトランジスタ31のドレインは、端子T1に接続され、ソースは、グラウンドに接続されている。

30

40

【 0 0 2 1 】

ここで、抵抗23およびオペアンプ24は、IGBT11を流れる電流をモニタして過電流を検出する過電流検出回路を構成している。ラッチ回路29によって制御されるトランジスタ27、電圧源28、定電流源25およびコンデンサ26は、ランプ電圧生成回路を構成している。そして、オペアンプ24およびトランジスタ31は、端子T1に供給されている第1の制御信号の値をランプ電圧に従ってターンオフの方向に変化させるソフトオフ制御回路を構成している。

【 0 0 2 2 】

制御IC20は、また、抵抗35を有しており、この抵抗35は、その一方の端子が端

50

子U2に接続され、抵抗35の他方の端子がグランドに接続されている。抵抗35の一方の端子は、また、比較器36の非反転入力端子に接続されている。比較器36の反転入力端子は、基準電圧源37の正極端子に接続され、基準電圧源37の負極端子は、グランドに接続されている。比較器36の出力端子は、RSフリップフロップ30のセット入力端子Sに接続され、RSフリップフロップ30の出力端子Qは、トランジスタ38のゲートに接続されている。トランジスタ38のドレインは、端子T2に接続され、ソースは、グランドに接続されている。

【0023】

ここで、抵抗35、比較器36および基準電圧源37は、SJMOSEFT12を流れる電流をモニタして過電流を検出する過電流検出回路を構成している。比較器36に接続されたトランジスタ38は、端子T2に供給されている第2の制御信号を強制的にオフ信号にする強制オフ回路を構成している。

10

【0024】

以上の構成の半導体装置において、通常動作時では、制御IC20が生成したゲート信号が端子T1、T2にそれぞれ第1の制御信号および第2の制御信号として与えられる。パワー半導体素子10では、端子G1に与えられた第1の制御信号によりIGBT11がターンオンまたはターンオフされ、端子G2に与えられた第2の制御信号によりSJMOSEFT12がターンオンまたはターンオフされる。パワー半導体素子10がオン制御されているとき、IGBT11およびSJMOSEFT12を流れる電流は、定格電流の範囲内であるので、IGBT11およびSJMOSEFT12の過電流は検出されない。

20

【0025】

このとき、IGBT11の電流センス素子を流れる電流が抵抗23を流れることによって生じる端子電圧(以下、センス電圧という)は、コンデンサ26の充電電圧(以下、基準電圧という)よりも低いので、オペアンプ24は、ローレベルの電圧信号を出力している。これにより、トランジスタ31は、ターンオフされるので、端子T1に与えられる第1の制御信号に何ら影響を与えることはない。なお、このとき、ラッチ回路29は、オペアンプ24からローレベルの電圧信号を受けてローレベルの電圧信号を出力し、これがトランジスタ27をターンオンしているので、電圧源28から供給される電流をコンデンサ26に充電している。電圧源28からコンデンサ26に供給される電流よりも定電流源25により放電される電流が小さいので、コンデンサ26の電圧は、ハイレベルの電圧に維持されている。

30

【0026】

SJMOSEFT12の過電流を検出する比較器36も同様に、抵抗35によって検出されるセンス電圧が基準電圧源37による基準電圧よりも小さい。このため、比較器36は、ローレベルの電圧信号を出力している。RSフリップフロップ30は、リセット状態を保持していて、その出力端子Qにローレベルの電圧信号を出力しており、これにより、トランジスタ38がオフ制御されているので、端子T2に与えられる第2の制御信号に何ら影響を与えることはない。

【0027】

ここで、たとえば、パワー半導体素子10の端子Cに直列に接続されたハイ側アームの別のパワー半導体素子に短絡事故が発生した場合のこの半導体装置の動作について説明する。まず、図2に示したように、時刻t0にてパワー半導体素子10の端子G1にIGBTゲート電圧とする第1の制御信号が与えられ、端子G2にSJMOSEFTゲート電圧とする第2の制御信号が与えられたとする。これにより、IGBTコレクタ電流が増加し、SJMOSEFTドレイン電流が増加する。

40

【0028】

このIGBTコレクタ電流が増加し、時刻t1にて抵抗23によるセンス電圧がコンデンサ26による基準電圧を超えると、オペアンプ24の出力がハイレベルの電圧信号となり、トランジスタ31をターンオンする。これにより、トランジスタ31には、抵抗21を介して電流が流れるために、IGBTゲート電圧がブルダウンされ、IGBTコレクタ

50

電流を絞るようになる。その後、IGBTコレクタ電流は、センス電圧 = 基準電圧となるようにバランスされる。

【0029】

一方、オペアンプ24の出力端子がハイレベルになることにより、ラッチ回路29が動作してその検出状態を保持する。このとき、ラッチ回路29は、ハイレベルの電圧信号を出力し、トランジスタ27をターンオフする。これにより、コンデンサ26の基準電圧は、定電流源25による定電流の放電によって低減し、ハイレベルから漸減するランプ電圧となる。基準電圧が低下すると、これに追従してセンス電圧も下がり、IGBTコレクタ電流も徐々に低下することになる。時刻t2で、IGBTゲート電圧およびIGBTコレクタ電流は、0ボルトまで低減することになる。

10

【0030】

このように、IGBT11の過電流を検出したとき、制御IC20は、IGBTゲート電圧を強制的に徐々に低減してIGBTコレクタ電流を絞るようにしたソフトオフ制御を行う。これにより、IGBT11がターンオフすることによるIGBTコレクタ電圧(SJMOSFETドレイン電圧)の上昇が大幅に抑制されるため、SJMOSFET12は、高電圧の印加による破壊を回避することができる。

【0031】

なお、SJMOSFET12の過電流検出回路については、IGBT11の過電流検出回路とは独立して動作する。このSJMOSFET12の過電流検出回路によれば、SJMOSFET12の電流センス素子12bのソース電流が抵抗35を流れ、そのときのセンス電圧が基準電圧源37の電圧を超えると、比較器36は、ハイレベルの電圧信号を出力する。これにより、RSフリップフロップ30はセットされて、その出力端子Qにハイレベルの電圧信号を出力し、トランジスタ38をオン制御し、端子T2に与えられる第2の制御信号をプルダウンし、SJMOSFET12をターンオフする。SJMOSFET12の過電流検出回路は、過電流の要因が除かれた後、RSフリップフロップ30のリセット入力端子Rにリセット信号が印加されることにより、過電流検出待機状態に復帰される。

20

【0032】

<第2の実施の形態>

図3は第2の実施の形態に係る半導体装置を示す図、図4は第2の実施の形態に係る半導体装置の短絡耐量を示す図である。なお、図3において、図1に示した構成要素と同じまたは均等の構成要素については同じ符号を付してある。

30

【0033】

第2の実施の形態に係る半導体装置においては、制御IC20は、IGBT11の過電流検出用の抵抗23と、この抵抗23が検出したセンス電圧と基準電圧源41の基準電圧とを比較する比較器42とを有する過電流検出回路を備えている。比較器42の出力端子は、インバータ回路43、44を介して抵抗45の一方の端子に接続されている。抵抗45の他方の端子は、コンデンサ46の一方の端子に接続され、コンデンサ46の他方の端子は、グランドに接続されている。抵抗45の他方の端子は、また、インバータ回路47、48を介してトランジスタ31のゲートに接続されている。このトランジスタ31のドレインは、抵抗21および端子T1に接続され、ソースは、グランドに接続されている。波形整形を行うインバータ回路43、44およびインバータ回路47、48と、抵抗45と、コンデンサ46とを有する回路は、過電流検出信号を所定時間遅延させる遅延回路を構成している。

40

【0034】

制御IC20は、また、SJMOSFET12の過電流検出回路および第2の制御信号を強制的にオフ信号にする強制オフ回路については、第1の実施の形態のものと同じである。

【0035】

以上の構成の半導体装置において、通常動作時は、比較器42がIGBT11の過電流

50

を検出していないので、比較器 4 2 の出力端子は、ローレベルの電圧信号を出力する。このローレベルの電圧信号は、2 段のインバータ回路 4 3 , 4 4 を経てローレベルの電圧信号になるため、コンデンサ 4 6 の端子電圧は、ローレベルの電圧信号となる。これにより、インバータ回路 4 7 , 4 8 を経た信号は、ローレベルの電圧信号となるので、トランジスタ 3 1 は、オフ状態にある。

【 0 0 3 6 】

ここで、パワー半導体素子 1 0 がオン状態にあるときに、比較器 4 2 が I G B T 1 1 の過電流を検出すると、比較器 4 2 の出力端子は、ハイレベルの電圧信号となる。このハイレベルの電圧信号は、2 段のインバータ回路 4 3 , 4 4 を経てハイレベルの電圧信号になるため、コンデンサ 4 6 は、抵抗 4 5 を介して充電されることになる。所定時間後、そのコンデンサ 4 6 の充電電圧がインバータ回路 4 7 の閾値を超えると、インバータ回路 4 7 は、ローレベルの電圧信号を出力し、インバータ回路 4 8 は、ハイレベルの電圧信号を出力する。これにより、トランジスタ 3 1 は、ターンオンし、端子 T 1 に与えていた第 1 の制御信号であるゲート電圧をプルダウンし、I G B T 1 1 をターンオフする。

10

【 0 0 3 7 】

このとき、S J M O S F E T 1 2 のゲート電圧（第 2 の制御信号）は、そのままであるので、S J M O S F E T 1 2 は、オン状態のままである。S J M O S F E T 1 2 のドレイン電流の一部は、S J M O S F E T 1 2 の電流センス素子 1 2 b のソースから制御 I C 2 0 の抵抗 3 5 を流れる。もし、この抵抗 3 5 に流れる電流が増えてセンス電圧が上昇し、そのセンス電圧が基準電圧源 3 7 の基準電圧を超えるようなことがあると、比較器 3 6 は、その出力端子にハイレベルの電圧信号を出力する。これにより、R S フリップフロップ 3 0 はセットされて、その出力端子 Q にハイレベルの電圧信号を出力し、トランジスタ 3 8 をオン制御し、端子 T 2 に与えていたゲート電圧をプルダウンし、S J M O S F E T 1 2 をターンオフする。

20

【 0 0 3 8 】

比較器 4 2 が I G B T 1 1 の過電流を検出してから I G B T 1 1 をターンオフするまでの所定時間は、抵抗 4 5 およびコンデンサ 4 6 の値から求められる時定数によって決められる。この所定時間は、図 4 に例示したように、たとえば、5 0 0 ボルトの I G B T コレクタ電圧が印加されているときに飽和コレクタ電流 $I_{s a t}$ を流し続けることができる短絡時間、つまり破壊耐量が保証される時間が数マイクロ秒である場合、2 マイクロ秒程度とする。

30

【 0 0 3 9 】

この半導体装置では、I G B T 1 1 を先にターンオフして I G B T 1 1 の負荷を低減し、一方、インダクターなどの負荷に蓄えられていた残りのエネルギーは、I G B T 1 1 よりも飽和電流が低く、その分、短絡時間を長くすることができる S J M O S F E T 1 2 が時間をかけて消費する。これにより、I G B T 1 1 は、パワー半導体素子 1 0 に直列に接続される半導体装置が短絡したことにより高電圧が印加されて大電流が流れるようなことがあっても、その破壊耐量が保証される時間内にターンオフされることで、破壊を防止することができる。また、I G B T 1 1 は、破壊耐量が保証される時間内でターンオフさせるために、その分、チャネル密度を上げて飽和電流を高くし、より高い電流に耐えることができるように設計することが可能となる。

40

【 0 0 4 0 】

ここで、I G B T 1 1 をターンオフする時間、S J M O S F E T 1 2 をターンオフする時間は、I G B T 1 1 および S J M O S F E T 1 2 のゲート容量に対してそれぞれ抵抗 2 1、2 2 の値を適宜選択してそれぞれの時定数を適宜設定することで決められる。

【 0 0 4 1 】

< 第 3 の実施の形態 >

図 5 は第 3 の実施の形態に係る半導体装置を示す図、図 6 は第 3 の実施の形態に係る半導体装置の要部波形を示すタイミングチャートである。なお、図 5 において、図 1 および図 3 に示した構成要素と同じまたは均等の構成要素については同じ符号を付してある。

50

【 0 0 4 2 】

この第3の実施の形態に係る半導体装置では、制御IC20は、IGBT11の過電流を検出して保護する回路と、SJ MOSFET12の過電圧および過電流を検出して保護する回路とを備えている。

【 0 0 4 3 】

すなわち、制御IC20は、IGBT11の過電流検出用の抵抗23と、この抵抗23が検出したセンス電圧と基準電圧源41の基準電圧とを比較する比較器42と、端子T1に印加されるゲート電圧をプルダウンするトランジスタ31とを備えている。これにより、制御IC20は、IGBT11の過電流を検出すると、直ちにIGBT11をターンオフする。

10

【 0 0 4 4 】

この半導体装置では、パワー半導体素子10のチップ上にツェナーダイオード51と抵抗52との直列接続回路が形成されている。ツェナーダイオード51は、そのカソードがパワー半導体素子10の端子Cに接続され、アノードが抵抗52の一方の端子とパワー半導体素子10の端子V1とに接続され、抵抗52の他方の端子は、パワー半導体素子10の端子Eに接続されている。これにより、パワー半導体素子10の端子Eと端子Cとの間の電圧がツェナーダイオード51のツェナー電圧を上回ると、アバランシェ降伏現象により急激に電流が流れることを利用して、パワー半導体素子10の過電圧を検出する。

【 0 0 4 5 】

制御IC20は、パワー半導体素子10の過電圧を検出するために、端子W1を有し、その端子W1をパワー半導体素子10の端子V1に接続している。制御IC20の内部において、端子W1は、電圧検出回路53に接続されている。この電圧検出回路53は、ツェナーダイオード51に急激に電流が流れることによって抵抗52に生じる電圧降下の変化を監視している。

20

【 0 0 4 6 】

この電圧検出回路53の出力端子は、NAND回路54の一方の入力端子に接続され、NAND回路54の他方の入力端子は、SJ MOSFET12の過電流を検出する比較器36の出力端子に接続されている。NAND回路54の出力端子は、インバータ回路55を介してトランジスタ38のゲートに接続されている。トランジスタ38のドレインは、端子T2に接続され、ソースは、グランドに接続されている。

30

【 0 0 4 7 】

以上の構成の半導体装置によれば、まず、IGBT11およびSJ MOSFET12は、図6に示したように、時刻t0でIGBTゲート電圧およびSJ MOSFETゲート電圧がハイレベルの電圧信号となったことにより、それぞれターンオンされる。

【 0 0 4 8 】

時刻t1において、制御IC20の比較器42がIGBT11の過電流を検出した場合、比較器42は、直ちにトランジスタ31をターンオンしてIGBTゲート電圧をローレベルの電圧信号にする。これにより、IGBT11は、ターンオフされて、IGBT11の破壊が防止される。

【 0 0 4 9 】

IGBT11をターンオフしたことにより、IGBTコレクタ電圧が跳ね上がるので、この電圧は、時刻t2にて、ツェナーダイオード51、抵抗52および電圧検出回路53によって検出される。このとき、比較器36がSJ MOSFET12の過電流を検出しているので、NAND回路54の2つの入力端子は、ハイレベルの電圧信号を受ける。このため、NAND回路54の出力端子は、ローレベルの電圧信号となるので、インバータ回路55の出力端子は、ハイレベルの電圧信号となる。これにより、トランジスタ38がオン制御され、端子T2に与えていたゲート電圧をプルダウンし、SJ MOSFET12をターンオフする。このように、SJ MOSFET12に大電流が流れ、かつ、高電圧が印加された場合に、SJ MOSFET12をターンオフすることで、SJ MOSFET12の破壊を防止することができる。なお、SJ MOSFET12に大電流が流れるか高電圧

40

50

が印加されるかの一方向の場合には、S J M O S F E T 1 2 が破壊されることはないので、S J M O S F E T 1 2 のオフ制御は行われぬ。

【 0 0 5 0 】

S J M O S F E T 1 2 のオフ制御の後、I G B T コレクタ電圧の跳ね上がりが抑制されてI G B T コレクタ電圧が低下すると(時刻 t 3)、電圧検出回路 5 3 は、パワー半導体素子 1 0 の過電圧を検出しなくなるので、出力端子をローレベルの電圧信号にする。これにより、N A N D 回路 5 4 の出力端子がハイレベル、インバータ回路 5 5 の出力端子がローレベルの電圧信号となり、トランジスタ 3 8 がターンオフされる。この結果、S J M O S F E T ゲート電圧がハイレベルの電圧信号に戻され、S J M O S F E T 1 2 は、再度、ターンオンされて、I G B T 1 1 のターンオフ後に存在するエネルギーを消費することになる。

10

【 0 0 5 1 】

以上、本発明をその好適な実施の形態について説明したが、本発明はこの特定の実施の形態に限定されるものではなく、本発明の精神を逸脱しない範囲で各種変更が可能である。

【 符号の説明 】

【 0 0 5 2 】

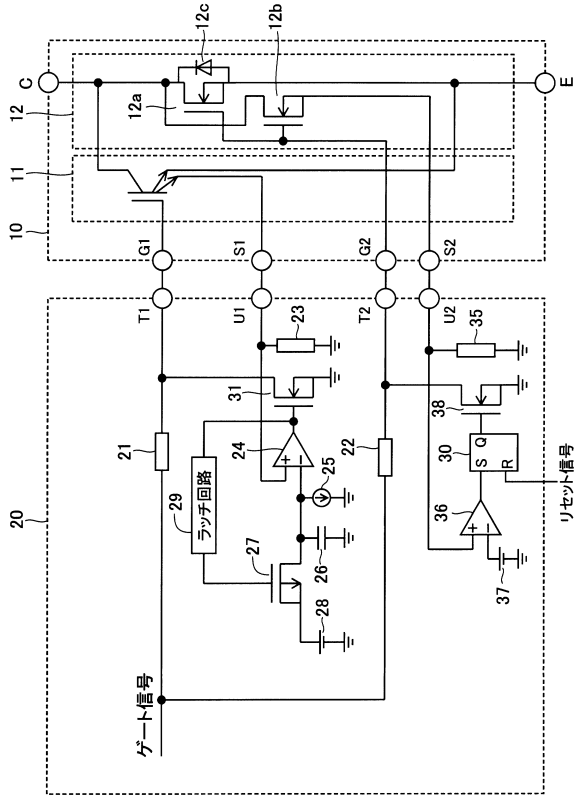
- 1 0 パワー半導体素子
- 1 1 I G B T
- 1 2 S J M O S F E T
- 2 0 制御 I C
- 2 1 , 2 2 , 2 3 抵抗
- 2 4 オペアンプ
- 2 5 定電流源
- 2 6 コンデンサ
- 2 7 トランジスタ
- 2 8 電圧源
- 2 9 ラッチ回路
- 3 0 R S フリップフロップ
- 3 1 トランジスタ
- 3 5 抵抗
- 3 6 比較器
- 3 7 基準電圧源
- 3 8 トランジスタ
- 4 1 基準電圧源
- 4 2 比較器
- 4 3 , 4 4 インバータ回路
- 4 5 抵抗
- 4 6 コンデンサ
- 4 7 , 4 8 インバータ回路
- 5 1 ツェナーダイオード
- 5 2 抵抗
- 5 3 電圧検出回路
- 5 4 N A N D 回路
- 5 5 インバータ回路

20

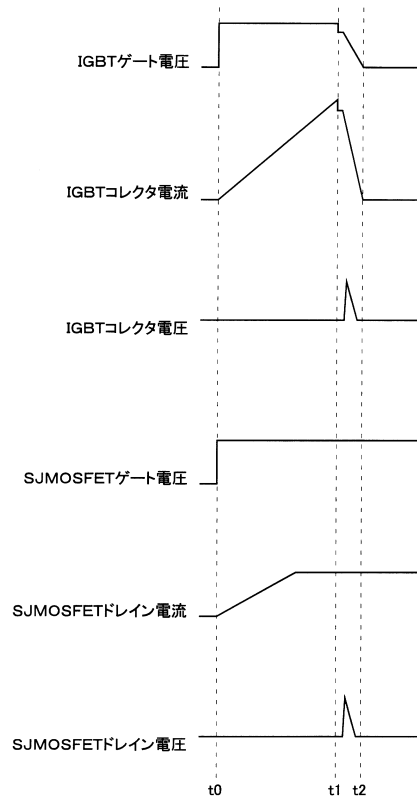
30

40

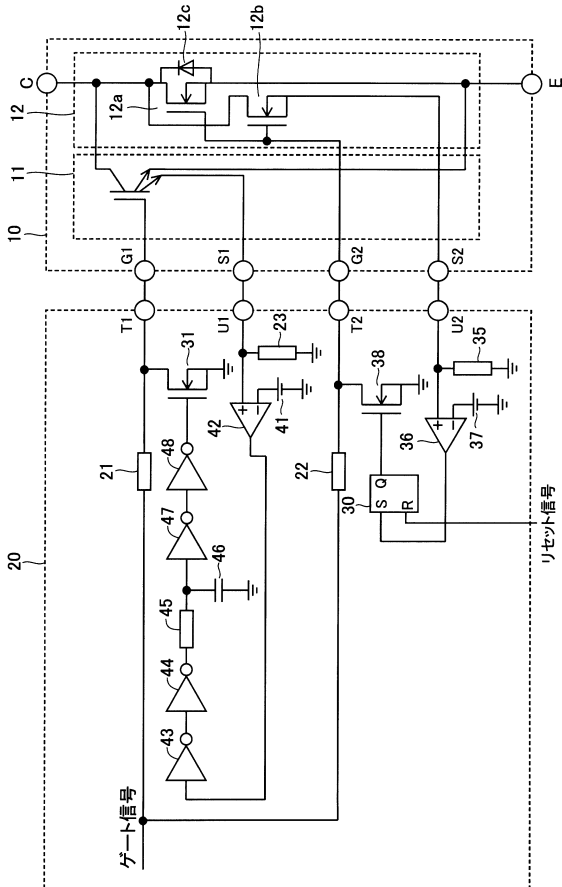
【図1】



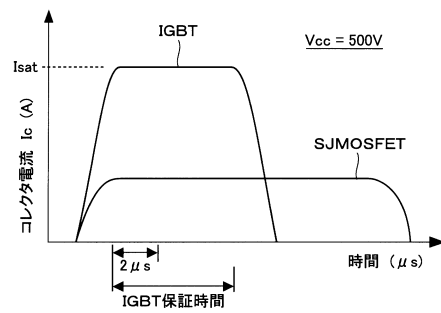
【図2】



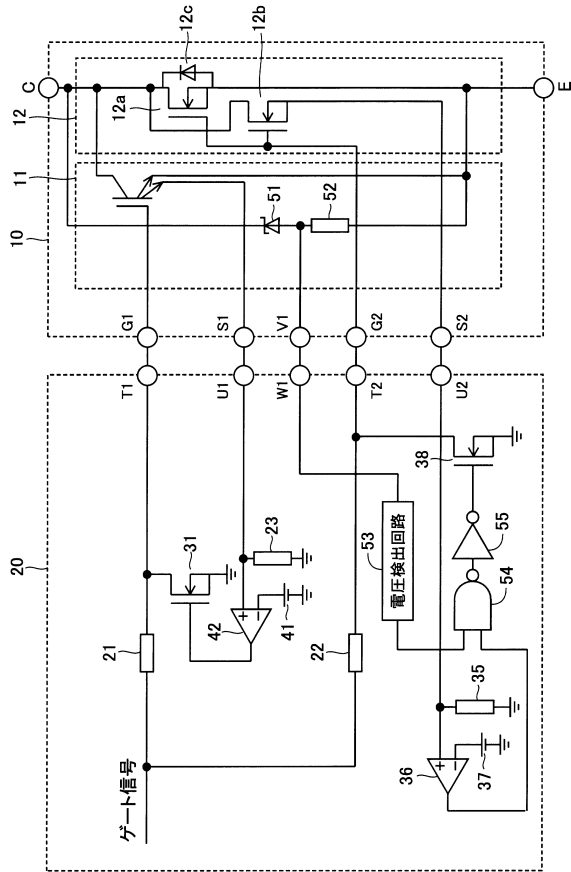
【図3】



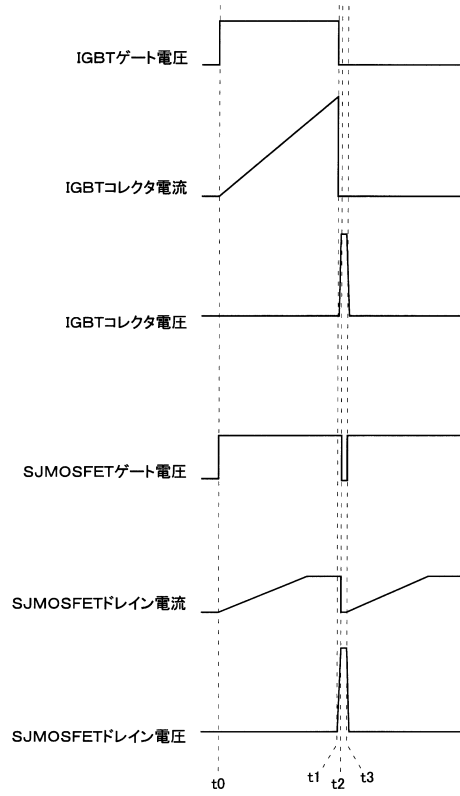
【図4】



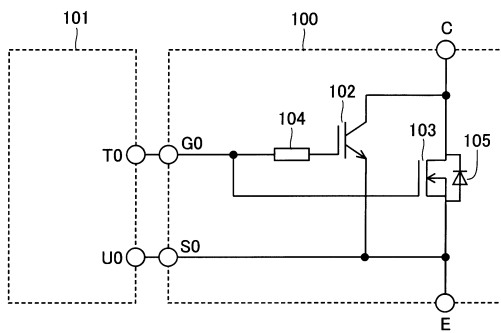
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開2009-142070(JP,A)
特開2012-253202(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M	1/00
H01L	21/822
H01L	27/04
H02M	1/08
H03K	17/08