

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6437518号
(P6437518)

(45) 発行日 平成30年12月12日(2018.12.12)

(24) 登録日 平成30年11月22日(2018.11.22)

(51) Int. Cl. F I
 H O 3 L 7/08 (2006.01) H O 3 L 7/08 2 5 0
 H O 4 B 1/40 (2015.01) H O 4 B 1/40

請求項の数 14 (全 27 頁)

(21) 出願番号	特願2016-501309 (P2016-501309)	(73) 特許権者	595020643
(86) (22) 出願日	平成26年3月11日 (2014. 3. 11)		クォアルコム・インコーポレイテッド
(65) 公表番号	特表2016-517215 (P2016-517215A)		QUALCOMM INCORPORATED
(43) 公表日	平成28年6月9日 (2016. 6. 9)		ED
(86) 国際出願番号	PCT/US2014/023667		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02014/150575		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成26年9月25日 (2014. 9. 25)		ハウス・ドライブ 5775
審査請求日	平成29年2月14日 (2017. 2. 14)	(74) 代理人	100108855
(31) 優先権主張番号	13/828, 879		弁理士 蔵田 昌俊
(32) 優先日	平成25年3月14日 (2013. 3. 14)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100194814
			弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 マルチ位相分周器 (MULTI-PHASED DIVIDER) と位相ロックループとを有する局所発振器 (LO) ジェネレータ

(57) 【特許請求の範囲】

【請求項 1】

制御信号を受け取り、前記制御信号によって決定される周波数を有する発振器信号を供給するように構成された発振器と、

前記発振器信号を受け取り、異なる位相の複数の分周された信号を生成するように構成された分周器と、

基準信号と前記複数の分周された信号の中の選択された分周された信号とを受け取り、前記発振器のための前記制御信号を生成するように構成された位相ロックループ (PLL) と、

前記発振器信号を受け取り、第2の分周された信号を生成するように構成された第2の分周器と、ここにおいて、前記PLLは、前記分周器からの前記選択された分周された信号または前記第2の分周器からの前記第2の分周された信号に基づいて前記制御信号を生成するように構成され、ここにおいて、前記第2の分周器は、連続LO信号を生成するために設定される、

を備える装置。

【請求項 2】

前記分周器によって生成される前記複数の分周された信号は、90度、位相がずれている4つの分周された信号を備え、前記PLLは、前記4つの分周された信号の中の前記選択された分周された信号を受け取るように構成される、請求項1に記載の装置。

【請求項 3】

前記分周器は、90度、位相がずれている4つの分周された信号を供給する1/2同相-直角位相分周器を備える、請求項1に記載の装置。

【請求項4】

前記分周器は、電源をオンにされる時に、前記異なる位相の分周された信号の複数の可能な状態のうちの一つであり、前記分周器の前記複数の可能な状態は、前記分周器が電源をオンにされる時に前記選択された分周された信号の異なる位相に関連付けられる、請求項1に記載の装置。

【請求項5】

前記複数の分周された信号のうち少なくとも一つに基づいて生成される局所発振器(L0)信号を用いて入力無線周波数(RF)信号をダウンコンバートするように構成されたダウンコンバータ

10

をさらに備える、請求項1に記載の装置。

【請求項6】

前記PLLは、

前記分周器からの前記選択された分周された信号と前記第2の分周器からの前記第2の分周された信号とを受け取り、前記選択された分周された信号または前記第2の分周された信号を供給するように構成されたマルチプレクサと、

前記基準信号と前記マルチプレクサからの前記選択された分周された信号または前記第2の分周された信号とを受け取り、前記制御信号を生成するのに使用される検出器出力信号を供給するように構成された位相-周波数検出器と

20

を備える、請求項1に記載の装置。

【請求項7】

前記PLLは、

前記分周器からの前記選択された分周された信号と前記第2の分周器からの前記第2の分周された信号とを受け取り、前記選択された分周された信号または前記第2の分周された信号を供給するように構成されたマルチプレクサと、

前記マルチプレクサから前記選択された分周された信号または前記第2の分周された信号を受け取り、第3の分周された信号を供給するように構成された第3の分周器と、

前記基準信号と前記第3の分周された信号とを受け取り、前記制御信号を生成するのに使用される検出器出力信号を供給するように構成された位相-周波数検出器と

30

を備える、請求項1に記載の装置。

【請求項8】

前記分周器は、不連続局所発振器(L0)信号を生成するために選択される、請求項1に記載の装置。

【請求項9】

制御信号によって決定される周波数を有する発振器信号を発振器によって生成することと、

異なる位相の複数の分周された信号を入手するために前記発振器信号を周波数において分周器によって分周することと、

基準信号と前記複数の分周された信号の中の選択された分周された信号とに基づいて前記制御信号を生成することと、

40

前記発振器信号に基づいて第2の分周された信号を第2の分周器によって生成することと、

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を生成することと、

ここにおいて、前記第2の分周器は、連続L0信号を生成するために設定される、
を備える方法。

【請求項10】

前記発振器信号を前記分周することは、90度、位相がずれている4つの分周された信号を入手するために前記発振器信号を周波数において分周することを備え、前記選択され

50

た分周された信号は、前記4つの分周された信号のうちの1つである、請求項9に記載の方法。

【請求項11】

前記複数の分周された信号のうちの少なくとも1つに基づいて局所発振器(L O)信号を生成することと、

前記L O信号を用いて入力無線周波数(R F)信号をダウンコンバートすることとをさらに備える、請求項9に記載の方法。

【請求項12】

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を前記生成することは、

基準信号と前記選択された分周された信号または前記第2の分周された信号との間の位相誤差を検出することと、

前記検出された位相誤差に基づいて前記制御信号を生成することとを備える、請求項9に記載の方法。

【請求項13】

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を前記生成することは、

第3の分周された信号を入手するために前記選択された分周された信号または前記第2の分周された信号を周波数において分周することと、

基準信号と前記第3の分周された信号との間の位相誤差を検出することと、

前記検出された位相誤差に基づいて前記制御信号を生成することとを備える、請求項9に記載の方法。

【請求項14】

少なくとも1つのプロセッサに、請求項9 - 13のうちのいずれか一項に記載の前記方法を実行させるコード

を備えるコンピュータ可読記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001]本願は、参照によって本明細書に組み込まれている、2013年3月14日出願した米国特許出願第13/828,879号の利益を主張するものである。

【0002】

[0002]本開示は、全般的にはエレクトロニクスに関し、より具体的には、周波数変換に使用される局所発振器(L O)信号を生成する技法に関する。

【背景技術】

【0003】

[0003]ワイヤレスデバイス(たとえば、セルラ電話またはスマートフォン)は、ワイヤレス通信システムとの両方向通信のためにデータを送信し、受信することができる。ワイヤレスデバイスは、データ送信のための送信器と、データ受信のための受信器とを含むことができる。データ送信に関して、送信器は、変調された無線周波数(R F)信号を入手するためにデータを用いて送信L O信号を変調し、適切な送信電力レベルを有する出力R F信号を入手するために変調されたR F信号を増幅し、アンテナを介して基地局に出力R F信号を送信することができる。データ受信の場合、受信器は、アンテナを介して受信R F信号を取得し、受信R F信号を受信L O信号で増幅し、ダウンコンバートし、ダウンコンバート信号を処理して、基地局によって送られたデータを回復することができる。

【0004】

[0004]ワイヤレスデバイスは、送信器のための送信L O信号と受信器のための受信L O信号とを生成するL Oジェネレータを含むことができる。L O信号は、ターゲット周波数における周期信号であり、周波数変換に使用され得る。L Oジェネレータは、不連続に操

10

20

30

40

50

作され得、電力消費を減らすために必要な時に限ってL O信号を生成するためにパワーオンされ得る。L Oジェネレータの不連続動作をサポートすることが望ましい可能性がある。

【発明の概要】

【0005】

[0005]周期的に電源をオンにされ、オフにされる (powered on and off) L Oジェネレータを用いて連続位相 (continuous phase) を有するL O信号を生成する技法が、本明細書で開示される。L O信号は、L Oジェネレータ内の分周器 (a divider) によって生成され得る。分周器は、周期的に電源をオンとオフとにされ得、複数の可能な状態のうちの1つでウェイクアップする (wake up) ことができ、各状態は、L O信号の異なる位相に

10

【0006】

[0006]本開示の態様によれば、L O信号の位相連続性 (phase continuity) は、位相ロックループ (PLL) の一部として分周器を使用することによって保証され得る。PLLは、L O信号を基準信号にロックする (lock the L O signal to a reference signal) ことができる。L O信号は、その場合、基準信号が連続位相 (continuous phase) を有することに起因して、連続位相を有するはずである。

【0007】

[0007]例示的な設計では、装置 (たとえば、ワイヤレスデバイスまたは集積回路) は、発振器と、分周器と、PLLとを含むことができる。発振器は、制御信号を受け取り、制御信号によって決定される周波数を有する発振器信号を供給することができる。分周器は、発振器信号を受け取り、異なる位相の複数の分周された信号 (divided signals) を生成することができる。PLLは、基準信号と複数の分周された信号の中の選択された分周された信号とを受け取ることができ、発振器のための制御信号を生成することができる。この装置は、複数の分周された信号のうちの少なくとも1つに基づいて生成されるL O信号を用いて入力RF信号をダウンコンバートすることができるダウンコンバータをさらに含むことができる。

20

【0008】

[0008]例示的な設計では、分周器は、90度、位相がずれている (are 90 degrees out of phase) 4つの分周された信号を供給することができる1/2同相 - 直角位相 (I - Q) 分周器 (a divide-by-two inphase-quadrature (I-Q) divider) を備えることができる。PLLは、4つの分周された信号の中の選択された分周された信号を受け取ることができる。分周器は、(i) ダウンリンク受信のためのタイムインターバルの前に電源をオンにされ、(i i) アップリンク送信のためのタイムインターバルの少なくとも一部の間に電源をオフにされ得る。

30

【0009】

[0009]本開示の様々な態様および特徴は、下でさらに詳細に説明される。

【図面の簡単な説明】

【0010】

【図1】[0010]異なるワイヤレス通信システムと通信するワイヤレスデバイスを示す図。

40

【図2】[0011]図1のワイヤレスデバイスを示すブロック図。

【図3】[0012]L Oジェネレータを示すブロック図。

【図4】[0013]I - Q分周器からの異なる位相の分周された信号を示す図。

【図5】[0014]電源オン時の不連続位相を有するL O信号を示す図。

【図6 A】[0015]連続位相を有するL O信号を生成できるL Oジェネレータの1つの例示的な設計を示す図。

【図6 B】連続位相を有するL O信号を生成できるL Oジェネレータの1つの例示的な設計を示す図。

【図6 C】連続位相を有するL O信号を生成できるL Oジェネレータの1つの例示的な設計を示す図。

50

【図 7】 [0016] I - Q 分周器の例示的な設計を示す図。

【図 8 A】 [0017] 1 つの例示的なフレーム構造を示す図。

【図 8 B】 1 つの例示的なフレーム構造を示す図。

【図 9】 [0018] L O ジェネレータの電源をオンにし、オフにするための例示的なタイムラインを示す図。

【図 1 0】 [0019] L O 信号を生成するプロセスを示す図。

【詳細な説明】

【 0 0 1 1】

[0020] 下で示される詳細な説明は、本開示の例示的な設計の説明として意図され、本開示を實踐できる唯一の設計を表すことは意図されていない。「例示的」という用語は、本明細書では、「例、実例、または例示として働く」を意味するのに使用される。本明細書で「例示的」として説明されるすべての設計は、必ずしも、他の設計より好ましいまたは有利と解釈されるべきではない。この「詳細な説明」は、本開示の例示的な設計の完全な理解を提供するために、特定の詳細を含む。本明細書で説明される例示的な設計が、これらの特定の詳細なしで實踐され得ることは、当業者には明白である。いくつかの場合には、周知の構造およびデバイスは、本明細書で提示される例示的な設計の新規性を不明瞭にすることを避けるために、ブロック図の形で示される。

10

【 0 0 1 2】

[0021] 不連続 L O ジェネレータ (a non-continuous L O generator) によって連続位相を有する L O 信号を生成する技法が、本明細書で開示される。これらの技法は、ワイヤレス通信デバイスなどの様々な電子デバイスのために使用され得る。

20

【 0 0 1 3】

[0022] 図 1 は、異なるワイヤレス通信システム 1 2 0 および 1 2 2 と通信することが可能なワイヤレスデバイス 1 1 0 を示す。ワイヤレスシステム 1 2 0 および 1 2 2 は、それぞれ、ロング・ターム・エボリューション (L T E) システム、符号分割多元接続 (C D M A) システム、移動通信のためのグローバルシステム (G S M (登録商標)) システム、ワイヤレス・ローカル・エリア・ネットワーク (W L A N) システム、または何らかの他のワイヤレスシステムとされ得る。C D M A システムは、広帯域 C D M A (W C D M A (登録商標))、C D M A 1 X、時間分割同期符号分割多元接続 (Time Division Synchronous Code Division Multiple Access) (T D - S C D M A)、または C D M A の何らかの他のバージョンを實施することができる。T D - S C D M A は、ユニバーサル地上無線アクセス (U T R A) 時分割複信 (T D D) 1 . 2 8 M c p s オプションまたはロー・チップ・レート (Low Chip Rate) (L C R) ととも呼ばれる。L T E は、周波数分割複信 (F D D) と時分割複信 (T D D) との両方をサポートする。たとえば、ワイヤレスシステム 1 2 0 は、L T E システムとされ得、ワイヤレスシステム 1 2 2 は、T D - S C D M A システムとされ得る。単純さのために、図 1 は、1 つの基地局 1 3 0 および 1 つのシステムコントローラ 1 4 0 を含むワイヤレスシステム 1 2 0 と、1 つの基地局 1 3 2 および 1 つのシステムコントローラ 1 4 2 を含むワイヤレスシステム 1 2 2 とを示す。一般に、各ワイヤレスシステムは、任意の個数の基地局と、ネットワークエンティティの任意のセットとを含むことができる。各基地局は、そのカバレッジ内のワイヤレスデバイスのための通信をサポートすることができる。

30

40

【 0 0 1 4】

[0023] ワイヤレスデバイス 1 1 0 は、ユーザ機器 (U E)、移動局、端末、アクセス端末、加入者ユニット、ステーションなどと呼ばれる場合もある。ワイヤレスデバイス 1 1 0 は、セルラ電話、スマートフォン、タブレット、ワイヤレスモデム、携帯情報端末 (P D A)、ハンドヘルドデバイス、ラップトップコンピュータ、スマートブック、ネットブック、コードレス電話、ワイヤレスローカルループ (W L L) ステーション、B l u e t o o t h (登録商標) デバイスなどとされ得る。ワイヤレスデバイス 1 1 0 は、ワイヤレスシステム 1 2 0 および / または 1 2 2 と通信できるものとされ得る。ワイヤレスデバイス 1 1 0 は、放送局 (たとえば、放送局 1 3 4) からの信号、1 つまたは複数の全地球航

50

法衛星システム（GNSS）内の衛星（たとえば、衛星150）からの信号などを受信できるものともされ得る。ワイヤレスデバイス110は、LTE、TD-SCDMA、WCDMA、CDMA 1X、GSM、802.11、その他などのワイヤレス通信のための1つまたは複数の無線技術をサポートすることができる。

【0015】

[0024]図2は、図1のワイヤレスデバイス110の例示的な設計のブロック図を示す。単純さのために、図2は、1つのアンテナ210について1つの受信器220と1つの送信器250とを含むワイヤレスデバイス110を示す。一般に、ワイヤレスデバイス110は、任意の個数の無線技術と任意の個数の周波数帯域とに関する通信をサポートするために、任意の個数の送信器と、任意の個数の受信器と、任意の個数のアンテナとを含むこ

10

【0016】

[0025]受信器または送信器は、スーパーヘテロダイン・アーキテクチャまたはダイレクトコンバージョン・アーキテクチャを用いて実施され得る。スーパーヘテロダイン・アーキテクチャでは、信号は、RFとベースバンドとの間で複数のステージで、たとえば受信器に関して、あるステージでRFから中間周波数（IF）へ、次いで別のステージでIFからベースバンドへ、周波数変換される。ゼロIF（ZIF）アーキテクチャとも呼ばれるダイレクトコンバージョン・アーキテクチャでは、信号は、1つのステージでRFとベースバンドとの間で周波数変換される。スーパーヘテロダイン・アーキテクチャおよびダイレクトコンバージョン・アーキテクチャは、異なる回路ブロックを使用し、および/または異なる要件を有する可能性がある。図2に示された例示的な設計では、受信器220および送信器250は、ダイレクトコンバージョン・アーキテクチャを用いて実施される。本明細書で説明される技法は、ダイレクトコンバージョン・アーキテクチャとスーパーヘテロダイン・アーキテクチャとの両方に使用され得る。

20

【0017】

[0026]受信経路では、アンテナ210は、基地局および/または他の送信局からダウンリンク信号を受信し、アンテナ出力信号をアンテナ・インターフェース回路212に供給する。アンテナ・インターフェース回路212は、アンテナ出力信号をルーティングし（およびおそらくはフィルタリングし）、受信されたRF信号（RXin）を受信器220に供給する。アンテナ・インターフェース回路212は、スイッチ、デュプレクサ、ダイプレクサ（diplexer）、フィルタ、整合回路などを含むことができる。

30

【0018】

[0027]受信器220内では、低雑音増幅器（LNA）222が、受信されたRF信号を増幅し、入力RF信号をダウンコンバータ224に供給する。ダウンコンバータ224は、LOジェネレータ230からLO信号をも受け取る。LO信号は、90度、位相がずれている、同相LO信号（an inphase LO signal）（ILO）と、直角位相LO信号（a quadrature LO signal）（QLO）とを備える。ダウンコンバータ224は、LO信号を用いて入力RF信号をRFからベースバンドにダウンコンバートし、同相（inphase）（I）および直角位相（quadrature）（Q）のダウンコンバートされた信号（IdcおよびQdc）を供給する。低域フィルタ226は、Iのダウンコンバートされた信号とQのダウンコンバートされた信号とをフィルタリングし、Iのフィルタリングされた信号とQのフィルタリングされた信号とを供給する。増幅器228は、Iのフィルタリングされた信号とQのフィルタリングされた信号とを増幅し、Iの入力ベースバンド信号とQの入力ベースバンド信号と（IinとQinと）をデータプロセッサ/コントローラ280に供給する。低域フィルタ226は、Iのダウンコンバートされた信号用の1つの低域フィルタと、Qのダウンコンバートされた信号用の別の低域フィルタとを含むことができる。同様に、増幅器228は、Iのフィルタリングされた信号用の1つの増幅器と、Qのフィルタリングされた信号用の別の増幅器とを含むことができる。データプロセッサ280内では、アナログ-デジタル変換器（ADC）282が、Iの入力ベースバンド信号とQの入力ベースバンド信号とをデジタル化し、IのサンプルとQのサンプルとを供給する。デー

40

50

データプロセッサ 280 は、ワイヤレスデバイス 110 に送られたデータを回復するために I のサンプルと Q のサンプルとをデジタル処理するための他の回路を含む。

【0019】

[0028] LO ジェネレータ 230 は、ダウンコンバータ 224 のための LO 信号を生成する。LO ジェネレータ 230 は、1 つまたは複数の電圧制御発振器 (VCO)、PLL、基準発振器、分周器、バッファなどを含むことができる。基準信号ジェネレータ 232 は、基準周波数において基準信号を生成 (a reference signal at a reference frequency) し、基準信号をデータプロセッサ 280、LO ジェネレータ 230、および / または他の回路に供給する。

【0020】

[0029] 送信経路では、データプロセッサ 280 は、送信されるデータを処理し、I のチップと Q のチップ (chips) とを入手する。デジタル - アナログ変換器 (DAC) 284 が、I のチップと Q のチップとを I の出力ベースバンド信号と Q の出力ベースバンド信号とに変換し、この I の出力ベースバンド信号と Q の出力ベースバンド信号とが、送信器 250 に供給される。送信器 250 内では、変調された RF 信号を入手するために、I の出力ベースバンド信号および Q の出力ベースバンド信号が、低域フィルタ 252 によってフィルタリングされ、増幅器 254 によって増幅され、LO ジェネレータ 260 からの TX LO 信号に基づいてアップコンバータ 256 によってベースバンドから RF にアップコンバートされる。電力増幅器 (PA) 258 は、変調された RF 信号を増幅し、適切な送信電力レベルを有する出力 RF 信号を供給する。出力 RF 信号は、アンテナ・インターフェース回路 212 を介してルーティングされ、アンテナ 210 を介して送信される。

【0021】

[0030] 図 2 は、受信器 220 および送信器 250 の例示的な設計を示す。送信器および受信器は、フィルタ、整合回路、その他など、図 2 に示されていない他の回路をも含むことができる。図 2 は、1 つの受信器 220 と 1 つの送信器 250 とを含むワイヤレスデバイス 110 をも示す。一般に、ワイヤレスデバイスは、任意の個数の周波数帯域と、任意の個数のアンテナと、任意の個数の無線技術とをサポートするために、任意の個数の受信器と任意の個数の送信器とを含むことができる。たとえば、ワイヤレスデバイス 110 は、1000 メガヘルツ (MHz) 未満の周波数をカバーする低帯域、1000 MHz から 2300 MHz までの周波数をカバーする中帯域、および / または 2300 MHz を超える周波数をカバーする高帯域の各々について、1 つまたは複数の受信器と 1 つまたは複数の送信器とを含むことができる。受信器 220 および送信器 250 のすべてまたは一部が、1 つまたは複数の RF IC (RFIC)、アナログ集積回路 (IC)、混合信号 IC などの上で実施され得る。たとえば、受信器 220 内の回路のすべてが、RFIC 上で実施され得る。

【0022】

[0031] データプロセッサ / コントローラ 280 は、ワイヤレスデバイス 110 のための様々な機能を実行することができる。たとえば、データプロセッサ 280 は、受信器 220 を介して受信されたデータおよび送信器 250 を介して送信されるデータの処理を実行することができる。コントローラ 280 は、受信器 220 および送信器 250 内の様々な回路の動作を制御することができる。メモリ 286 は、データプロセッサ / コントローラ 280 のためのプログラムコードとデータとを記憶することができる。データプロセッサ / コントローラ 280 は、1 つまたは複数の特定用途向け集積回路 (ASIC) 上および / または他の IC 上で実施され得る。

【0023】

[0032] 図 3 は、図 2 の LO ジェネレータ 230 または 260 のために使用され得る LO ジェネレータ 330 のブロック図を示す。LO ジェネレータ 330 は、周波数シンセサイザ 340 と、分周器 390 と、バッファ (Buf) 392 a ~ 392 d とを含む。周波数シンセサイザ 340 は、PLL 350 と VCO 380 とを含む。周波数シンセサイザ 340 は、所望の周波数で VCO 信号を生成する。分周器 390 は、VCO 信号を周波数におい

10

20

30

40

50

て分周し (divides the VCO signal in frequency)、L O 信号を供給する。

【 0 0 2 4 】

[0033] P L L 3 5 0 内では、位相 - 周波数検出器 3 6 2 が、基準信号と分周器 3 6 8 からのフィードバック信号とを受け取り、この 2 つの信号の位相を比較し、基準信号とフィードバック信号との間の位相差 / 誤差を示す検出器出力信号を供給する。チャージポンプ 3 6 4 は、検出器出力信号を受け取り、検出された位相誤差に比例する誤差信号を生成する。ループフィルタ 3 6 6 は、誤差信号をフィルタリングし、V C O 3 8 0 のための制御信号を供給する。V C O 3 8 0 は、制御信号に基づいて決定される周波数を有する V C O 信号を生成する。ループフィルタ 3 6 6 は、フィードバック信号の位相が基準信号の位相にロックされるように、制御信号を調整する。分周器 3 6 8 は、N のファクタによって V C O 信号を分周し、フィードバック信号を供給する。分周器ファクタ N は、整数値または非整数値とされ得る。

10

【 0 0 2 5 】

[0034] 分周器 3 9 0 は、V C O 信号を周波数において分周し、お互いに関して 9 0 度、位相がずれている、I L O p 信号と I L O n 信号と Q L O p 信号と Q L O n 信号とを備える 4 つの分周された信号を供給する。バッファ 3 9 2 a ~ 3 9 2 d は、4 つの分周された信号をバッファリングし、9 0 度、位相がずれている、I L O 信号と Q L O 信号とを備える L O 信号を供給する。I L O 信号は、1 8 0 度、位相がずれている、バッファリングされた I L O p 信号とバッファリングされた I L O n 信号とを備える差動信号 (a differential signal) である。Q L O 信号は、1 8 0 度、位相がずれている、バッファリングされた Q L O p 信号とバッファリングされた Q L O n 信号とを備える差動信号である。一般に、差動信号は、接尾辞「p」によって表される非反転信号 (a non-inverting signal) と接尾辞「n」によって表される反転信号 (an inverting signal) とを備える。I L O 信号は、ダウンコンバータ 2 2 4 内のミキサ 3 2 4 に供給され得る。Q L O 信号は、ダウンコンバータ 2 2 4 内のミキサ 3 2 5 に供給され得る。

20

【 0 0 2 6 】

[0035] 図 4 は、分周器 3 9 0 が 1 / 2 I - Q 分周器 (a divide-by-2 I-Q divider) である場合の、V C O 信号ならびに I L O p 信号と I L O n 信号と Q L O p 信号と Q L O n 信号とを示す。この場合に、I L O p 信号、I L O n 信号、Q L O p 信号、および Q L O n 信号は、V C O 信号の半分の周波数である (are at half the frequency of)。さらに、Q L O p 信号は、I L O p 信号に対して 9 0 度 (または、V C O 信号の 1 / 2 サイクル (half cycle)) だけ遅延される。

30

【 0 0 2 7 】

[0036] ワイヤレスデバイス 1 1 0 は、ダウンリンクとアップリンクとを介してワイヤレスシステム内の基地局と通信することができる。ダウンリンク (または順方向リンク) は基地局からワイヤレスデバイスへの通信リンクを指し、アップリンク (または逆方向リンク) はワイヤレスデバイスから基地局への通信リンクを指す。

【 0 0 2 8 】

[0037] ワイヤレスデバイス 1 1 0 は、T D D および / または F D D を利用するワイヤレスシステムとの通信をサポートすることができる。T D D について、ダウンリンクおよびアップリンクは、同一の周波数を共有し、ダウンリンク送信およびアップリンク送信は、同一の周波数上で異なる時間期間内に送られ得る。F D D について、ダウンリンクおよびアップリンクは、別々の周波数を割り振られる。ダウンリンク送信は、ある周波数上で送られ得、アップリンク送信は、別の周波数上で送られ得る。T D D をサポートするいくつかの例示的な無線技術は、L T E T D D、T D - S C D M A、および G S M を含む。F D D をサポートするいくつかの例示的な無線技術は、L T E F D D、W C D M A、および C D M A 1 X を含む。

40

【 0 0 2 9 】

[0038] T D D を利用するワイヤレスシステムと通信する時に、ワイヤレスデバイス 1 1 0 は、バッテリー電力を節約するために、受信 (R X) 時間中にのみ受信器 2 2 0 内の回路

50

網の電源をオンにし/パワーアップすることができ、非RX時間中に(during non-RX time)受信器回路網の電源をオフにし/パワーダウンすることができる。RX時間は、ダウンリンクのために指定された時間期間をカバーすることができ、ワイヤレスデバイス110がダウンリンク信号を受信するのに必要とする時間期間だけをカバーすることができる。非RX時間は、RX時間の一部ではない、すべての残りの時間期間をカバーすることができる。たとえば、ワイヤレスデバイス110は、RX時間中にLOジェネレータ230の電源をオンにすることができ、非RX時間中にLOジェネレータ230の電源をオフにすることができる。したがって、LOジェネレータ230は、不連続な形で(in a non-continuous manner)動作することができる。

【0030】

[0039]図3に示されているように、LOジェネレータ230は、適切なRF周波数でVCO信号を生成するための周波数シンセサイザ340と、LO信号を生成するための分周器390とを含むことができる。周波数シンセサイザ340は、連続位相を有する基準信号にロックされ得、したがって、周波数シンセサイザ340が継続的に電源をオンとオフとにされる可能性がある場合であっても、連続位相を有するVCO信号を生成することができる。しかし、分周器390は、可能な状態のセットのうちの1つでパワーアップすることができる。たとえば、分周器390は、1/2分周器(a divide-by-2 divider)とされ得、電源をオンにされる時に、状態「0」または「1」のいずれかで任意にウェイクアップすることができる。分周器390の状態は、分周器390がウェイクアップする時に、着信VCO信号のどのエッジ(たとえば、立ち上がりエッジまたは立ち下がりエッジ)が分周器390をトリガするのに依存する。一般に、分周器のウェイクアップ信号は、バッテリー電力を節約し、分周器の複雑さを減らすために、VCO信号にタイミングを合わされず、これに同期化されない(is not timed or synchronized with)。1/2分周器が、あるVCOエッジ(または1サイクル)を逃す場合には、1/2分周器出力の絶対位相は、180度だけシフトされる。分周器390は、状態「0」でウェイクアップする場合には、第1の位相を有するILO信号とQLO信号とを生成することができ、状態「1」でウェイクアップする場合には、第2の位相を有するILO信号とQLO信号とを生成することができる。ILO信号およびQLO信号は、その場合、不連続な位相(non-continuous phase)を有する可能性があり、これは、望ましくないか許容できないものであることがある。

【0031】

[0040]図5は、パワーアップされる時に異なる状態でウェイクアップする分周器に起因して不連続な位相を有するLO信号を示す。連続位相を有する基準信号が、図5の最上部に示され、これは、常に電源をオンにされ得る図2の基準信号ジェネレータ232によって生成され得る。連続VCO信号(non-continuous VCO signal)は、常に電源をオンにされる第1の周波数シンセサイザによって生成され得る。不連続VCO信号は、周期的に電源をオンとオフとにされる第2の周波数シンセサイザによって生成され得る。不連続VCO信号は、第2の周波数シンセサイザが、連続位相を有する基準信号にロックされる時に、連続位相を有することができる。

【0032】

[0041]連続LO信号は、連続VCO信号を分周すること(dividing)によって生成され得、連続位相を有することができる。不連続LO信号(non-continuous LO signal)は、不連続VCO信号を周波数において分周する分周器によって生成され得る。この分周器は、時刻T1において電源をオフにされる前に第1の状態(たとえば、状態「0」)で動作することができ、時刻T2において電源をオンにされた後に第2の状態(たとえば、状態「1」)で動作することができる。分周器の異なる状態は、ILO信号とQLO信号との異なるI-Q関係に関連付けられ得る。不連続LO信号は、その場合、分周器が時刻T2において異なる状態であることに起因して、時刻T2において位相不連続性を有する可能性がある。具体的には、不連続LO信号は、時刻T1の前に第1の位相を、時刻T2の後に第2の位相を有する可能性があり、第2の位相は、第1の位相とは異なる。

10

20

30

40

50

【 0 0 3 3 】

[0042]図2のダウンコンバータ224に供給されるLO信号は、RF信号を適切にダウンコンバートするために、経時的に連続位相を有しなければならない(すなわち、位相不連続性(phase discontinuity)を有してはならない)。位相連続性は、常に周波数シンセサイザと分周器とを電源をオンにすることによって達成され得る。しかしながら、LO信号の位相連続性を維持するだけのために、周波数シンセサイザおよび分周器が、アップリンク・サブフレーム中のデータ受信に必要ではない時であっても、重要なバッテリー電力が、周波数シンセサイザと分周器とを電源をオンにするために浪費される可能性がある。

【 0 0 3 4 】

[0043]本開示の一態様では、連続位相を有するLO信号が、PLLフィードバックループの一部として分周器(ダウンコンバータまたはアップコンバータのためにLO信号を生成する)を使用することによって、生成され得る。この分周器は、たとえば図3に示された、お互いに直角位相である(in quadrature)4つの分周された信号を生成する1/2 I-Q分周器(a divide-by-two I-Q divider)とされ得る。この分周器は、異なる位相の複数の分周された信号を生成する、他の分周器比率(divider ratio)を有するI-Q分周器ともされ得る。

【 0 0 3 5 】

[0044]本明細書で説明される技法は、周波数シンセサイザおよび分周器が、これらの回路がバッテリー電力を節約するために周期的に電源をオンとオフとにされる時であっても連続位相を有するLO信号を生成することを可能にすることができる。これらの技法は、受信器のためのLOジェネレータならびに送信器のためのLOジェネレータに使用され得る。明瞭さのために、これらの技法の様々な詳細が、下記で、図2の受信器220のためのLOジェネレータ230について説明される。

【 0 0 3 6 】

[0045]図6Aは、LOジェネレータ630が周期的に電源をオンとオフとにされる時であっても連続位相を有するLO信号を生成できるLOジェネレータ630の例示的な設計のブロック図を示す。LOジェネレータ630は、図2のLOジェネレータ230または260に使用され得る。LOジェネレータ630は、それぞれ図3の周波数シンセサイザ340と分周器390とバッファ392a~392dとに類似する形で結合された、周波数シンセサイザ640と、分周器690と、バッファ692a~692dとを含む。周波数シンセサイザ640は、図3のPLL350とVCO380とに類似する形で結合された、PLL650とVCO680とを含む。

【 0 0 3 7 】

[0046]図6に示された例示的な設計では、PLL650は、それぞれ図3の位相-周波数検出器362とチャージポンプ364とループフィルタ366と分周器368とに類似する形で結合された、位相-周波数検出器662と、チャージポンプ664と、ループフィルタ666と、分周器668とを含む。分周器690は、VCO680からのVCO信号をMのファクタによって分周し、ここで、Mは、2、3、4、または何らかの他の値とされ得る。分周器690は、お互いに関して90度、位相がずれている、ILOp信号とILOn信号とQLOp信号とQLOn信号とを備える4つの分周された信号を供給する。バッファ692a~692dは、4つの分周された信号をバッファリングし、たとえば図4に示されているように、既知の位相関係を有するILO信号とQLO信号とを供給する。バッファ694は、選択された分周された信号を分周器690から受け取り、選択された分周された信号をバッファリングし、バッファリングされた分周された信号を分周器668に供給する。選択された分周された信号は、図6Aに示されているILOp信号、または分周器690によって供給される何らかの他の分周された信号とされ得る。バッファ694などのダミーバッファは、分周器がILOp信号、ILOn信号、QLOp信号、およびQLOn信号に関して類似する負荷を有するように、ILOn信号、QLOp信号、およびQLOn信号の信号経路内に配置され得る。

【 0 0 3 8 】

10

20

30

40

50

[0047]分周器 690 は、PLL 650 の外部に配置され、LO 分周器と呼ばれる場合もある。分周器 668 は、PLL 650 の一部であり、プログラム可能 PLL 分周器（または N 分周器）と呼ばれる場合もある。PLL 分周器 668 は、整数 - N 分周器 (an integer-N divider) または分数 - N 分周器 (a fractional-N divider) とされ得る。PLL 分周器 668 は、デュアルモジュラス・プリスケラまたはマルチモジュラス・プリスケラ (a dual-modulus or multi-modulus prescaler) と、プリスケラの分周器比率を制御するためにモード制御信号を生成することができる周波数カウンタとを備えることができる。PLL 分周器 668 は、I/Q 入力または I/Q 出力を必要としない可能性がある。PLL 分周器 668 は、通常、VCO から単一の位相出力を受け取り、通常はシングルエンデッド (single ended) とされ得る位相 - 周波数検出器用の単一の出力信号を生成することができる。図 6 A に示された例示的な設計では、分周器 668 と 690 との両方が、PLL 650 のフィードバックループ内に配置される。PLL 650 は、PLL 分周器 668 からのフィードバック信号の位相が基準信号の位相にロックされるように、VCO 680 の制御信号を生成する。LO 分周器 690 からの ILOp 信号が、PLL 分周器 668 に供給されるので、PLL 650 は、ILOp 信号の位相が基準信号の位相にロックされるような制御信号を生成する。ILOp 信号は、その場合、PLL 650 が基準信号の連続位相に対して ILOp 信号の位相をロックすることに起因して、連続位相を有するはずである (LO ジェネレータ 630 が周期的に電源をオンとオフとにされる場合であっても)。PLL 650 が、最終的に基準信号にロックするので、PLL 分周器 668 または LO 分周器 690 の初期ウェイクアップ状態は、問題ではない可能性がある。所与の分周器が望まれない状態でウェイクアップする場合には、PLL 650 が基準信号の位相に落ち着くにはより長い時間がかかり得る。

【0039】

[0048]一般に、LO 信号を生成するのに使用される分周器は、任意の個数の可能な状態を有することができ、任意の個数の分周された信号を生成することができる。たとえば、分周器は、図 6 A に示されているように、お互いと直角位相である 4 つの分周された信号を生成する 1/2 I - Q 分周器 (a divide-by-two I-Q divider) とされ得る。分周器は、異なる位相を有する複数の分周された信号を生成する、他の分周器比率を有する I - Q 分周器ともされ得る。どの場合でも、1 つの分周された信号が、分周器によって出力される複数の分周された信号の中から選択され得る。選択された分周された信号は、PLL にフィードバックされ、連続位相を有する基準信号にロックされ得る。選択された分周された信号は、その場合、連続位相を有するはずである。他の分周された信号は、それぞれ、分周器の設計に起因して、選択された分周された信号の位相に対して既知の位相を有するはずである。

【0040】

[0049]図 6 B は、LO ジェネレータ 632 が周期的に電源をオンとオフとにされる時であっても連続位相を有する LO 信号を生成できる LO ジェネレータ 632 の例示的な設計のブロック図を示す。LO ジェネレータ 632 は、図 2 の LO ジェネレータ 230 または 260 にも使用され得る。LO ジェネレータ 632 は、上記で図 6 A に関して説明されたように結合される、周波数シンセサイザ 642 と、分周器 690 と、バッファ 692 a ~ 692 d および 694 とを含む。周波数シンセサイザ 642 は、PLL 652 と VCO 680 と分周器 670 とを含む。PLL 652 および VCO 680 は、図 3 の PLL 350 と VCO 380 とに類似する形で結合される。

【0041】

[0050]図 6 B に示された例示的な設計では、PLL 652 は、上記で図 6 A に関して説明されたように結合される、位相 - 周波数検出器 662 と、チャージポンプ 664 と、ループフィルタ 666 と、分周器 668 とを含む。PLL 652 は、マルチプレクサ (Mux) 672 をさらに含む。分周器 670 は、VCO 680 から VCO 信号を受け取り、VCO 信号を L のファクタによって周波数において分周し、第 1 の分周された信号をマルチプレクサ 672 の第 1 の入力に供給する。L は、2、3、4、または何らかの他の値と等し

10

20

30

40

50

いものとされ得る。バッファ694は、選択された分周された信号(たとえば、ILOp信号)を分周器690から受け取り、バッファリングし、第2の分周された信号をマルチプレクサ672の第2の入力に供給する。マルチプレクサ672は、モード制御信号に基づいて、第1の分周された信号または第2の分周された信号を分周器668に供給する。

【0042】

[0051]一つの設計では、LOジェネレータ632は、連続モードまたは不連続モードのいずれかで動作することができ、これは、モード制御信号によって示され得る。連続モードでは、VCO信号は、分周器670によって分周され、マルチプレクサ672を介してルーティングされ、分周器668に供給され得る。分周器670は、単一の分周された信号を供給し、PLL分周器668の周波数動作範囲要件(frequency operation range requirement)を緩和することができる。分周器670は、分周器668がVCO周波数で直接に動作できる時には、バイパスされ得る。バッファ694は、連続モードでは電源をオフにされ得る。分周器690は、連続モードでは、ダウンコンバータのためのLO信号を供給するために、電源をオンにされ得る。不連続モードでは、バッファ694からのILOp信号が、マルチプレクサ672を介してルーティングされ、分周器668に供給され得る。PLL652のフィードバックループ内でのILOp信号の使用は、LOジェネレータ632が周期的に電源をオンとオフとにされ得る場合であっても、LOジェネレータ632が連続位相を有するILOp信号を生成することを可能にすることができる。分周器670は、不連続モードでは電源をオフにされ得る。連続モードは、LOジェネレータ632が連続的に電源をオンにされる時、または連続位相を有するLO信号が必要ではない時に、使用のために選択され得る。不連続モードは、連続位相が要求され、LOジェネレータ632が周期的に電源をオンとオフとにされる時に、使用のために選択され得る。

【0043】

[0052]一つの設計では、VCO680は、マルチ帯域応用および/またはマルチモード応用のために複数のLO分周器を駆動することができる。複数のLO分周器は、LO分周器690と、図6Bには示されていない少なくとも1つの追加のLO分周器とを含むことができる。複数のLO分周器は、物理的に分離され得、および/または異なる分周器比率を有することができる。LO分周器、LNA、およびミキサが、帯域ごとに物理的に分離され得るので、異なるLO分周器出力をPLLにフィードバックするのではなく、(図6Bの分周器670に対応することができる)PLLそれ自体のための共通の分周器を有することが、有利である可能性がある。VCO680からの共通のロックされたVCO信号が、連続モードでは、マルチ帯域応用および/またはマルチモード応用において、異なるLO分周器にルーティングされ得る。

【0044】

[0053]図6Cは、LOジェネレータ634が周期的に電源をオンとオフとにされる時であっても連続位相を有するLO信号を生成できるLOジェネレータ634の例示的な設計のブロック図を示す。LOジェネレータ634は、図2のLOジェネレータ230または260にも使用され得る。LOジェネレータ634は、上記で図6Aに関して説明されたように結合される、周波数シンセサイザ644と、分周器690と、バッファ692a~692dおよび694とを含む。周波数シンセサイザ644は、PLL654とVCO680と分周器674とを含む。PLL644およびVCO680は、図3のPLL350とVCO380とに類似する形で結合される。

【0045】

[0054]図6Cに示された例示的な設計では、PLL654は、上記で図6Aに関して説明されたように結合される、位相-周波数検出器662と、チャージポンプ664と、ループフィルタ666とを含む。PLL654は、マルチプレクサ678をさらに含む。分周器674は、VCO680からVCO信号を受け取り、VCO信号をKのファクタによって周波数において分周し、第1の分周された信号をマルチプレクサ678の第1の入力に供給する。Kは、任意の整数値または非整数値とされ得る。分周器676は、選択され

10

20

30

40

50

た分周された信号をバッファ 694 から受け取り、選択された分周された信号を Q のフックタによって分周し、第 2 の分周された信号をマルチプレクサ 678 の第 2 の入力に供給する。マルチプレクサ 678 は、モード制御信号に基づいて、第 1 の分周された信号または第 2 の分周された信号を位相 - 周波数検出器 662 に供給する。

【0046】

[0055]一つの設計では、LOジェネレータ 634 は、連続モードまたは不連続モードのいずれかで動作することができ、これは、モード制御信号によって示され得る。連続モードでは、VCO信号は、分周器 674 によって分周され、マルチプレクサ 672 を介してルーティングされ、位相 - 周波数検出器 662 に供給され得る。分周器 676 およびバッファ 694 は、連続モードでは電源をオフにされ得る。不連続モードでは、バッファ 694 からの ILOp 信号は、分周器 676 によって周波数において分周され、マルチプレクサ 678 を介してルーティングされ、位相 - 周波数検出器 662 に供給され得る。PLL 654 のフィードバックループ内での ILOp 信号の使用は、LOジェネレータ 634 が周期的に電源をオンとオフとにされる時であっても、LOジェネレータ 634 が連続位相を有する ILOp 信号を生成することを可能にすることができる。分周器 674 は、不連続モードでは電源をオフにされ得る。

【0047】

[0056]図 6C に示された設計では、別々の分周器 674 および 676 が、連続モードと不連続モードとのために使用される。分周器 674 は、VCO 680 から分周器 674 までの VCO 信号のルーティングトレース (routing traces) を短縮するために VCO 680 の近くに配置され得、これは、電力散逸 (power dissipation) を減らし、性能を改善することができる。分周器 676 は、分周器 690 およびバッファ 694 から分周器 676 までの ILOp 信号のルーティングトレースを短縮するために分周器 690 の近くに配置され得る。

【0048】

[0057]図 6A ~ 図 6C は、分周された信号の連続位相を保証するために、LO分周器からの分周された信号が PLL のフィードバックループ内で使用される、LOジェネレータの 3 つの例示的な設計を示す。連続位相を有する LO 信号を生成することができる LOジェネレータは、他の形でも実施され得る。たとえば、VCO は、電流制御発振器 (a current controlled oscillator) (ICO) その他など、何らかの他のタイプの発振器で置換され得る。PLL も、他の形で実施され得、PLL は、図 6A ~ 図 6C に示されていない異なる回路および / または追加の回路を含むことができる。

【0049】

[0058]図 7 は、図 3 の分周器 390 または図 6A ~ 図 6C の分周器 690 に使用される 1/2 I-Q 分周器 (a divide-by-two I-Q divider) 790 の例示的な設計の概略図を示す。分周器 790 は、交差結合された (cross-coupled) 2 つの D フリップフロップ 796 と 798 とを含む。フリップフロップ 796 は、その Q 出力がフリップフロップ 798 の D 入力に結合されている。フリップフロップ 798 は、その

【数 1】

\bar{Q} (以下、 Q^{-} と記載する)

【0050】

出力がフリップフロップ 796 の D 入力に結合されている。インバータ 792 は、VCO 信号を受け取るその入力を有し、その出力がフリップフロップ 796 のクロック入力に結合されている。インバータ 794 は、その入力がインバータ 792 の出力に結合され、その出力がフリップフロップ 798 のクロック入力に結合されている。フリップフロップ 796 は、それぞれ、その Q 出力と Q^{-} 出力とから ILOp 信号と ILOn 信号とを供給する。フリップフロップ 798 は、それぞれ、その Q 出力と Q^{-} 出力とから Q

L O p 信号と Q L O n 信号とを供給する。

【 0 0 5 1 】

[0059]フリップフロップ796および798は、インバータ794に起因して、V C O 信号の立ち上がりエッジと立ち上がりエッジとによってクロックされる (clocked)。したがって、フリップフロップ798のQ出力およびQ⁻出力は、フリップフロップ796のQ出力およびQ⁻出力の後に1/2 V C O 信号サイクル推移する (transition one half VCO signal cycle after)。

【 0 0 5 2 】

[0060]フリップフロップ796が、電源をオンにされる時に、Q出力は、当初は、フリップフロップ796が状態「0」または「1」のどちらでウェイクアップするのに依存して、論理ハイ (a logic high) または論理ロウ (a logic low) を提供することができる。フリップフロップ798は、1/2のV C O 信号サイクル後に (one half VCO signal cycle later)、フリップフロップ796のQ出力上の論理値をクロックし (clock)、そのQ出力においてクロックされた論理値を供給する。したがって、フリップフロップ798のQ出力からのQ L O p 信号は、フリップフロップ796のQ出力からのI L O p 信号の遅延されたバージョンである。フリップフロップ796は、次のV C O 信号サイクルにおいて、フリップフロップ798のQ⁻出力 (またはフリップフロップ796のQ⁻出力) 上の論理値をクロックする。したがって、フリップフロップ796は、2による分周 (divide by two) を実施するために、交番する (alternating) V C O 信号サイクル上の論理ハイと論理ロウとの間でトグルする (toggle)。

【 0 0 5 3 】

[0061]図7は、L O 信号に関する異なる位相の複数の分周された信号を生成するのに使用され得るI - Q分周器の例示的な設計を示す。異なる位相の複数の分周された信号を生成する分周器は、他の回路を用いて他の形でも実施される。

【 0 0 5 4 】

[0062]連続位相を有するL O 信号を生成するための、本明細書で説明される技法は、T D D を利用する様々なワイヤレスシステムと通信するワイヤレスデバイスに使用され得る。たとえば、これらの技法は、L T E T D D システム、T D - S C D M A システムなどにおいてワイヤレスデバイスに使用され得る。異なるワイヤレスシステムは、T D D をサポートするために異なるフレーム構造を利用することができる。

【 0 0 5 5 】

[0063]図8Aは、T D - S C D M A のための例示的なフレーム構造800を示す。送信タイムライン (transmission time line) は、フレームに区分され、各フレームは、システムフレーム番号 (S F N) によって識別される。各フレームは、10ミリ秒 (m s) の持続時間 (a duration) を有し、2つのサブフレーム1と2とに区分される。各サブフレームは、5 m s の持続時間を有し、7つのタイムスロット0~6と、ダウンリンク・パイロット・タイムスロット (a Downlink Pilot Time Slot) (D w P T S) と、アップリンク・パイロット・タイムスロット (an Uplink Pilot Time Slot) (U p P T S) と、ガード期間 (a guard period) (G P) とに区分される。D w P T S、ガード期間、およびU p P T S は、タイムスロット0の後に配置される。タイムスロット0は、ダウンリンクのために使用され、タイムスロット1は、アップリンクのために使用され、タイムスロット2~6は、それぞれ、スイッチポイント (s w i t c h p o i n t) によって決定されるように、ダウンリンクおよび/またはアップリンクのために使用され得る。各タイムスロットは、675マイクロ秒 (μs (または864チップ)) の持続時間を有する。D w P T S は、75 μs (または96チップ) の持続時間を有し、U p P T S は、125 μs (または160チップ) の持続時間を有する。ガード期間は、D w P T S とU p P T S との間に配置され、75 μs (または96チップ) の持続時間を有する。

【 0 0 5 6 】

[0064]T D - S C D M A について、各タイムスロットは、第1のデータ部分と、ミッドアンプルと、第2のデータ部分と、ガード期間とを含む。各データ部分は、275 μs (

10

20

30

40

50

または352チップ)の持続時間を有し、ミッドアンプルは、112.5 μ s(または144チップ)の持続時間を有する。ガード期間は、タイムスロットの終りに配置され、12.5 μ s(または16チップ)の持続時間を有する。各タイムスロットは、データ送信のために1つまたは複数のユーザに割り当てられ得る。

【0057】

[0065]図8Bは、LTE TDDのための例示的なフレーム構造850を示す。送信タイムラインは、無線フレームのユニットに区分され、各無線フレームは、10msの持続時間を有する。各無線フレームは、0~9のインデックスを有する10個のサブフレームに区分される。LTEは、TDDについて、複数のアップリンク-ダウンリンク構成をサポートする。すべてのアップリンク-ダウンリンク構成について、サブフレーム0および5はダウンリンクのために使用され、サブフレーム2はアップリンクのために使用される。サブフレーム3、4、7、8、および9は、それぞれ、アップリンク-ダウンリンク構成に依存して、ダウンリンクまたはアップリンクのために使用され得る。サブフレーム1は、DwPTSとガード期間(GP)とUpPTSとからなる3つの特別なフィールドを含む。サブフレーム6は、アップリンク-ダウンリンク構成に依存して、DwPTSだけ、3つの特別なフィールドのすべて、またはダウンリンク・サブフレームを含むことができる。DwPTS、ガード期間、およびUpPTSは、異なるサブフレーム構成について異なる持続時間を有することができる。DwPTSは、214 μ sと857 μ sとの間の持続時間を有することができる。UpPTSは、71 μ sと142 μ sとの間の持続時間を有することができる。ガード期間は、71 μ sと714 μ sとの間の持続時間を有することができる。

【0058】

[0066]図8Aおよび図8Bに示されているように、TD-SCDMAシステムおよびLTE TDDシステムは、ダウンリンク・タイムスロットとアップリンク・タイムスロットとの間の高速の切替(fast switching)を有する。たとえば、図8Aに示されたTD-SCDMAシステムのサブフレーム内では、ダウンリンクからアップリンクへの推移が、タイムスロット0の後に75 μ sのガード期間内に発生し、アップリンクからダウンリンクへの推移が、あるタイムスロットの終りにおいて12.5 μ sのガード期間内に発生する。

【0059】

[0067]一般に、TDDシステムでは、いくつかのサブフレームが、ダウンリンクのために使用され得、ダウンリンク・サブフレームと呼ばれ得る。残りのサブフレームは、アップリンクのために使用され得、アップリンク・サブフレームと呼ばれ得る。ワイヤレスデバイス110は、バッテリー電力を節約するために、アップリンク・サブフレームの間に行える限り多数の受信器回路網をディスエーブルすることができる。ワイヤレスデバイス110は、バッテリー電力を節約するために、ダウンリンク・サブフレームの間に行える限り多数の送信器回路網をディスエーブルすることもできる。

【0060】

[0068]図8Aおよび図8Bに示されているように、TDDを利用するワイヤレスシステムとの通信に関して、受信器は、いくつかのタイムインターバルの間に限ってアクティブにされ得、送信器は、いくつかの他のタイムインターバルの間にアクティブにされ得る。具体的には、受信器は、TD-SCDMAシステム内でダウンリンク・タイムスロットの間にまたはLTE TDDシステム内でダウンリンク・サブフレームの間にアクティブにされ得る。送信器は、TD-SCDMAシステム内でアップリンク・タイムスロットの間にまたはLTE TDDシステム内でアップリンク・サブフレームの間にアクティブにされ得る。バッテリー電力を節約し、おそらくは性能を改善するために、LOジェネレータ230は、受信器がアクティブである時に限ってイネーブルされ得、他の時にディスエーブルされ得る。

【0061】

[0069]図9は、TD-SCDMAに関して図2のワイヤレスデバイス110内のRX

ＬＯジェネレータ２３０とＴＸ ＬＯジェネレータ２６０とを電源をオンにし、オフにするための例示的なタイムライン９００を示す。アップリンク上でのデータ送信に関して、ＴＸ ＬＯジェネレータ２６０は、(i)時刻Ｔ１におけるＤｗＰＴＳのスタートにおいてイネーブルされ、(ii)時刻Ｔ４におけるアップリンクのためのタイムスロット１の終りにてディスエーブルされる。送信器２５０は、(i)時刻Ｔ２におけるタイムスロット１のスタートの前においてイネーブルされ、(ii)時刻Ｔ４におけるアップリンクのためのタイムスロット１の終りにてディスエーブルされる。

【００６２】

[0070]ダウンリンク上でのデータ受信に関して、ＲＸ ＬＯジェネレータ２３０は、(i)時刻Ｔ１におけるダウンリンクのためのタイムスロット０の終りにてディスエーブルされ、(ii)時刻Ｔ３におけるダウンリンクのためのタイムスロット２のスタートの前においてイネーブルされる。ＲＸ ＬＯジェネレータ２３０は、時刻Ｔ３において開始して基準信号にロックすることを試み、時刻Ｔ４においてロックを達成する。受信器２２０は、(i)時刻Ｔ１におけるダウンリンクのためのタイムスロット０の終りにてディスエーブルされ、(ii)時刻Ｔ４におけるダウンリンクのためのタイムスロット２のスタートの前においてイネーブルされる。

10

【００６３】

[0071]図９に示されているように、ＲＸ ＬＯジェネレータ２３０は、データ受信のためのＬＯ信号を生成するために、ダウンリンク・サブフレームの間に電源をオンにされ得る。ＲＸ ＬＯジェネレータ２３０は、アップリンク・サブフレームの間に電源をオフにされ得る。

20

【００６４】

[0072]例示的な設計では、装置（たとえば、ワイヤレスデバイス、ＩＣ、回路モジュールなど）は、発振器と分周器とPLLとを含むことができる。発振器（たとえば、図６Ａ～図６ＣのＶＣＯ６８０）は、制御信号を受け取り、制御信号によって決定される周波数を有する発振器信号（たとえば、ＶＣＯ信号）を供給することができる。分周器（たとえば、分周器６９０）は、発振器信号を受け取り、異なる位相の複数の分周された信号を生成することができる。PLL（たとえば、図６Ａ、図６Ｂ、または図６ＣのPLL６５０、６５２、または６５４）は、基準信号と、複数の分周された信号の中の選択された分周された信号とを受け取ることができ、発振器のための制御信号を生成することができる。装置は、さらに、複数の分周された信号のうちの少なくとも１つに基づいて生成されたＬＯ信号を用いて入力ＲＦ信号をダウンコンバートすることができるダウンコンバータ（たとえば、ダウンコンバータ２２４）を備えることができる。

30

【００６５】

[0073]例示的な設計では、分周器は、９０度、位相がずれている４つの分周された信号を備える複数の分周された信号を生成することができる。たとえば、分周器は、９０度、位相がずれている４つの分周された信号を供給することができる１／２Ｉ－Ｑ分周器（a divide-by-two I-Q divider）を備えることができる。PLLは、４つの分周された信号の中の選択された分周された信号を受け取ることができる。分周器は、電源をオンにされる時に、複数の可能な状態のうちの１つであることができる。分周器の複数の可能な状態は、分周器が電源をオンにされる時に選択された分周された信号の異なる位相に関連付けられ得る。PLLのフィードバックループ内での選択された分周された信号の使用は、分周器が電源をオンにされる時に分周器の状態にかかわらず、選択された分周された信号が連続位相を有することを保証することができる。

40

【００６６】

[0074]例示的な設計では、装置は、さらに、発振器信号を受け取り、第２の分周された信号を生成することができる、第２の分周器（たとえば、図６Ｂの分周器６７０または図６Ｃの分周器６７４）を備えることができる。PLLは、分周器からの選択された分周された信号または第２の分周器からの第２の分周された信号に基づいて、制御信号を生成することができる。

50

【 0 0 6 7 】

[0075]図 6 C に示された例示的な設計では、PLL は、マルチプレクサと位相 - 周波数検出器とを備えることができる。マルチプレクサ（たとえば、図 6 C のマルチプレクサ 6 7 8 ）は、分周器からの選択された分周された信号と第 2 の分周器からの第 2 の分周された信号とを受け取ることができ、選択された分周された信号または第 2 の分周された信号のいずれかを供給することができる。位相 - 周波数検出器（たとえば、検出器 6 6 2 ）は、基準信号と、マルチプレクサからの選択された分周された信号または第 2 の分周された信号とを受け取ることができ、制御信号を生成するのに使用される検出器出力信号を供給することができる。

【 0 0 6 8 】

[0076]図 6 B に示された例示的な設計では、PLL は、マルチプレクサと第 3 の分周器と位相 - 周波数検出器とを備えることができる。マルチプレクサ（たとえば、図 6 B のマルチプレクサ 6 7 2 ）は、分周器からの選択された分周された信号と第 2 の分周器からの第 2 の分周された信号とを受け取ることができ、選択された分周された信号または第 2 の分周された信号を供給することができる。第 3 の分周器（たとえば、分周器 6 6 8 ）は、マルチプレクサから選択された分周された信号または第 2 の分周された信号を受け取ることができ、第 3 の分周された信号を供給することができる。位相 - 周波数検出器（たとえば、検出器 6 6 2 ）は、基準信号と第 3 の分周された信号とを受け取ることができ、制御信号を生成するのに使用される検出器出力信号を供給することができる。

【 0 0 6 9 】

[0077]例示的な設計では、分周器は、(i) ダウンリンク受信のためのタイムインターバルの前に電源をオンにされ、(i i) アップリンク送信のためのタイムインターバルの少なくとも一部の間に電源をオフにされ得る。例示的な設計では、分周器は、不連続 L O 信号を生成するために選択され得、第 2 の分周器は、連続 L O 信号 (a continuous L O signal) を生成するために選択され得る。

【 0 0 7 0 】

[0078]図 1 0 は、L O 信号を生成するためのプロセス 1 0 0 0 の例示的な設計を示す。制御信号によって決定される周波数を有する発振器信号が、生成され得る（たとえば、図 6 A ~ 図 6 C の V C O 6 8 0 によって）（ブロック 1 0 1 2 ）。発振器信号は、異なる位相の複数の分周された信号を入手するために、周波数において分周され得る（たとえば、図 6 A ~ 図 6 C の分周器 6 9 0 によって）（ブロック 1 0 1 4 ）。制御信号は、基準信号、ならびに複数の分周された信号の中の選択された分周された信号に基づいて生成され得る（たとえば、図 6 A 、図 6 B 、または図 6 C の P L L 6 4 0 、6 4 2 、または 6 4 4 によって）（ブロック 1 0 1 6 ）。L O 信号は、複数の分周された信号のうちの少なくとも 1 つに基づいて生成され得る（ブロック 1 0 1 8 ）。入力 R F 信号は、L O 信号を用いてダウンコンバートされ得る（ブロック 1 0 2 0 ）。

【 0 0 7 1 】

[0079]ブロック 1 0 1 4 の 1 つの設計では、発振器信号は、9 0 度、位相がずれている 4 つの分周された信号を入手するために、周波数において分周され得る。選択された分周された信号は、4 つの分周された信号のうちの 1 つとされ得る。

【 0 0 7 2 】

[0080]1 つの設計では、複数の分周された信号を生成するのに使用される分周器は、不連続に操作され得る。たとえば、分周器は、ダウンリンク受信のためのタイムインターバルの前に電源をオンにされ得、アップリンク送信のためのタイムインターバルの少なくとも一部の間に電源をオフにされ得る。

【 0 0 7 3 】

[0081]1 つの設計では、第 2 の分周された信号は、発振器信号に基づいて（たとえば、分周器 6 7 0 または 6 7 4 によって）生成され得る。制御信号は、選択された分周された信号または第 2 の分周された信号に基づいて生成され得る。図 6 C に示された 1 つの設計では、基準信号と、選択された分周された信号または第 2 の分周された信号との間の位相

10

20

30

40

50

誤差は、たとえば図6Cに示されているように、検出され得る。制御信号は、検出された位相誤差に基づいて生成され得る。図6Bに示された別の設計では、選択された分周された信号または第2の分周された信号は、第3の分周された信号を入手するために、周波数において分周され得る。基準信号と第3の分周された信号との間の位相誤差は、検出され得る。制御信号は、その場合、検出された位相誤差に基づいて生成され得る。

【0074】

[0082]当業者は、情報および信号が、様々な異なる技術と技法とのいずれを使用しても表現され得ることを理解するはずである。たとえば、上記の説明全体で参照され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁性粒子、光場もしくは光学粒子、またはその任意の組合せによって表現され得る。

10

【0075】

[0083]当業者は、本明細書の開示に関連して説明された様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、またはこの両方の組合せとして実施され得ることをさらに了解するはずである。ハードウェアとソフトウェアとのこの交換可能性を明瞭に示すために、様々な例示的なコンポーネント、ブロック、モジュール、回路、およびステップは、上記では全般的にそれらの機能性に関して説明された。そのような機能性が、ハードウェアまたはソフトウェアのどちらとして実施されるのかは、特定の応用例と、システム全体に課せられる設計制約とに依存する。当業者は、説明された機能性を、特定の応用例ごとに様々な形で実施することができるが、そのような実施決定が、本開示の範囲からの逸脱を引き起こすと解釈されてはならない。

20

【0076】

[0084]本明細書の開示に関連して説明された様々な例示的な論理ブロック、モジュール、および回路は、本明細書で説明される機能を実行するように設計された、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、ディスクリートゲートもしくはトランジスタ論理、ディスクリートハードウェアコンポーネント、またはその任意の組合せを用いて実施されまたは実行され得る。汎用プロセッサは、マイクロプロセッサとされ得るが、代替案では、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械とされ得る。プロセッサは、コンピューティングデバイスの組合せとして、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアに関連する1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成としても実施され得る。

30

【0077】

[0085]本明細書の開示に関連して説明された方法またはアルゴリズムのステップは、ハードウェアで直接に、プロセッサによって実行されるソフトウェアモジュールで、またはこの2つの組合せで、実施され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROM(登録商標)メモリ、レジスタ、ハードディスク(disk)、リムーバブルディスク(disk)、CD-ROM、または当技術分野で既知の任意の他の形の記憶媒体内に存在することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替案では、記憶媒体は、プロセッサに一体とされ得る。プロセッサおよび記憶媒体は、ASIC内に存在することができる。ASICは、ユーザ端末内に存在することができる。代替案では、プロセッサおよび記憶媒体は、ユーザ端末内にディスクリートコンポーネントとして存在することができる。

40

【0078】

[0086]1つまたは複数の例示的な設計では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはその任意の組合せにおいて実施され得る。ソフトウェアで実施される場合に、機能は、コンピュータ可読媒体上の1つまたは複数の命令またはコ

50

ードとして記憶されまたは伝送され得る。コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を容易にするすべての媒体を含む通信媒体と、コンピュータ記憶媒体との両方を含む。記憶媒体は、汎用コンピュータまたは専用コンピュータによってアクセスされ得る任意の使用可能な媒体とされ得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスク(disk)ストレージ、磁気ディスク(disk)ストレージもしくは他の磁気ストレージデバイス、あるいは、命令もしくはデータ構造の形で所望のプログラムコード手段を搬送しまたは記憶するのに使用され得、汎用コンピュータもしくは専用コンピュータまたは汎用プロセッサもしくは専用プロセッサによってアクセスされ得る任意の他の媒体を備えることができる。また、すべての接続は、当然、コンピュータ可読媒体と呼ばれる。たとえば、ソフトウェアが、ウェブサイト、サーバ、または他のリモートソースから同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用して送信される場合に、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。ディスク(disk)およびディスク(disc)は、本明細書で使用される時に、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)、およびブルーレイ(登録商標)ディスク(disc)を含み、diskは、通常は磁氣的にデータを再生し、discは、レーザーを用いて光学的にデータを再生する。上記の組合せも、コンピュータ可読媒体の範囲に含まれなければならない。

10

20

【0079】

[0087]本開示の前の説明は、当業者が本開示を作りまたは使用することを可能にするために提供される。本開示に対する様々な変更は、当業者にたやすく明白になり、本明細書で定義される包括的な原理は、本開示の趣旨または範囲から逸脱せずに、他の変形形態に適用され得る。したがって、本開示は、本明細書で説明される例と設計とに限定されることを意図されているのではなく、本明細書で開示される原理および新規の特徴と一貫する最も広い範囲に従わなければならない。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

30

[C1]

制御信号を受け取り、前記制御信号によって決定される周波数を有する発振器信号を供給するように構成された発振器と、

前記発振器信号を受け取り、異なる位相の複数の分周された信号を生成するように構成された分周器と、

基準信号と前記複数の分周された信号の中の選択された分周された信号とを受け取り、前記発振器のための前記制御信号を生成するように構成された位相ロックループ(PLL)と

を備える装置。

40

[C2]

前記分周器によって生成される前記複数の分周された信号は、90度、位相がずれている4つの分周された信号を備え、前記PLLは、前記4つの分周された信号の中の前記選択された分周された信号を受け取るように構成される、C1に記載の装置。

[C3]

前記分周器は、90度、位相がずれている4つの分周された信号を供給する1/2同相-直角位相分周器を備える、C1に記載の装置。

[C4]

前記分周器は、電源をオンにされる時に複数の可能な状態のうちの1つであり、前記分周器の前記複数の可能な状態は、前記分周器が電源をオンにされる時に前記選択された分周された信号の異なる位相に関連付けられる、C1に記載の装置。

50

[C 5]

前記複数の分周された信号のうちの少なくとも1つに基づいて生成される局所発振器 (L O) 信号を用いて入力無線周波数 (R F) 信号をダウンコンバートするように構成されたダウンコンバータ

をさらに備える、C 1 に記載の装置。

[C 6]

前記発振器信号を受け取り、第2の分周された信号を生成するように構成された第2の分周器、ここにおいて、前記 P L L は、前記分周器からの前記選択された分周された信号または前記第2の分周器からの前記第2の分周された信号に基づいて前記制御信号を生成するように構成される、

をさらに備える、C 1 に記載の装置。

10

[C 7]

前記 P L L は、

前記分周器からの前記選択された分周された信号と前記第2の分周器からの前記第2の分周された信号とを受け取り、前記選択された分周された信号または前記第2の分周された信号を供給するように構成されたマルチプレクサと、

前記基準信号と前記マルチプレクサからの前記選択された分周された信号または前記第2の分周された信号とを受け取り、前記制御信号を生成するのに使用される検出器出力信号を供給するように構成された位相 - 周波数検出器と

を備える、C 6 に記載の装置。

20

[C 8]

前記 P L L は、

前記分周器からの前記選択された分周された信号と前記第2の分周器からの前記第2の分周された信号とを受け取り、前記選択された分周された信号または前記第2の分周された信号を供給するように構成されたマルチプレクサと、

前記マルチプレクサから前記選択された分周された信号または前記第2の分周された信号を受け取り、第3の分周された信号を供給するように構成された第3の分周器と、

前記基準信号と前記第3の分周された信号とを受け取り、前記制御信号を生成するのに使用される検出器出力信号を供給するように構成された位相 - 周波数検出器と

を備える、C 6 に記載の装置。

30

[C 9]

前記分周器は、不連続局所発振器 (L O) 信号を生成するために選択され、前記第2の分周器は、連続 L O 信号を生成するために選択される、C 6 に記載の装置。

[C 1 0]

前記分周器は、ダウンリンク受信のためのタイムインターバルの前に電源をオンにされ、アップリンク送信のためのタイムインターバルの少なくとも一部の間電源をオフにされる、C 1 に記載の装置。

[C 1 1]

制御信号によって決定される周波数を有する発振器信号を生成することと、

異なる位相の複数の分周された信号を入手するために前記発振器信号を周波数において分周することと、

基準信号と前記複数の分周された信号の中の選択された分周された信号とに基づいて前記制御信号を生成することと

を備える方法。

40

[C 1 2]

前記発振器信号を前記分周することは、90度、位相がずれている4つの分周された信号を入手するために前記発振器信号を周波数において分周することを備え、前記選択された分周された信号は、前記4つの分周された信号のうちの1つである、C 1 1 に記載の方法。

[C 1 3]

50

前記複数の分周された信号のうちの少なくとも1つに基づいて局所発振器（LO）信号を生成することと、

前記LO信号を用いて入力無線周波数（RF）信号をダウンコンバートすることとをさらに備える、C11に記載の方法。

[C14]

前記発振器信号に基づいて第2の分周された信号を生成することと、

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を生成することと

をさらに備える、C11に記載の方法。

[C15]

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を前記生成することは、

基準信号と前記選択された分周された信号または前記第2の分周された信号との間の位相誤差を検出することと、

前記検出された位相誤差に基づいて前記制御信号を生成することと

を備える、C14に記載の方法。

[C16]

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を前記生成することは、

第3の分周された信号を入手するために前記選択された分周された信号または前記第2の分周された信号を周波数において分周することと、

基準信号と前記第3の分周された信号との間の位相誤差を検出することと、

前記検出された位相誤差に基づいて前記制御信号を生成することと

を備える、C14に記載の方法。

[C17]

分周器を用いて前記複数の分周された信号を生成することと、

ダウンリンク受信のためのタイムインターバルの前に前記分周器の電源をオンにすることと、

アップリンク送信のためのタイムインターバルの少なくとも一部の間に前記分周器の電源をオフにすることと

をさらに備える、C11に記載の方法。

[C18]

制御信号によって決定される周波数を有する発振器信号を生成するための手段と、

異なる位相の複数の分周された信号を入手するために前記発振器信号を周波数において分周するための手段と、

基準信号と前記複数の分周された信号の中の選択された分周された信号とに基づいて前記制御信号を生成するための手段と

を備える装置。

[C19]

前記発振器信号を分周するための前記手段は、90度、位相がずれている4つの分周された信号を入手するために前記発振器信号を周波数において分周するための手段を備え、

前記選択された分周された信号は、前記4つの分周された信号のうちの1つである、C18に記載の装置。

[C20]

前記複数の分周された信号のうちの少なくとも1つに基づいて局所発振器（LO）信号を生成するための手段と、

前記LO信号を用いて入力無線周波数（RF）信号をダウンコンバートするための手段と

をさらに備える、C18に記載の装置。

[C21]

10

20

30

40

50

前記発振器信号に基づいて第2の分周された信号を生成するための手段と、
前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を生成するための手段と
をさらに備える、C18に記載の装置。

[C22]

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号の生成するための前記手段は、
基準信号と前記選択された分周された信号または前記第2の分周された信号との間の位相誤差を検出するための手段と、
前記検出された位相誤差に基づいて前記制御信号を生成するための手段と
を備える、C21に記載の装置。

10

[C23]

前記選択された分周された信号または前記第2の分周された信号に基づいて前記制御信号を生成するための前記手段は、
第3の分周された信号を入手するために前記選択された分周された信号または前記第2の分周された信号を周波数において分周するための手段と、
基準信号と前記第3の分周された信号との間の位相誤差を検出するための手段と、
前記検出された位相誤差に基づいて前記制御信号を生成するための手段と
を備える、C21に記載の装置。

20

[C24]

ダウンリンク受信のためのタイムインターバルの前に前記発振器信号を分周するための前記手段の電源をオンにするための手段と、
アップリンク送信のためのタイムインターバルの少なくとも一部の間に前記発振器信号を分周するための前記手段の電源をオフにするための手段と
をさらに備える、C18に記載の装置。

[C25]

少なくとも1つのプロセッサに、制御信号によって決定される周波数を有する発振器信号の生成を指示させるコードと、
前記少なくとも1つのプロセッサに、前記発振器信号に基づく異なる位相の複数の分周された信号の生成を指示させるコードと、
前記少なくとも1つのプロセッサに、基準信号と前記複数の分周された信号の中の選択された分周された信号とに基づく前記制御信号の生成を指示させるコードと
を備える非一時的コンピュータ可読媒体
を備えるコンピュータプログラム製品。

30

【 図 7 】

図 7

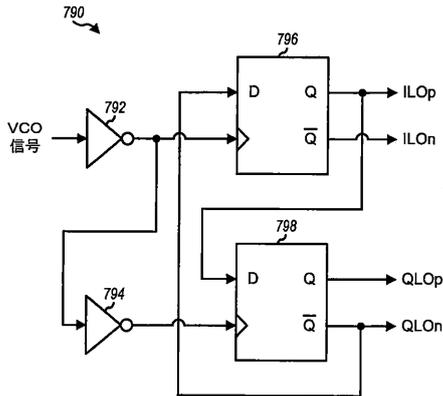


FIG. 7

【 図 8 A 】

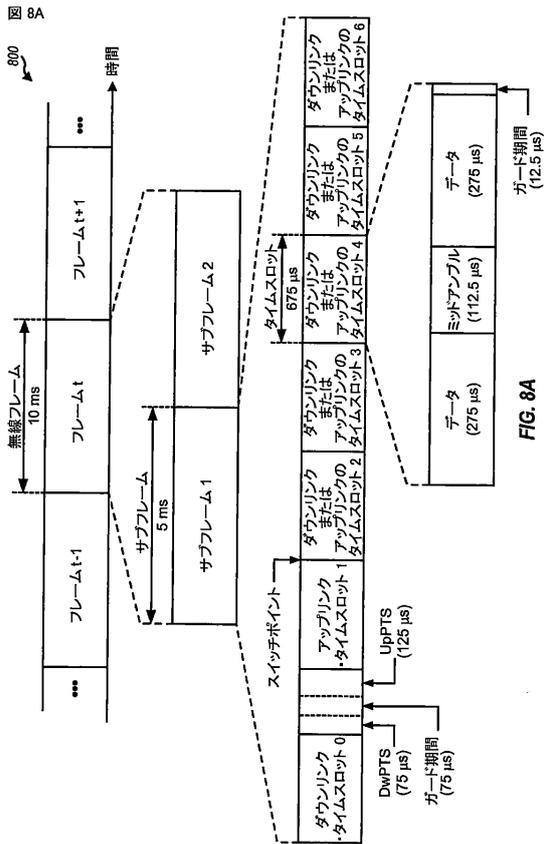


FIG. 8A

【 図 8 B 】

図 8B

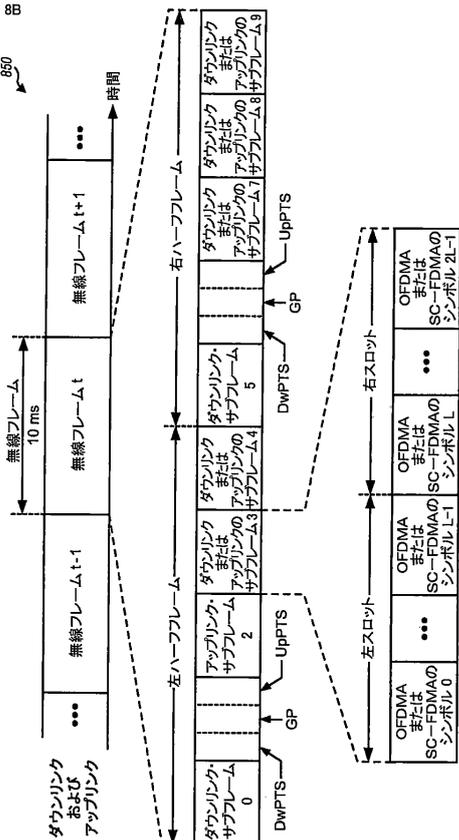


FIG. 8B

【 図 9 】

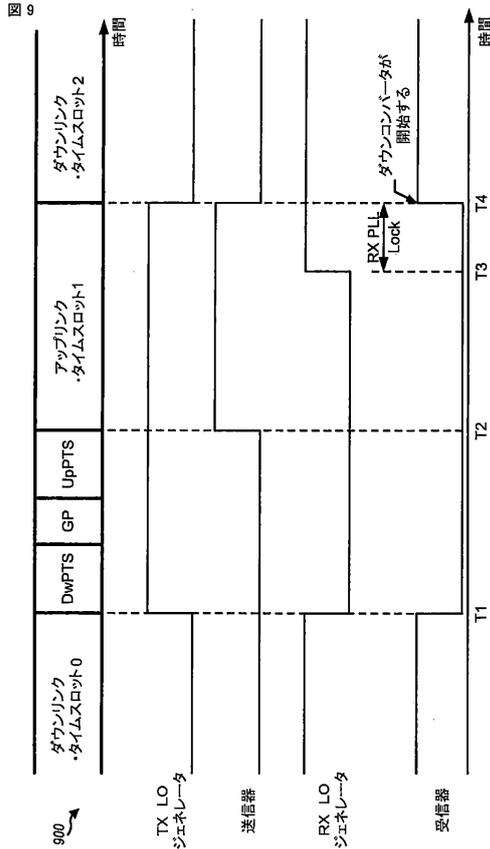


FIG. 9

【図 10】

図 10

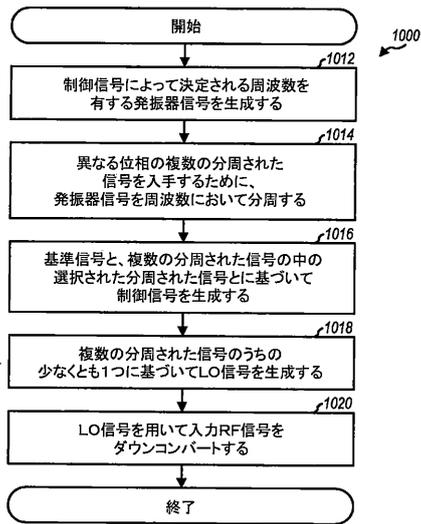


FIG. 10

フロントページの続き

- (72)発明者 リウ、リ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 ナラソング、チューチャー
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

審査官 石田 昌敏

- (56)参考文献 特開2007-006492(JP,A)
特開平07-058635(JP,A)
特開2001-086024(JP,A)
特開2007-116247(JP,A)
特開2005-136830(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L	7/00 - 7/26
H03K	23/00 - 29/06
H03K	5/00 - 5/26
H04B	1/38 - 1/58
H04B	1/26 - 1/28