

公告本

申請日期: 91.12.16
 申請案號: 91136313

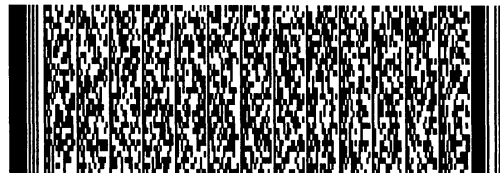
IPC分類: H01L21/328

(以上各欄由本局填註)

發明專利說明書

573328

一、 發明名稱	中文	雙載子連接電晶體之結構及其製造方法
	英文	BIPOLAR JUNCTION TRANSISTOR AND MANUFACTURING METHOD THEREOF
二、 發明人 (共6人)	姓名 (中文)	1. 蔡俊琳 2. 鄧端理
	姓名 (英文)	1. TSAI, Chun-Lin 2. TANG, Denny D.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市大庄路251巷28弄32號 2. 新竹市東區光明里5鄰光明新村167號之二
	住居所 (英文)	1. No. 32, Alley 28, Lane 251, Ta Chuang Rd., Hsinchu City 2. No. 167-2, Kuang Ming Hsin Tsun, Lin 5, Kuang Ming Li, E. Dist., Hsinchu City
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或姓名 (英文)	1. TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹縣園區三路121號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 121, PARK AVE. III, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 張 忠 謀
代表人 (英文)	1. Chang, Chung-Mou	

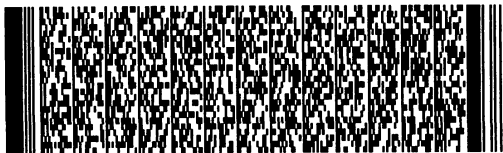


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共6人)	姓名 (中文)	3. 江志民 4. 張冠綸
	姓名 (英文)	3. CHIANG, Chih-Min 4. CHANG, Kuan-Lun
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 新竹縣竹東鎮北興路3段506號7樓 4. 新竹縣竹東鎮中興路四段1030巷46弄3號5樓
	住居所 (英文)	3. 7F, No. 506, Sec. 3, Pei Hsin Rd., Chutung Town, Hsinchu Hsien 4. 5F, No. 3, Alley 46, Lane 1030, Sec. 4, Chung Hsin Rd., Chutung Town, Hsinchu Hsien
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共6人)	姓名 (中文)	5. 劉慈祥 6. 柳瑞興
	姓名 (英文)	5. LIOU, Tsyr-Shyang 6. LIU, Ruey-Hsin
	國籍 (中英文)	5. 中華民國 TW 6. 中華民國 TW
	住居所 (中文)	5. 台南縣永康市復華七街32巷22弄28號 6. 苗栗縣苗栗市恭敬里4鄰恭敬22-1號
	住居所 (英文)	5. No. 28, Alley 22, Lane 32, Fu Hua 7th St., Yung kang, Tainan Hsien 6. No. 22-1, Kung Ching, Lin 4, Kung Ching Li, Miaoli City, Miaoli Hsien
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
代表人 (英文)		



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

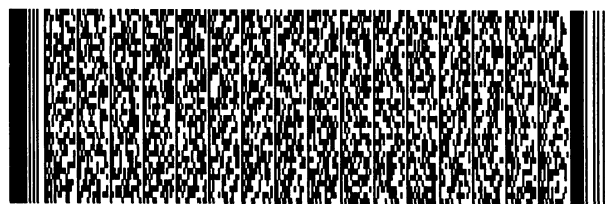
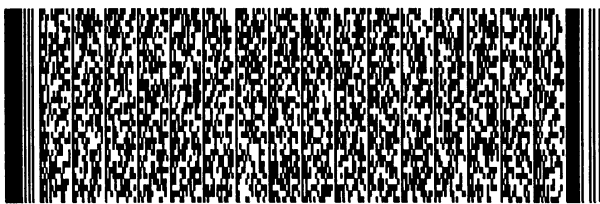
五、發明說明 (1)

發明所屬之技術領域：

一種雙載子連接電晶體 (Bipolar Junction Transistor; BJT) 之結構及其製造方法，特別是有關於利用摻雜離子之浮層基極 (Raised Base) 與快速熱回火 (Rapid Thermal Annealing; RTA) 製程來形成淺接面 (Shallow Junction) 之延伸基極 (External Base)，但其應用不限於本領域。

先前技術：

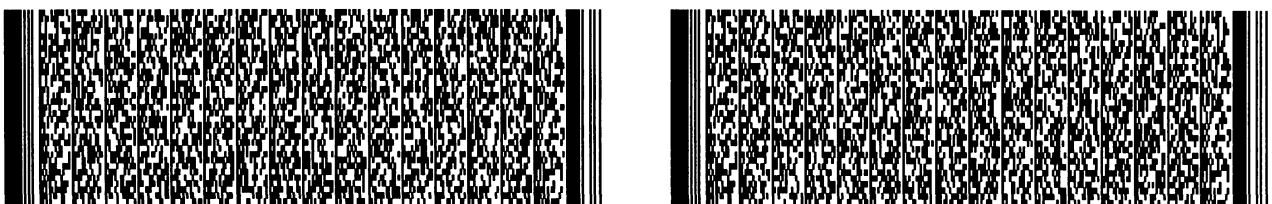
雙載子連接電晶體是目前最重要的半導體元件之一。雙載子連接電晶體之所以稱為「雙載子」，係因同時利用「電子」和「電洞」這兩種載子來傳導電流的電子元件。雙載子連接電晶體的優點是速度快，但消耗大量的能量，當元件的積集度增加時，散熱問題就成為應用雙載子連接電晶體的一大阻礙。鍺化矽 (SiGe) 技術的新應用及相關的無線或高性能產品的推出，是近來半導體業界熱門的話題。在過去的 5 到 10 年中，無線與高性能有線的應用中已漸趨於砷化鎵 (GaAs) 與其它三五族化合物半導體技術。欲突破這種技術躍進的主要瓶頸，可利用鍺化矽的能帶落差 (Band Gap) 小於矽的事實，讓標準矽晶藉由鍺的摻雜而轉變為異質接合 (Heterojunction) 的半導體材料，成為鍺化矽異質接合雙極電晶體 (Heterojunction Bipolar Transistor; HBT)。且係於完成所有元件隔離製程後，才在矽晶圓上生長鍺化矽磊晶層。另外，鍺化矽磊晶層中，更以成長硼摻雜的基極 (Base) npn 電晶體來取代傳統的離子植入方式。這有助於縮小基極寬度，並免除高斯分佈與植入通道效應



五、發明說明 (2)

(Channeling)等元件設計上的限制。而這些優點將顯著地改良元件性能。為了使 npn 元件的活性基極能限制在鍍化矽磊晶層內區，磊晶成長的溫度必得夠低(約 500°C)。晶圓在置入沉積室前，係先以氟化氫(HF)溶液浸泡，使其表面為氫原子所包覆(Hydrogen-Terminated)。一旦置入沉積室後，即立刻通入矽甲烷氣體(Silane; SiH_4)進行磊晶程序。同時在磊晶過程中鍍元素及其他元素也可被精確地摻入，以作為 HBT 的基極。

請參考第 1 圖至第 6 圖，係繪示習知技術製造雙載子連接電晶體的製程剖面圖。首先提供基材 1，其材料為矽，且於基材 1 中已具有磊晶層 5、埋入層(Buried Layer)11、集極(Collector)13、複數個淺溝渠隔離 12 以及複數個第一介電層 14，並且在基材上依序形成複數個第二介電層 15、基極 16、複數個第三介電層 17、複數個第四介電層 18 與射極多晶矽(Emitter Poly-Silicon)層 19 在磊晶層 5 與第一介電層 14 上，如第 1 圖中所示之結構，其中基極 16 之材質為鍍化矽，而射極多晶矽層 19 中已摻有複數個第一電性之離子。接著，進行第一定義步驟，係利用微影製程及非等向性蝕刻法，去除部分之射極多晶矽層 19、第四介電層 18 與第三介電層 17，藉以暴露出部分之基極 16，而形成如第 2 圖所示之結構。然後，以化學氣相沉積法與非等向性蝕刻法，形成間隙壁 20，即完成如第 3 圖所示之結構，其中間隙壁 20 之材質係為二氧化矽(Silicon Dioxide; SiO_2)。之後，進行離子植入製程，以具有間隙壁 20 之射極多晶矽層 19 為單

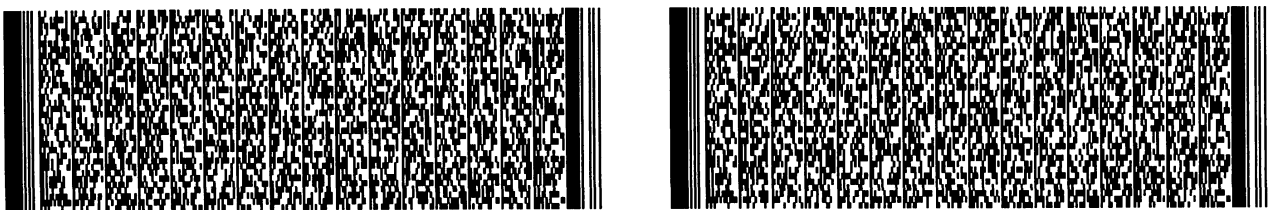


五、發明說明 (3)

幕，利用複數個第二電性之離子 21，對整個晶片進行重摻雜 (Heavy Doping) 製程，而形成如第 4 圖所示之結構。

然後，請參考第 5 圖，進行第二定義步驟，係利用微影製程及非等向性蝕刻法，藉以去除部分之基極 16，並暴露出部分之第二介電層 15。接著，進行回火製程，使暴露出部分之基極 16 轉變為延伸基極 22，並使射極多晶矽層 19 中之複數個第二電性之離子 21，向下摻入基極 16 中而形成射極 23，如第 6 圖所示之結構。

如上述習知之製程，當元件的臨界線寬 (Critical Dimension; CD) 縮小到 180 奈米 (nm) 甚至於更小的時候，在電晶體中摻雜的區域越來越淺，摻雜離子濃度必須提高，而摻雜離子濃度分佈形狀會有更顯著的變化，因此嚴格控制接面在水平方向的擴散，是降低穿透 (Punch Through) 和短通道 (Short Channel) 效應的關鍵。雖然低能量的離子植入製程以及快速的熱回火製程能夠形成淺接面，不過，離子在植入基材時所產生的通道效應，對於離子植入的位置仍會造成明顯的衝擊，也就是接面深度會受到影響。此外，晶圓內摻雜元素的擴散，更受到許多製程參數與材質特性的影響。除了摻雜元素種類，在離子植入鍍化矽的基極中時，製程溫度或缺陷誘發的瞬間增強擴散 (Transient Enhanced Diffusion; TED) 效應，都會改變離子在基極中的擴散行為。這些因素會影響在延伸基極 22 中接面變深，電子的傳遞速度較慢，RC (Resistance-Capacitance) 延遲也較大，同時所形成的射極 23 也較淺。



五、發明說明 (4)

雙載子連接電晶體在整個半導體製程中十分重要，因此有必要開發出更佳的製程，來降低離子植入基極時造成的瞬間增強擴散效應，以提供淺接面的延伸基極與較深的射極。

發明內容：

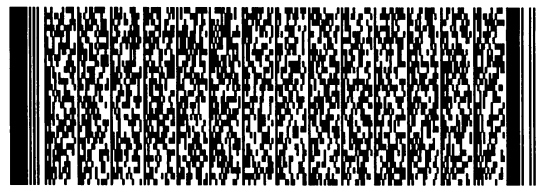
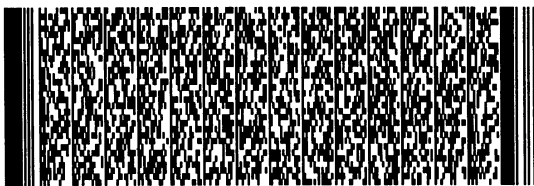
鑒於上述之發明背景中，在進行雙載子連接電晶體之製程時，離子植入基極時造成的瞬間增強擴散效應，會影響在延伸基極中接面變深，電子的傳遞速度較慢，RC延遲也較大，同時所形成的射極也較淺。

本發明的主要目的之一為提供一種雙載子連接電晶體的製造方法，係利用選擇性磊晶沉積 (Selective Epitaxy Deposition) 法，沉積浮層基極於暴露出部分之基極上，其中浮層基極中已摻有複數個離子，並且透過快速熱回火製程，使浮層基極中的複數個離子摻入基極中。結果可避免習知技術直接以離子植入基極所造成之衝擊。

本發明之另一目的為提供一種雙載子連接電晶體的製造方法，其係利用絕緣層與間隙壁隔離射極多晶矽層，使後續進行選擇性磊晶沉積法與快速熱回火製程時，以將複數個離子集中於延伸基極內，藉此改善電子的傳遞速度。

本發明之又一目的為提供一種雙載子連接電晶體的結構，其係利用摻雜離子之浮層基極與快速熱回火製程，來將離子摻入基極中，結果可降低離子植入基極造成的瞬間增強擴散效應，並形成淺接面之延伸基極與較深的射極。

根據以上所述之目的，本發明提供一種雙載子連接電晶體



五、發明說明 (5)

之結構及其製造方法，此製造方法至少包括下列步驟：首先提供基材，其中基材上依序堆疊基極、射極多晶矽層與絕緣層，且暴露出部分之基極，其中射極多晶矽層中已摻有複數個第一電性之離子；接著，在射極多晶矽層兩側形成間隙壁；然後，利用選擇性磊晶沉積法，沉積浮層基極於暴露出部分之基極上，其中浮層基極中摻有複數個第二電性之離子；以及透過快速熱回火製程，以形成淺接面之延伸基極與較深的射極。

實施方式：

本發明揭露一種雙載子連接電晶體之製造方法，其係選擇性磊晶沉積法，沉積浮層基極於暴露出部分之基極上，其中浮層基極中已摻有複數個離子，並且透過快速熱回火製程，以形成淺接面之延伸基極與較深的射極。為了使本發明之敘述更加詳盡與完備，可參照下列描述並配合第 7 圖至第 12 圖中，係繪示依據本發明之一較佳實施例進行雙載子連接電晶體的製造剖面圖。

請參考第 7 圖，首先提供基材 100，其材料為矽，且於基材 100 中已具有磊晶層 105、埋入層 111、集極 113、複數個淺溝渠隔離 112 以及複數個第一介電層 114，並且在基材上依序形成複數個第二介電層 115、基極 116、複數個第三介電層 117、複數個第四介電層 118、射極多晶矽層 119 以及絕緣層 120 在基材 100 上，如第 7 圖中所示之結構，其中基極 116 之材質為鍺化矽，而射極多晶矽層 119 已摻有複數個第一電性之離子。此外，在第 7 圖中係將絕緣層 120 覆蓋於射極多



五、發明說明 (6)

晶矽層 119，以便後續進行離子植入製程時，用來隔離射極多晶矽層 119。

接著，進行第一定義步驟，係利用微影製程及非等向性蝕刻法，去除部分之絕緣層 120、射極多晶矽層 119、第四介電層 118與第三介電層 117，藉以暴露出部分之基極 116，而形成如第 8 圖所示之結構。然後，以化學氣相沉積法與非等向性蝕刻法，形成間隙壁 121，使射極多晶矽層 119、第四介電層 118與第三介電層 117被絕緣層 120與間隙壁 121所包住，以形成如第 9 圖所示之結構，其中間隙壁 121之材質係為二氧化矽。

之後，利用選擇性磊晶沉積法，沉積浮層基極 122於暴露出部分之基極 116上，以形成如第 10 圖所示之結構，其中浮層基極 122中摻有複數個第二電性之離子 123，而複數個第二電性之離子 123係 P 型離子，其材質為硼 (Boron; B)。

然後，請參考第 11 圖，進行第二定義步驟，係利用微影製程及非等向性蝕刻法，藉以去除部分之浮層基極 122與部分之基極 116，以暴露出部分之第二介電層 115。接著，進行快速熱回火製程，以熱擴散的方式，把浮層基極 122中之複數個第二電性之離子 123摻入基極 116中，藉此使與浮層基極 122接觸之基極 116轉變為延伸基極 124，同時將射極多晶矽層 119中之複數個第一電性之離子，向下摻入基極 116中而形成射極 125，而如第 12 圖所示之結構。

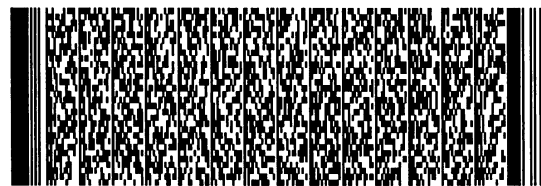
根據本發明所提供之雙載子連接電晶體的製造方法，其特徵至少包括係利用絕緣層 120與間隙壁 121隔離射極多晶矽



五、發明說明 (7)

層 119，以便進行選擇性磊晶沉積法與快速熱回火製程時，能將複數個第二電性之離子 123 集中於延伸基極 124 內，藉此改善電子的傳遞速度。

根據本發明所提供之雙載子連接電晶體的製造方法，其特徵亦包括係利用摻雜第二電性之離子 123 之浮層基極 122 與快速熱回火製程，來取代習知技術直接以離子植入基極 116，因此降低第二電性之離子 123 植入基極 116 造成的瞬間增強擴散效應。請參考第 13 圖，為本發明之一較佳實施例於接面深度、植入硼離子濃度與植入砷離子濃度之關係圖。其中虛線 126 係表示習知技術製造之雙載子連接電晶體於接面深度及植入砷離子濃度的結果，虛線 127 則表示習知技術製造之雙載子連接電晶體於接面深度及植入硼離子濃度的結果，而實線 128 係表示本發明之一較佳實施例製造之雙載子連接電晶體於接面深度及植入砷離子濃度的結果，實線 129 則表示本發明之一較佳實施例製造之雙載子連接電晶體於接面深度及植入硼離子濃度的結果。比較虛線 126 與實線 128，在砷離子濃度相同的情況下，兩者離子摻入深度之差異為差距 130。再比較虛線 127 與實線 129，在硼離子濃度相同的情況下，兩者離子摻入深度之差異為差距 131。其中造成差距 130 與差距 131，是因習知技術係將離子直接植入基極中所造成的瞬間增強擴散效應，使得習知技術製造之雙載子連接電晶體的離子植入較深。這導致在延伸基極中接面變深，電子的傳遞速度較慢，RC 延遲也較大，另外所形成的射極也會較淺。反之，本發明之一較佳實施例製



五、發明說明 (8)

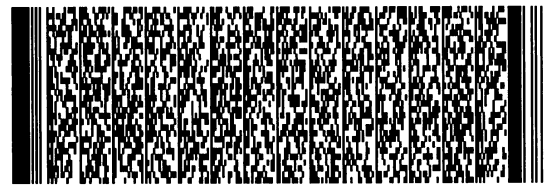
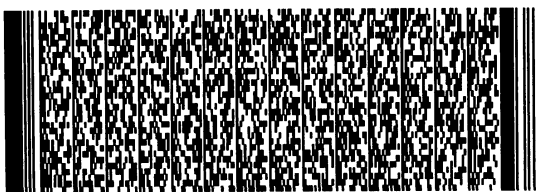
造之雙載子連接電晶體係利用摻雜離子之浮層基極與快速熱回火製程，因此可形成淺接面之延伸基極，不僅電子的傳遞速度較快，而且大幅降低離子植入基極時所造成的瞬間增強擴散效應，另外所形成的射極也會較深。

根據本發明所提供之雙載子連接電晶體的製造方法，其特徵更包括係利用摻雜第二電性之離子之浮層基極與快速熱回火製程，來將第二電性之離子摻入基極中。因此上述之第二電性之離子之材質，僅為本發明之一較佳實施例，但本發明不限於此。一般熟悉此技術之人員可瞭解欲植入之離子種類，係依據製程所需而定。

因此，本發明之一優點就是提供一種雙載子連接電晶體的製造方法，係利用選擇性磊晶沉積法，沉積浮層基極於暴露出部分之基極上，其中浮層基極中已摻有複數個離子，並且透過快速熱回火製程，使浮層基極中的複數個離子摻入基極中。結果可避免習知技術直接以離子植入基極所造成之衝擊。

本發明之另一優點為提供一種雙載子連接電晶體的製造方法，其係利用絕緣層與間隙壁隔離射極多晶矽層，使後續進行選擇性磊晶沉積法與快速熱回火製程時，以將複數個離子集中於延伸基極內，藉此改善電子的傳遞速度。

本發明之又一優點為提供一種雙載子連接電晶體的結構，其係利用摻雜離子之浮層基極與快速熱回火製程，來將離子摻入基極中，結果可降低離子植入基極造成的瞬間增強擴散效應，並形成淺接面之延伸基極與較深的射極。



五、發明說明 (9)

如熟悉此技術之人員所瞭解的，以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包括在下述之申請專利範圍內。



圖式簡單說明

本發明的較佳實施例已於前述之說明文字中輔以下列圖形做更詳細的闡述，其中：

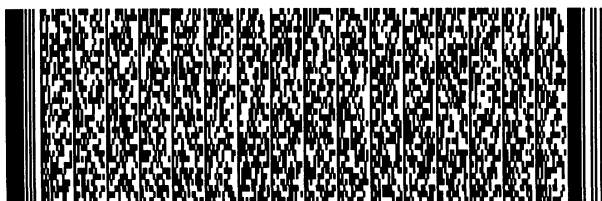
第 1 圖至第 6 圖係繪示習知技術進行雙載子連接電晶體的製造剖面圖；

第 7 圖至第 12 圖係繪示依據本發明之一較佳實施例進行雙載子連接電晶體的製造剖面圖；以及

第 13 圖係繪示接面深度、植入硼離子濃度與植入砷離子濃度之關係圖。

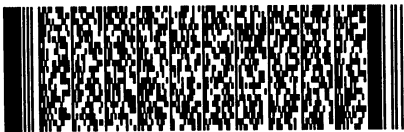
圖號對照說明：

1 基材	5 磊晶層
11 埋入層	12 淺溝渠隔離
13 集極	14 第一介電層
15 第二介電層	16 基極
17 第三介電層	18 第四介電層
19 射極多晶矽層	20 間隙壁
21 離子	22 延伸基極
23 射極	100 基材
105 磊晶層	111 埋入層
112 淺溝渠隔離	113 集極
114 第一介電層	115 第二介電層
116 基極	117 第三介電層
118 第四介電層	119 射極多晶矽層
120 絕緣層	121 間隙壁



圖式簡單說明

122	浮層基極	123	離子
124	延伸基極	125	射極
126	虛線	127	虛線
128	實線	129	實線
130	差距	131	差距

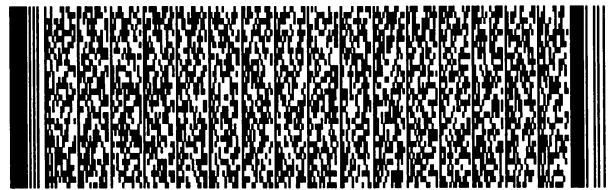
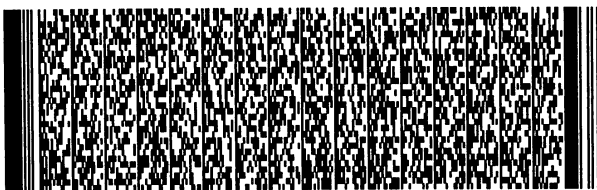


四、中文發明摘要 (發明名稱：雙載子連接電晶體之結構及其製造方法)

一種雙載子連接電晶體 (Bipolar Junction Transistor; BJT) 之結構及其製造方法，此製造方法至少包括下列步驟：首先提供基材，其中基材上依序堆疊基極 (Base)、射極 (Emitter) 多晶矽層與絕緣層，且暴露出部分之基極，其中射極多晶矽層中已摻有複數個第一電性之離子；接著，在射極多晶矽層兩側形成間隙壁；然後，利用選擇性磊晶沉積 (Selective Epitaxy Deposition) 法，沉積浮層基極 (Raised Base) 於暴露出部分之基極上，其中浮層基極中摻有複數個第二電性之離子；以及透過快速熱回火 (Rapid Thermal Annealing; RTA) 製程，以形成淺接面 (Shallow Junction) 之延伸基極 (External Base) 與較深的射極。本發明之特徵係利用摻雜離子之浮層基極與快速熱回火製程來取代習知技術直接以離子植入基極，不僅降低離子植入基極造成的瞬間增強擴散效應 (Transient Enhanced Diffusion; TED)，並且提供淺接面的延伸基極與較深的射

陸、英文發明摘要 (發明名稱：BIPOLAR JUNCTION TRANSISTOR AND MANUFACTURING METHOD THEREOF)

A bipolar junction transistor (BJT) and its manufacturing method are described. The manufacturing method at least comprises the steps of: providing a substrate having a base, a emitter polysilicon layer, and a insulator stacked in turn thereon, and exposing a part of the substrate, wherein there are the first electrical ions doped in the emitter polysilicon layer; forming spacers



四、中文發明摘要 (發明名稱：雙載子連接電晶體之結構及其製造方法)

極。

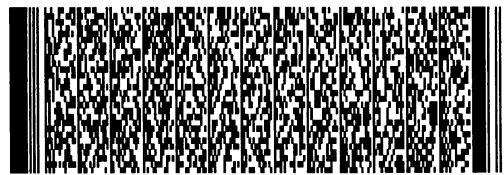
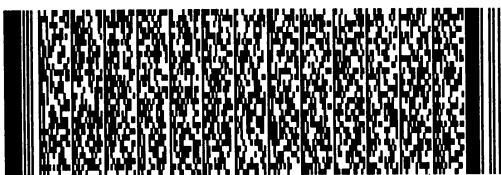
伍、(一)、本案代表圖為：第__12__圖

(二)、本案代表圖之元件代表符號簡單說明：

100	基材	105	磊晶層
111	埋入層	112	淺溝渠隔離
113	集極	114	第一介電層
115	第二介電層	116	基極
117	第三介電層	118	第四介電層
119	射極多晶矽層	120	絕緣層
121	間隙壁	122	浮層基極
124	延伸基極	125	射極

陸、英文發明摘要 (發明名稱：BIPOLAR JUNCTION TRANSISTOR AND MANUFACTURING METHOD THEREOF)

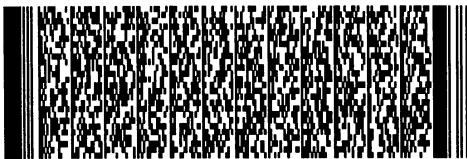
on the sides of the emitter polysilicon layer; depositing a raised base on the exposed part of the substrate by utilizing selective epitaxy deposition procedure, wherein there are the second electrical ions doped in the raised base; and forming a external base of shallow junction and deeper emitter by rapid thermal annealing (RTP) process. The present invention characterized to substitute



四、中文發明摘要 (發明名稱：雙載子連接電晶體之結構及其製造方法)

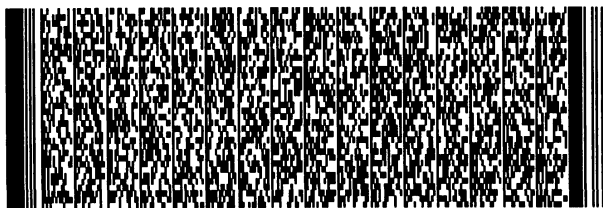
陸、英文發明摘要 (發明名稱：BIPOLAR JUNCTION TRANSISTOR AND MANUFACTURING METHOD THEREOF)

the raised base doped with ions and the rapid thermal annealing process for ions directly implanting into the substrate, not only reduces the transient enhanced diffusion (TED), but also provides the external base of shallow junction and the deeper emitter.



六、申請專利範圍

1. 一種雙載子連接電晶體之製造方法，至少包括：
提供一基材，其中該基材上依序堆疊一基極、複數個介電層、一射極多晶矽層與一絕緣層，並暴露出一部份之該基極；
形成一間隙壁分別於該絕緣層、該射極多晶矽層與該些介電層之兩側；
形成一浮層基極 (Raised Base) 於暴露出該基極之該部份上，其中該浮層基極中摻有複數個離子；以及
進行一快速熱回火製程，以形成一延伸基極 (External Base) 與一射極在該基極中。
2. 如申請專利範圍第 1 項所述之雙載子連接電晶體之製造方法，其中該基極之材質為鍺化矽 (SiGe)。
3. 如申請專利範圍第 1 項所述之雙載子連接電晶體之製造方法，其中形成該浮層基極之步驟係利用選擇性磊晶沉積 (Selective Epitaxy Deposition) 法。
4. 如申請專利範圍第 1 項所述之雙載子連接電晶體之製造方法，其中該些離子為 P 型離子。
5. 如申請專利範圍第 1 項所述之雙載子連接電晶體之製造方



六、申請專利範圍

法，其中該延伸基極為一淺接面 (Shallow Junction) 結構。

6. 一種雙載子連接電晶體之製造方法，至少包括：
提供一基材，其中該基材上依序堆疊複數個第一介電層、一基極、複數個第二介電層、複數個第三介電層、一射極多晶矽層與一絕緣層；

進行一第一定義步驟，去除部分之該絕緣層、部分之該射極多晶矽層、部分之該些第三介電層與部分之該些第二介電層，藉以暴露出一部分之該基極；

形成一間隙壁分別於該絕緣層、該射極多晶矽層、該些第三介電層與該些第二介電層之兩側；

進行一選擇性磊晶沉積步驟，形成一浮層基極於暴露出之該基極之該部份上，其中該浮層基極中已摻有複數個第一電性之離子；

進行一第二定義步驟，去除部分之該浮層基極與另一部分之該基極，藉以暴露出部分之該些第一介電層；以及

進行一快速熱回火製程，以在該基極中形成一延伸基極與一射極。

7. 如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該射極多晶矽層係包括有複數個第二電性之離子。



六、申請專利範圍

8.如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該基極之材質為鍺化矽。

9.如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該第一定義步驟係利用一微影製程及一非等向性蝕刻製程來進行。

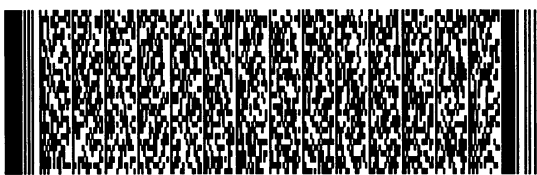
10.如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該些第一電性之離子為P型離子。

11.如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該些第一電性之離子為硼(Boron; B)。

12.如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該第二定義步驟係利用一微影製程及一非等向性蝕刻法來進行。

13.如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該快速熱回火製程係將該些第一電性之離子從該浮層基極中摻入該基極中。

14.如申請專利範圍第7項所述之雙載子連接電晶體之製造方法，其中該快速熱回火製程係將該些第二電性之離子從該射極多晶矽極中摻入該基極中。



六、申請專利範圍

15.如申請專利範圍第6項所述之雙載子連接電晶體之製造方法，其中該延伸基極為一淺接面結構。

16.一種雙載子連接電晶體之結構，至少包括：

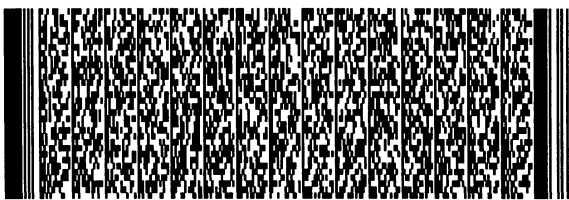
- 一基材，其中該基材上依序堆疊一基極、複數個介電層、一射極多晶矽層與一絕緣層，並暴露出一部份之該基極；
- 一間隙壁分別位於該絕緣層、該射極多晶矽層與該些介電層之兩側；以及
- 一浮層基極位於該基極暴露之該部份上。

17.如申請專利範圍第16項所述之雙載子連接電晶體之結構，其中該浮層基極中更包含有複數個離子。

18.如申請專利範圍第17項所述之雙載子連接電晶體之結構，其中該些離子係為P型離子。

19.如申請專利範圍第16項所述之雙載子連接電晶體之結構，其中在該基極中更包含具有一延伸基極與一射極，而該延伸基極位於該浮層基極下方之該基極中，且該射極位於該射極多晶矽層下方之該基極中。

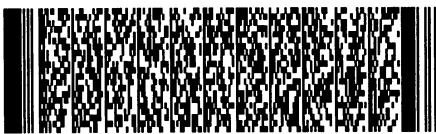
20.如申請專利範圍第19項所述之雙載子連接電晶體之結構，其中該延伸基極為一淺接面結構。

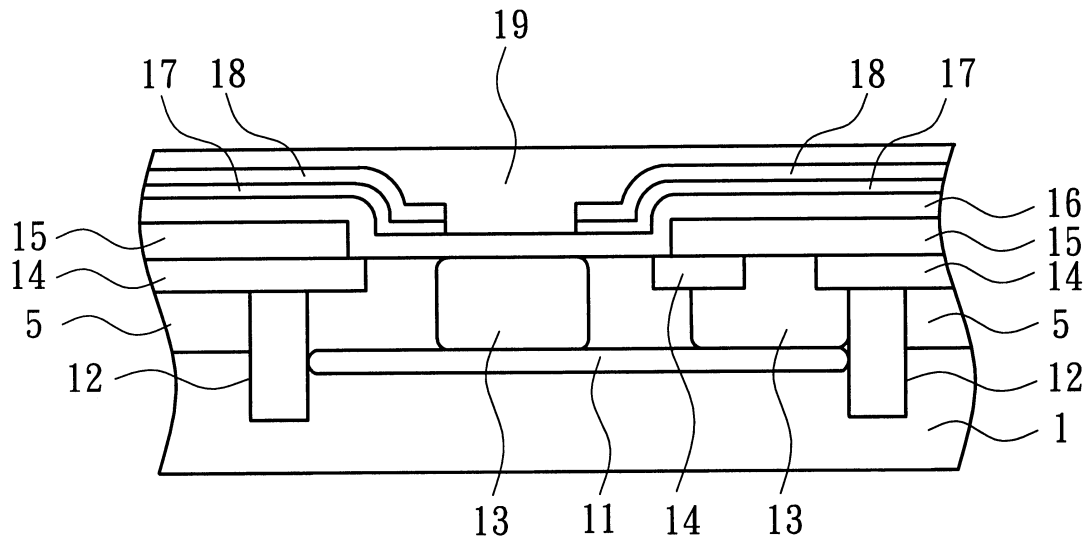


六、申請專利範圍

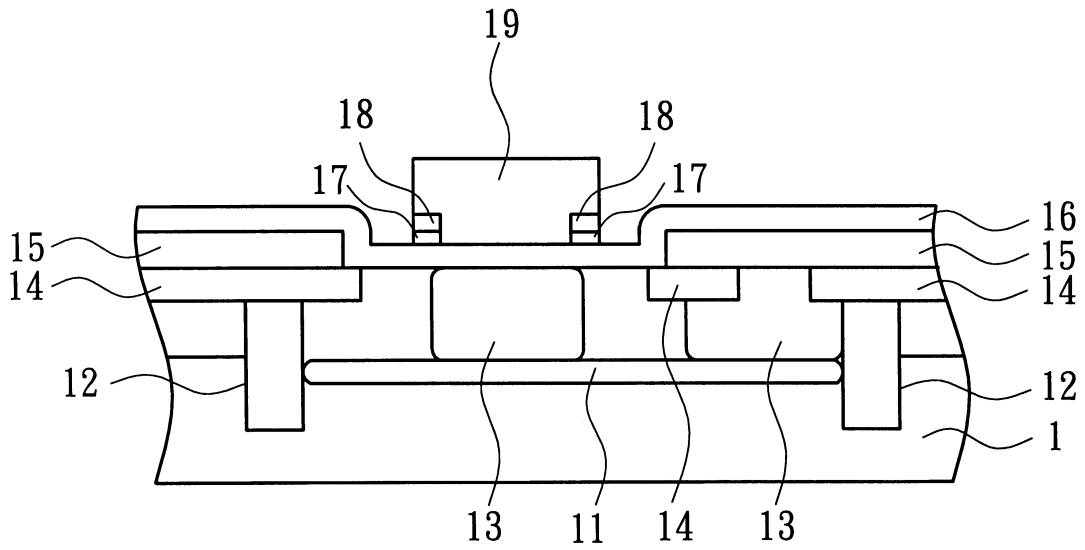
21.如申請專利範圍第19項所述之雙載子連接電晶體之結構，其中該延伸基極更包含有複數個離子。

22.如申請專利範圍第21項所述之雙載子連接電晶體之結構，其中該些離子為P型離子。

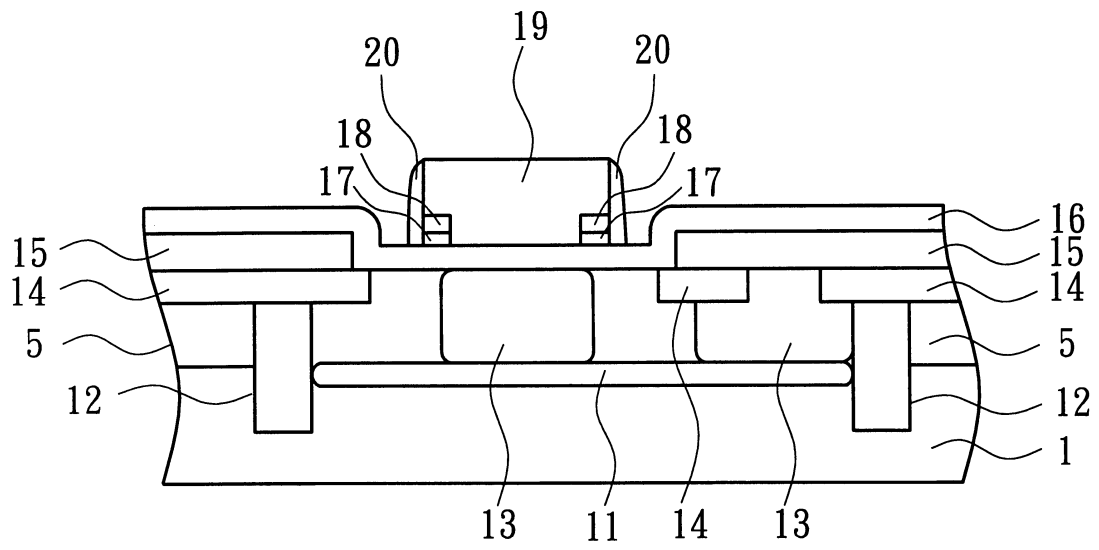




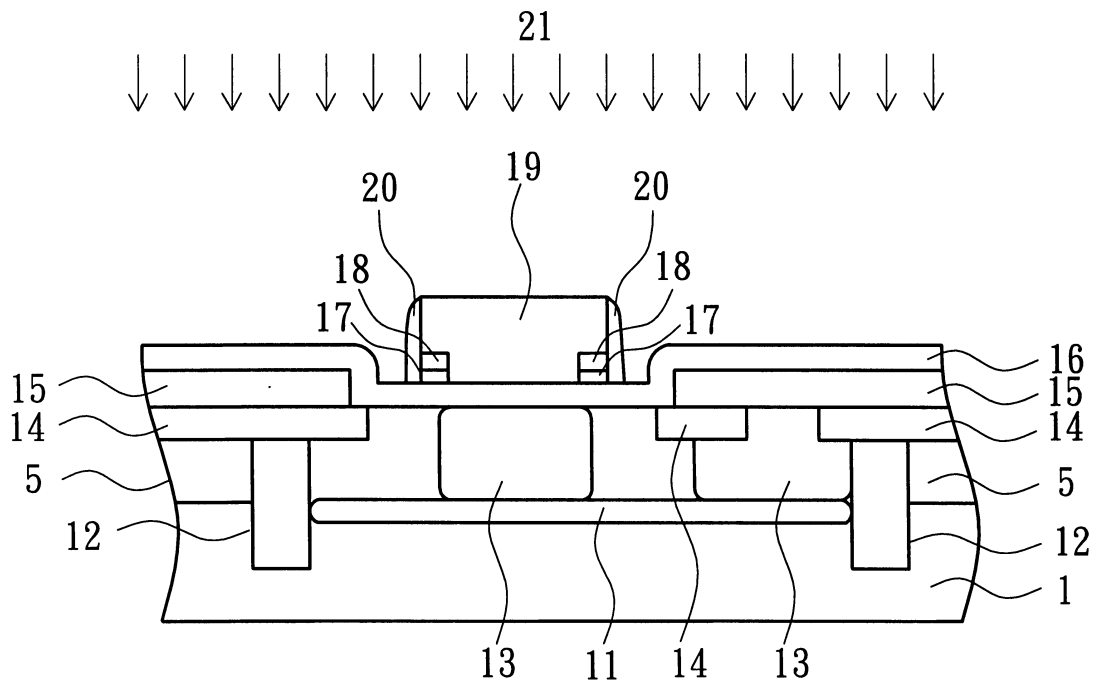
第 1 圖



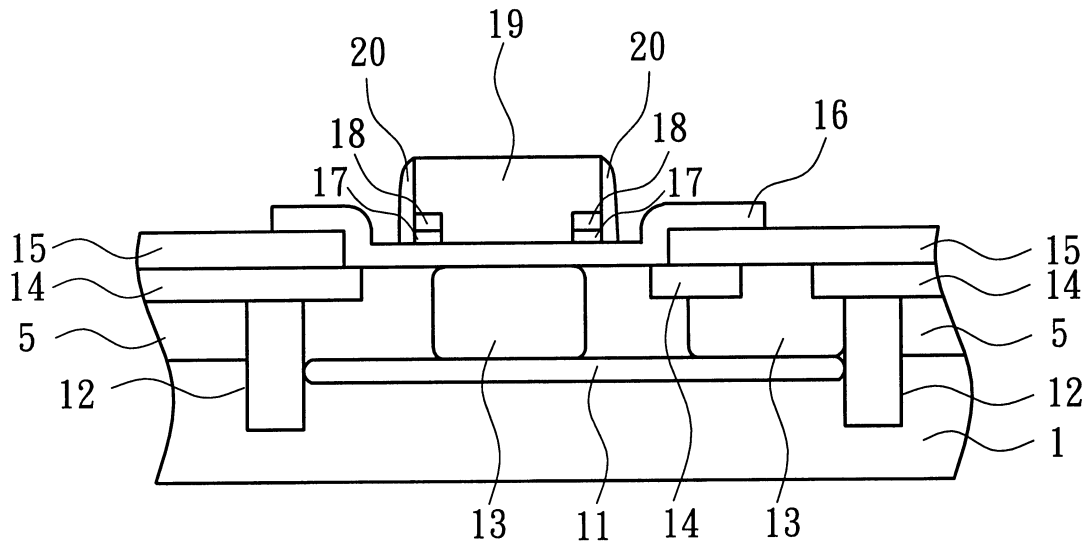
第 2 圖



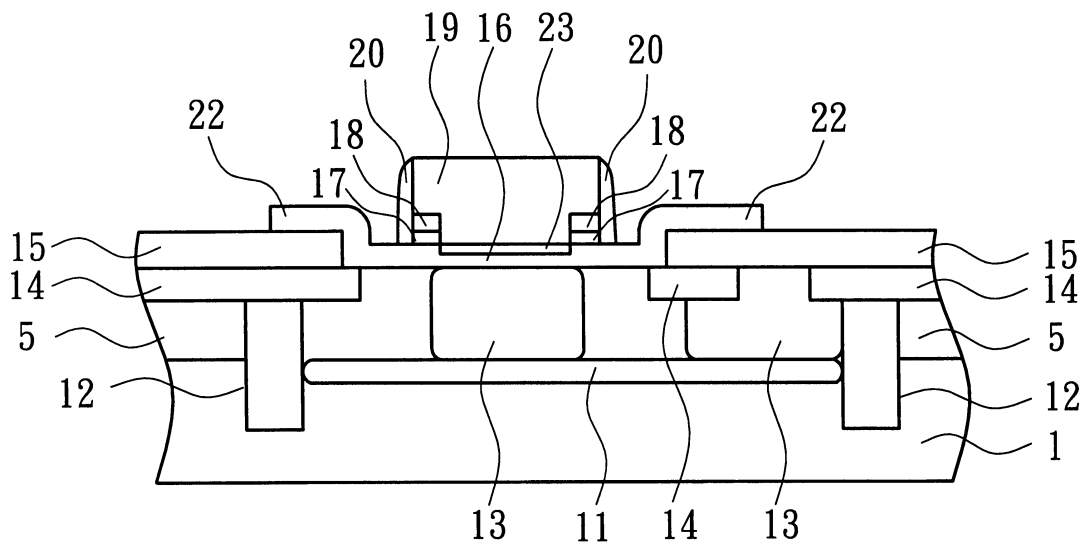
第 3 圖



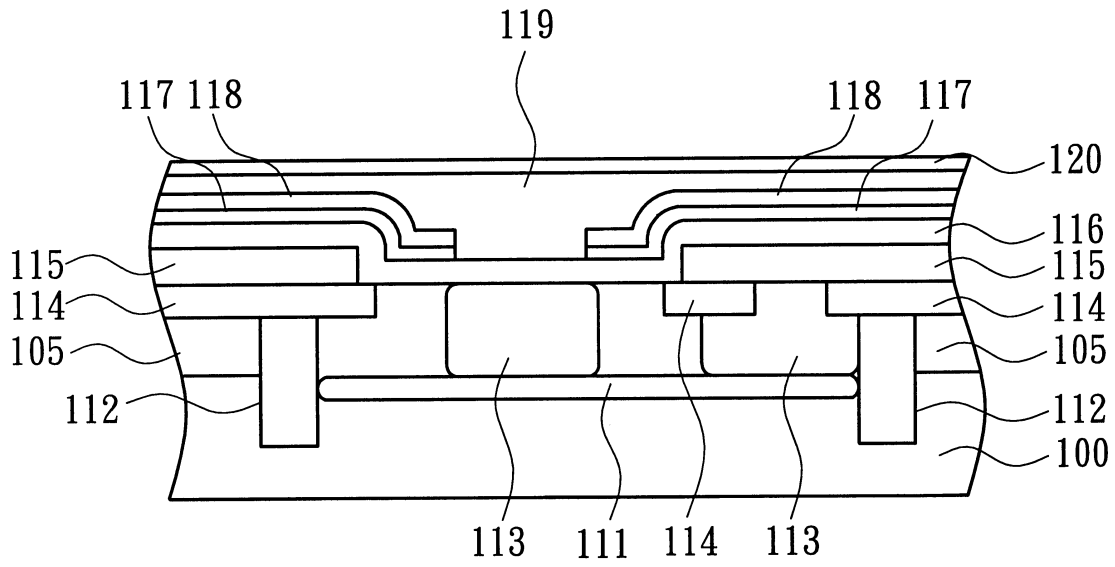
第 4 圖



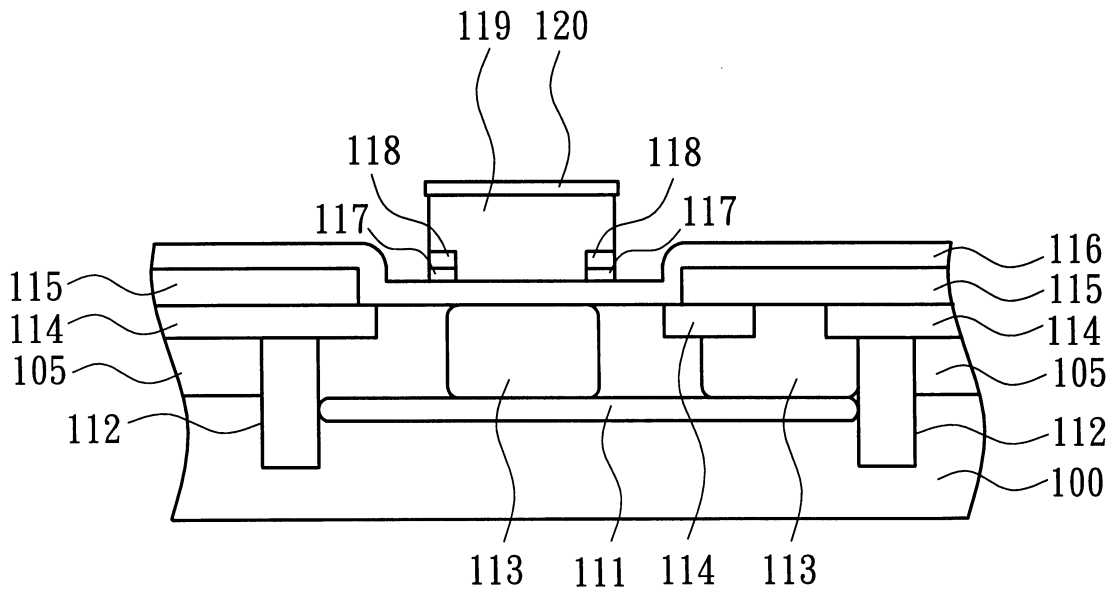
第 5 圖



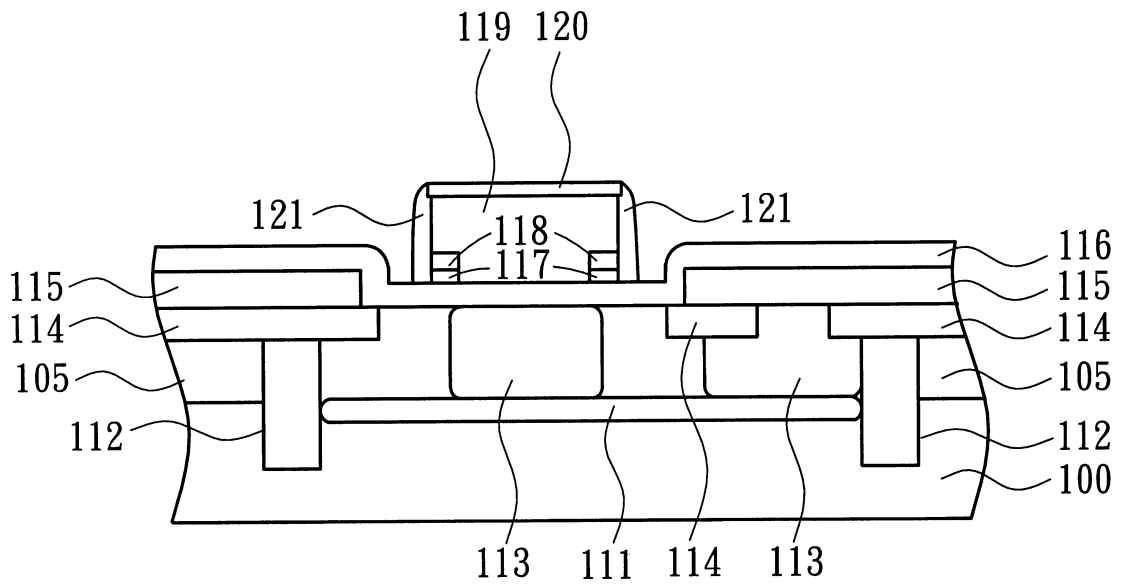
第 6 圖



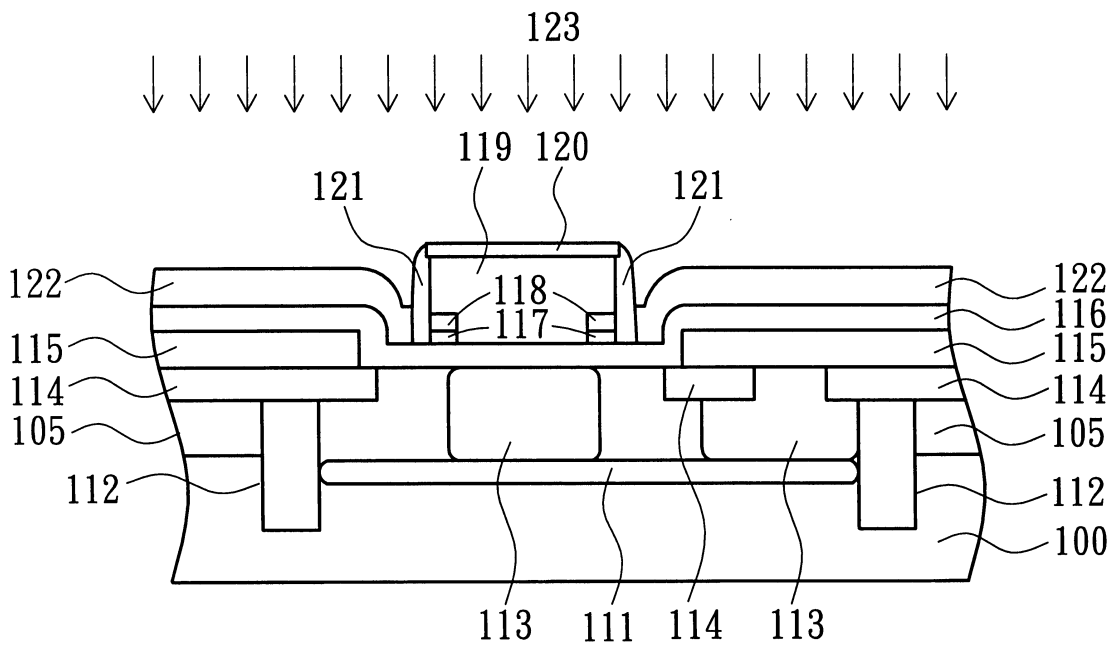
第 7 圖



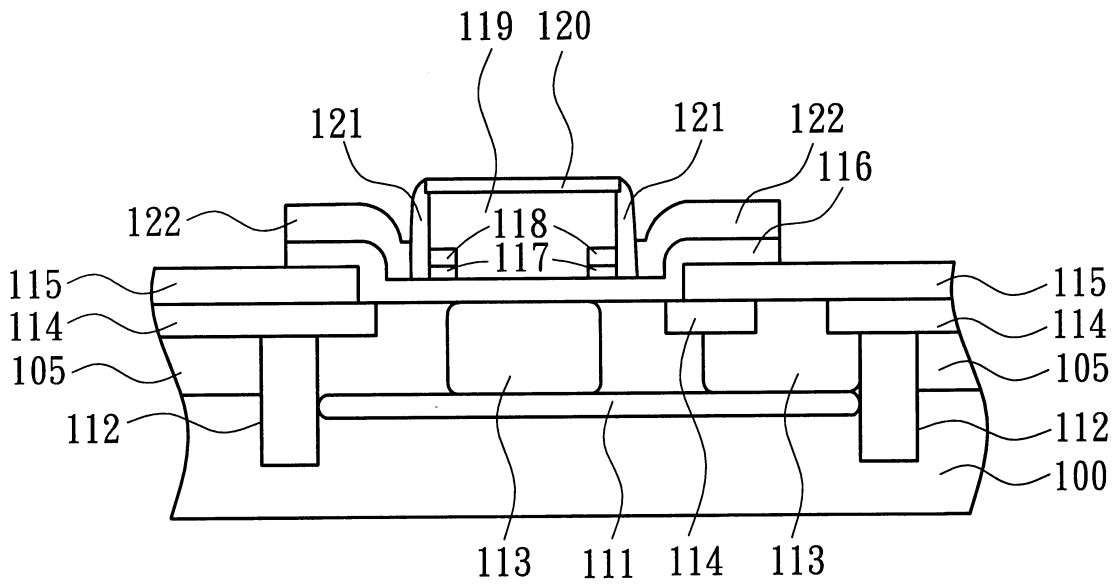
第 8 圖



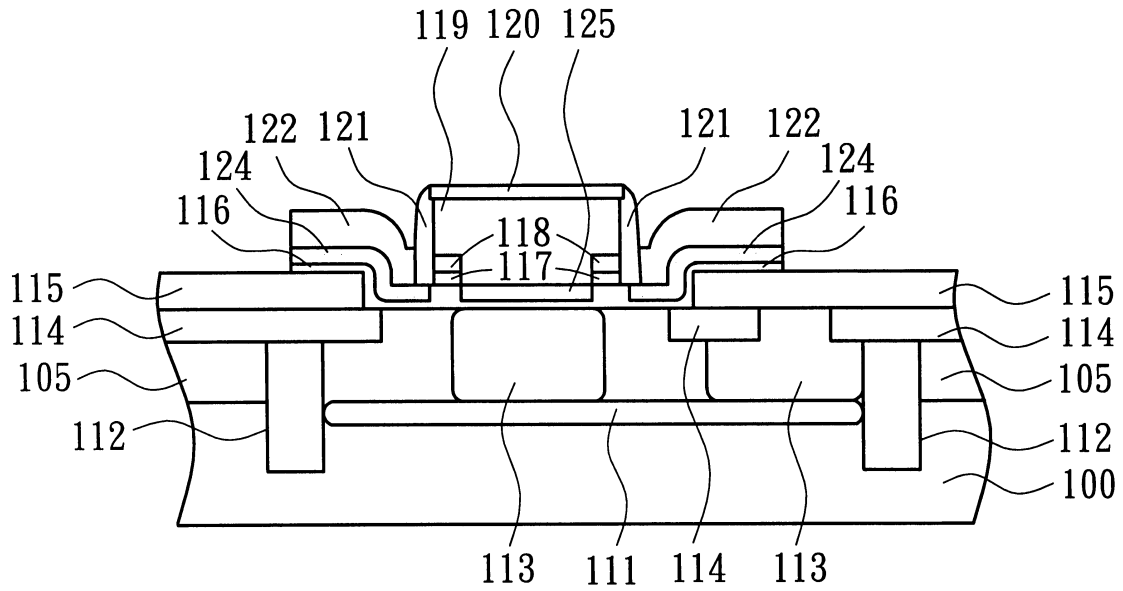
第 9 圖



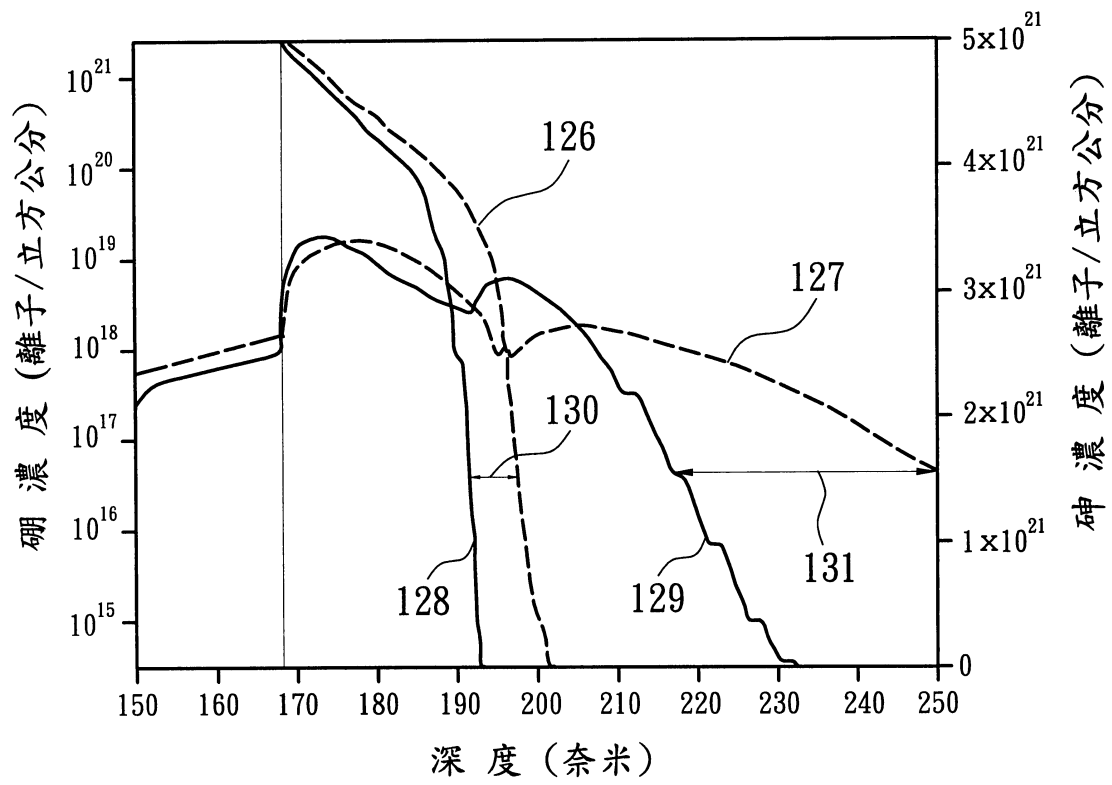
第 10 圖



第 11 圖



第 12 圖



第 13 圖