

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4313658号
(P4313658)

(45) 発行日 平成21年8月12日(2009.8.12)

(24) 登録日 平成21年5月22日(2009.5.22)

(51) Int.Cl.

H02M 7/5387 (2007.01)

F I

H02M 7/5387

Z

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2003-398732 (P2003-398732)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成15年11月28日(2003.11.28)	(74) 代理人	100088672 弁理士 吉竹 英俊
(65) 公開番号	特開2005-160268 (P2005-160268A)	(74) 代理人	100088845 弁理士 有田 貴弘
(43) 公開日	平成17年6月16日(2005.6.16)	(72) 発明者	岩上 徹 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
審査請求日	平成18年1月6日(2006.1.6)	(72) 発明者	瀬尾 護 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		審査官	安池 一貴

最終頁に続く

(54) 【発明の名称】 インバータ回路

(57) 【特許請求の範囲】

【請求項1】

電源電位とGND電位との間で直列に接続された、高圧側スイッチング素子及び低圧側スイッチング素子と、

ダイオードと、

前記ダイオードを介して前記GND電位に接続され、低電位側内部回路の基準電位を与える端子(以下「COM端子」と)、前記高圧側スイッチング素子の電流流出端子とブートストラップ電源コンデンサを介して接続された端子(以下「VDB端子」と)とを有する、高圧側駆動回路と

を備え、

前記ダイオードは、前記COM端子から前記GND電位に向かって順方向電流が流れる極性で、前記COM端子と前記GND電位との間に接続されることによって、前記高電圧側スイッチング素子のターンオフに起因して負のサージ電圧が前記VDB端子に印加された際に生じる前記COM端子 - 前記VDB端子間の電圧をクランプする、インバータ回路

【請求項2】

前記ダイオードは高速ダイオードである、請求項1に記載のインバータ回路。

【請求項3】

前記高圧側駆動回路は、前記インバータ回路の各相ごとに個別に設けられており、

各相の前記高圧側駆動回路が有する前記COM端子は、互いに共通に接続されており、

前記ダイオードは、複数相の前記高圧側駆動回路に共通して、1個のみ設けられている、請求項1又は2に記載のインバータ回路。

【請求項4】

前記高圧側駆動回路は、低電位側内部回路の駆動電源が供給される端子（以下「Vcc端子」）をさらに有し、

前記COM端子に接続されたアノードと、前記Vcc端子に接続されたカソードとを有するツェナーダイオードをさらに備える、請求項1又は2に記載のインバータ回路。

【請求項5】

前記高圧側駆動回路は、前記インバータ回路の各相ごとに個別に設けられており、各相の前記高圧側駆動回路が有する前記COM端子は、互いに共通に接続されており、前記ダイオード及び前記ツェナーダイオードは、複数相の前記高圧側駆動回路に共通して、それぞれ1個のみ設けられている、請求項4に記載のインバータ回路。

10

【請求項6】

前記ダイオードはツェナーダイオードである、請求項1に記載のインバータ回路。

【請求項7】

前記高圧側駆動回路は、前記インバータ回路の各相ごとに個別に設けられており、各相の前記高圧側駆動回路が有する前記COM端子は、互いに共通に接続されており、前記ツェナーダイオードは、複数相の前記高圧側駆動回路に共通して、1個のみ設けられている、請求項6に記載のインバータ回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、インバータ回路に関するものである。

【背景技術】

【0002】

一般的に、インバータ回路は、電源電位とGND電位との間で直列に接続された高圧側スイッチング素子及び低圧側スイッチング素子と、高圧側スイッチング素子及び低圧側スイッチング素子の駆動をそれぞれ制御するための高圧側駆動回路及び低圧側駆動回路とを備えている。なお、従来のインバータ回路に関する技術が、下記の特許文献1～4に開示されている。

30

【0003】

【特許文献1】特開2003-178895号公報

【特許文献2】特開平9-219977号公報

【特許文献3】特開平10-42575号公報

【特許文献4】国際公開第01/59918号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のインバータ回路には以下のような問題がある。

【0005】

インバータ回路では、高圧側スイッチング素子のターンオフ時に、低圧側スイッチング素子に逆並列接続されたFWD（下アームFWD）の還流モードとなる。この時、高圧側スイッチング素子のターンオフの di/dt と、下アームFWDの還流ループインダクタンスとの積として得られる負のサージ電圧が、インバータ回路の出力端子に発生する。このサージ電圧が所定の値以上になると、高圧側駆動回路の破壊や誤動作の原因となり得る。スイッチング電流が大きいほどサージ電圧も大きくなり易いため、インバータ回路の大電流化が困難である。

40

【0006】

本発明はかかる問題を解決するために成されたものであり、高圧側スイッチング素子のターンオフ時に発生する負のサージ電圧を抑制し得るインバータ回路を得ることを目的と

50

する。

【課題を解決するための手段】

【0007】

本発明によれば、インバータ回路は、電源電位とGND電位との間で直列に接続された、高圧側スイッチング素子及び低圧側スイッチング素子と、ダイオードと、前記ダイオードを介して前記GND電位に接続され、低電位側内部回路の基準電位を与える端子（以下「COM端子」と、前記高圧側スイッチング素子の電流流出端子とブートストラップ電源コンデンサを介して接続された端子（以下「VDB端子」とを有する、高圧側駆動回路とを備え、前記ダイオードは、前記COM端子から前記GND電位に向かって順方向電流が流れる極性で、前記COM端子と前記GND電位との間に接続されることによって、前記高電圧側スイッチング素子のターンオフに起因して負のサージ電圧が前記VDB端子に印加された際に生じる前記COM端子 - 前記VDB端子間の電圧をクランプする。

10

【発明の効果】

【0010】

本発明によれば、高圧側スイッチング素子のターンオフ時に発生する負のサージ電圧を抑制することができる。

【発明を実施するための最良の形態】

【0011】

実施の形態1.

20

図1は、本発明の実施の形態1に係るインバータ回路の構成を示す回路図である。図1では、複数相（通常は3相）のインバータ回路のうちの1相分の回路構成のみを示している。また、図1では、インバータ回路のうち、主に本発明に関連する部分のみを抽出して示している。インバータ回路は、電源電位VccとGND電位との間で直列に接続されたIGBT3（高圧側スイッチング素子）及びIGBT4（低圧側スイッチング素子）と、IGBT3, 4の駆動をそれぞれ制御するためのHVIC1（高圧側駆動回路）及びLVIC2（低圧側駆動回路）とを備えている。

【0012】

図2は、HVIC1の内部構成を簡略的に示す回路図である。図2に示すように、HVIC1は、入力回路、ワンショット回路、レベルシフト回路、制御電源低下保護回路、及び駆動回路を有している。図2に示したHVIC1の内部構成は、後述する実施の形態2~7に関しても同様である。

30

【0013】

図1, 2を参照して、HVIC1は、Vcc端子、PIN端子、COM端子、VDB端子、HO端子、及びVS端子を備えている。Vcc端子には、外部接続された15V程度の制御電源VDから、HVIC1の低電位側内部回路（図2に示した入力回路及びワンショット回路）の駆動電力が供給される。PIN端子には、外部接続されたマイコンから、入力信号が印加される。COM端子は、低電位側内部回路の基準電位を与える端子であり、GND電位に接続されている。VDB端子は、ブートストラップ電源コンデンサ100を介して、IGBT3のエミッタ（電流流出端子）に接続されている。HO端子は、IGBT3のゲートに接続されている。VS端子は、高電位側内部回路（図2に示した制御電源低下保護回路及び駆動回路）の基準電位を与える端子であり、IGBT3のエミッタに接続されている。

40

【0014】

図1を参照して、インバータ回路は、ブートストラップ電源コンデンサ100を備えている。ブートストラップ電源コンデンサ100は、IGBT4がオン状態の時に制御電源VDによって充電され、IGBT3がオン状態の時に、高電位側内部回路の駆動電力をVDB端子を介してHVIC1に供給する。

【0015】

また、インバータ回路は、コンデンサ5、ダイオード6、及び抵抗7を備えている。コ

50

ンデンサ5は、V S端子とGND電位との間に接続されている。ダイオード6は、V S端子とGND電位との間において、GND電位からV S端子に向かって順方向電流が流れる極性で、コンデンサ5に直列に接続されている。抵抗7は、コンデンサ5に並列に接続されている。

【0016】

HVIC1のPIN端子にオン信号(Highレベルの信号)が印加されると、IGBT3がオンして、図1に示した電流I1が流れる。その後、PIN端子にオフ信号(Lowレベルの信号)が印加されるとIGBT3はターンオフし、その際、図1に示した電流I2が流れる。電流I2が流れる瞬間、IGBT3のターンオフの di/dt と、図1で太線で示した部分の配線のインダクタンスとの積として得られる負のサージ電圧が発生する。

10

【0017】

背景技術の説明で述べたように、過大なサージ電圧はHVIC1の破壊や誤動作の原因となり得る。しかしながら、本実施の形態1に係るインバータ回路によると、V S端子とGND電位との間に直列に接続されたコンデンサ5及びダイオード6によってサージ電圧を抑制することができ、しかも、直流的な電流は流れないため、安価なコンデンサ5及びダイオード6を用いて構成することができる。また、サージ電圧に起因してコンデンサ5に充電された電荷を抵抗7によって放電することができるため、コンデンサ5のサージ吸収効果が低下することを回避することができる。

【0018】

20

図3は、図1に対応させて、本実施の形態1の変形例に係るインバータ回路の構成を示す回路図である。図1では、抵抗7をコンデンサ5に並列に接続したが、図3に示すように、抵抗8をダイオード6に並列に接続してもよい。あるいは、抵抗7, 8を双方とも配設してもよい。図3に示したインバータ回路によっても、図1に示したインバータ回路と同様の効果を得ることができる。

【0019】

実施の形態2 .

図4は、本発明の実施の形態2に係るインバータ回路の構成を示す回路図である。図4では、複数相のインバータ回路のうちの1相分の回路構成のみを示している。また、図4では、インバータ回路のうち、主に本発明に関連する部分のみを抽出して示している。本実施の形態2に係るインバータ回路では、IGBT3のターンオフに起因するサージ電圧を抑制するための素子として、図1に示したコンデンサ5、ダイオード6、及び抵抗7の代わりに、ダイオード10が配設されている。ダイオード10は、HVIC1、LVIC2、及びIGBT3, 4とともに、DIP-IPM (Dual-In-Line Package Intelligent Power Module) 9としてモジュール化されている。ダイオード10は、HVIC1のCOM端子に接続されたアノードと、DIP-IPM9の端子50に接続されたカソードとを有しており、HVIC1のCOM端子からGND電位に向かって順方向電流が流れる極性で、HVIC1のCOM端子とGND電位との間に接続されている。

30

【0020】

図5は、HVIC1のCOM端子にダイオード10が接続された状態で、図2に示したレベルシフト回路の内部構成を示す回路図である。

40

【0021】

図5を参照して、IGBT3のターンオフに起因して負のサージ電圧がVDB端子に印加されても、COM端子-VDB端子間の電圧は、ダイオード10によってクランプ(逆阻止)される。従って、COM端子-VDB端子間に過大なサージ電圧が印加されることはなく、また、電流も流れないため、HVIC1の破壊や誤動作は防止される。

【0022】

実施の形態3 .

図6は、図4に対応させて、本発明の実施の形態3に係るインバータ回路の構成を示す回路図である。本実施の形態3に係るインバータ回路では、図4に示した通常のダイオー

50

ド10に代えて、ダイオード10と同じ極性で高速ダイオード11が配設されている。

【0023】

図4に示したインバータ回路では、ダイオード10には制御電源VDからHVIC1の回路電流が常時通電されているため、上記の負のサージ電圧がVDB端子に印加された場合（つまりダイオード10に逆バイアス印加された場合）、ダイオード10のリカバリー期間では、COM端子 - VDB端子間にサージ電圧が印加されて、HVIC1の誤動作が生じる可能性がある。

【0024】

これに対し、本実施の形態3に係るインバータ回路では、図4に示した通常ダイオード10に代えて、高速ダイオード11が配設されている。高速ダイオード11は通常ダイオード10に比べてリカバリー期間が短いため、HVIC1のCOM端子 - VDB端子間にサージ電圧が印加される期間も短くなり、誤動作耐量をさらに高めることができる。

10

【0025】

実施の形態4 .

図4又は図6に示したインバータ回路において、制御電源VDの電圧をVD0、ダイオード10又は高速ダイオード11の両端に印加されるサージ電圧をVR0とすると、HVIC1のVcc端子 - COM端子間には電圧VD0 + VR0が印加される。従って、サージ電圧VR0が過大で、HVIC1のVcc端子 - COM端子間に定格電圧Vmを超える電圧が印加された場合、HVIC1が破壊する可能性がある。

【0026】

20

図7は、図4又は図6に対応させて、本発明の実施の形態4に係るインバータ回路の構成を示す回路図である。図4に示した通常ダイオード10又は図6に示した高速ダイオード11に代えて、ツェナー電圧Vz1を有するツェナーダイオード12が、ダイオード10又は高速ダイオード11と同じ極性で配設されている。ツェナーダイオード12は、電圧VD0 + Vz1の値が定格電圧Vm以下になるようなツェナー電圧Vz1を有している。

【0027】

本実施の形態4に係るインバータ回路によれば、過大なサージ電圧が印加された場合であっても、HVIC1のVcc端子 - COM端子間の電圧は定格電圧Vm以下の電圧VD0 + Vz1にクランプされるため、HVIC1が破壊することを防止できる。

30

【0028】

実施の形態5 .

上記実施の形態4で述べたように、図4又は図6に示したインバータ回路では、サージ電圧VR0が過大で、HVIC1のVcc端子 - COM端子間に定格電圧Vmを超える電圧が印加された場合、HVIC1が破壊する可能性がある。

【0029】

図8は、図4又は図6に対応させて、本発明の実施の形態5に係るインバータ回路の構成を示す回路図である。図4に示した通常ダイオード10又は図6に示した高速ダイオード11に追加して、ツェナー電圧Vz2を有するツェナーダイオード13が配設されている。ツェナーダイオード13は、HVIC1のCOM端子に接続されたアノードと、HVIC1のVcc端子に接続されたカソードとを有している。また、ツェナーダイオード13は、HVIC1のVcc端子 - COM端子間の定格電圧Vm以下のツェナー電圧Vz2を有している。

40

【0030】

本実施の形態5に係るインバータ回路によれば、過大なサージ電圧が印加された場合であっても、HVIC1のVcc端子 - COM端子間の電圧は定格電圧Vm以下のツェナー電圧Vz2にクランプされるため、HVIC1が破壊することを防止できる。

【0031】

実施の形態6 .

図9は、図4に対応させて、本発明の実施の形態6に係るインバータ回路の第1の構成

50

を示す回路図である。図4にはダイオード10が1個のみ示されているが、実際にはインバータ回路は複数相(通常は3相)から成る回路構成を有しており、HVIC1及び制御電源VDも各相ごとに個別に配設されている。従って、図4に示したダイオード10も、各相のHVIC1に対応して個別に配設されている。

【0032】

これに対して、図9に示したインバータ回路では、各相のHVIC1が有するCOM端子が、DIP-IPM15内で互いに共通に接続されている。これにより、制御電源VDは複数相のHVIC1に共通して1個のみ必要となり、従って、ダイオード16も複数相のHVIC1に共通して1個のみ配設すれば足りる。ダイオード16は、DIP-IPM15の外部に配設されており、DIP-IPM15の端子51に接続されたアノードと、制御電源VDのGND電位に接続されたカソードとを有している。端子51は、HVIC1のCOM端子に接続されている。

10

【0033】

図10は、図6に対応させて、本発明の実施の形態6に係るインバータ回路の第2の構成を示す回路図である。各相のHVIC1に対応して個別に配設された高速ダイオード11(図6)の代わりに、複数相のHVIC1に共通する高速ダイオード17が1個のみ配設されている。

【0034】

図11は、図7に対応させて、本発明の実施の形態6に係るインバータ回路の第3の構成を示す回路図である。各相のHVIC1に対応して個別に配設されたツェナーダイオード12(図7)の代わりに、複数相のHVIC1に共通するツェナーダイオード18が1個のみ配設されている。

20

【0035】

図12は、図8に対応させて、本発明の実施の形態6に係るインバータ回路の第4の構成を示す回路図である。図9又は図10で説明した上記の変更に加えて、各相のHVIC1に対応して個別に配設されたツェナーダイオード13(図8)の代わりに、複数相のHVIC1に共通するツェナーダイオード19が1個のみ配設されている。ツェナーダイオード19は、DIP-IPM15の端子51に接続されたアノードと、端子52に接続されたカソードとを有している。端子52は、HVIC1のVcc端子に接続されている。

【0036】

このように本実施の形態6に係るインバータ回路によれば、複数相のHVIC1に共通してダイオード16、高速ダイオード17、ツェナーダイオード18、19を設けることにより、これらのダイオードが各相ごとに個別に設けられている場合と比較すると、回路構成の簡略化を図ることができる。

30

【0037】

実施の形態7.

図13は、本発明の実施の形態7に係るインバータ回路の構成を示す回路図である。図13では、複数相のインバータ回路のうち1相分の回路構成のみを示している。また、図13では、インバータ回路のうち、主に本発明に関連する部分のみを抽出して示している。本実施の形態7に係るインバータ回路では、IGBT3のターンオフに起因するサージ電圧を抑制するための素子として、図1に示したコンデンサ5、ダイオード6、及び抵抗7の代わりに、ダイオード21が配設されている。ダイオード21は、DIP-IPM20の外部に配設されており、ブートストラップ電源コンデンサ100に接続されたアノードと、DIP-IPM20の端子53に接続されたカソードとを有している。端子53は、HVIC1のVDB端子に接続されている。これにより、ダイオード21は、IGBT3のエミッタとHVIC1のVDB端子との間において、エミッタからVDB端子に向かって順方向電流が流れる極性で、ブートストラップ電源コンデンサ100に直列に接続されている。

40

【0038】

50

図14は、HVIC1のVDB端子にダイオード21が接続された状態で、図2に示したレベルシフト回路の内部構成を示す回路図である。

【0039】

図14を参照して、ダイオード21が配設されていない場合は、IGBT3のターンオフに起因して負のサージ電圧がVDB端子に印加されると、図14に示したダイオード30が順バイアスされて電流が流れ、レベルシフト動作が行えないという誤動作が発生し得る。これに対し、本実施の形態7に係るインバータ回路では、VDB端子にダイオード21を接続することによって、この電流が流れることを阻止することができる。その結果、HVIC1の誤動作は防止される。

【図面の簡単な説明】

10

【0040】

【図1】本発明の実施の形態1に係るインバータ回路の構成を示す回路図である。

【図2】HVICの内部構成を簡略的に示す回路図である。

【図3】図1に対応させて、本発明の実施の形態1の変形例に係るインバータ回路の構成を示す回路図である。

【図4】本発明の実施の形態2に係るインバータ回路の構成を示す回路図である。

【図5】HVICのCOM端子にダイオードが接続された状態で、図2に示したレベルシフト回路の内部構成を示す回路図である。

【図6】図4に対応させて、本発明の実施の形態3に係るインバータ回路の構成を示す回路図である。

20

【図7】図4又は図6に対応させて、本発明の実施の形態4に係るインバータ回路の構成を示す回路図である。

【図8】図4又は図6に対応させて、本発明の実施の形態5に係るインバータ回路の構成を示す回路図である。

【図9】図4に対応させて、本発明の実施の形態6に係るインバータ回路の第1の構成を示す回路図である。

【図10】図6に対応させて、本発明の実施の形態6に係るインバータ回路の第2の構成を示す回路図である。

【図11】図7に対応させて、本発明の実施の形態6に係るインバータ回路の第3の構成を示す回路図である。

30

【図12】図8に対応させて、本発明の実施の形態6に係るインバータ回路の第4の構成を示す回路図である。

【図13】本発明の実施の形態7に係るインバータ回路の構成を示す回路図である。

【図14】HVICのVDB端子にダイオードが接続された状態で、図2に示したレベルシフト回路の内部構成を示す回路図である。

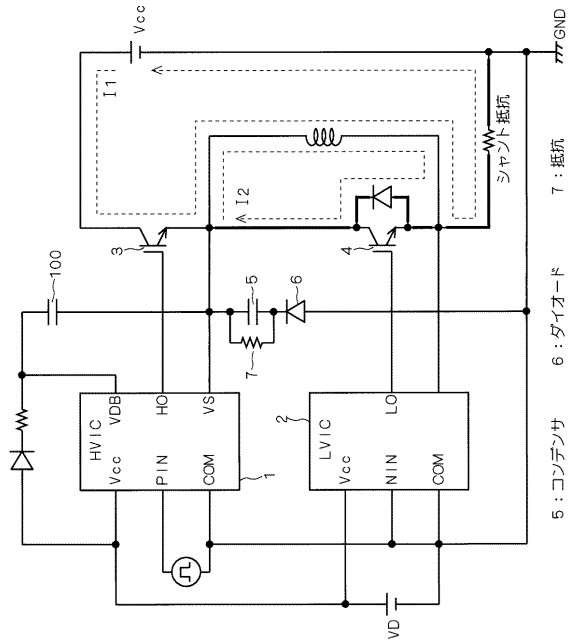
【符号の説明】

【0041】

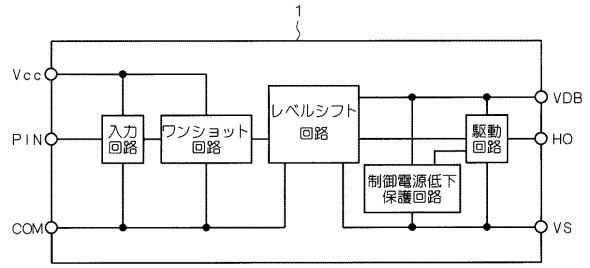
1 HVIC、3 IGBT、5 コンデンサ、6, 10, 16, 21 ダイオード、7, 8 抵抗、11, 17 高速ダイオード、12, 18, 19 ツェナーダイオード、100 ブートストラップ電源コンデンサ。

40

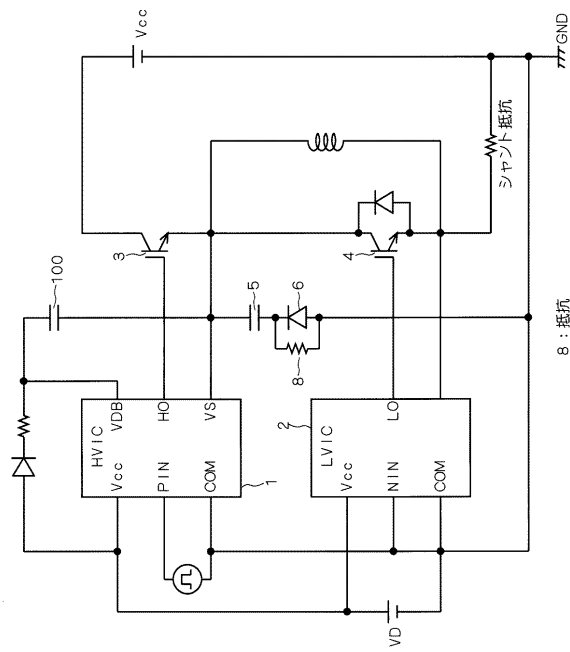
【図1】



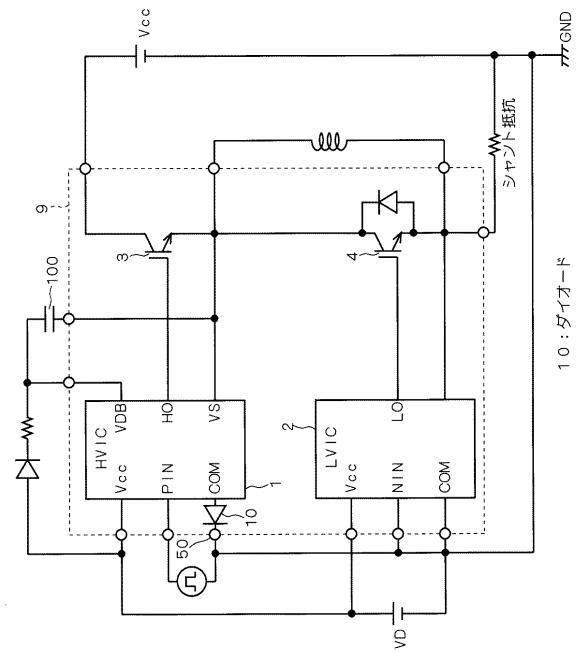
【図2】



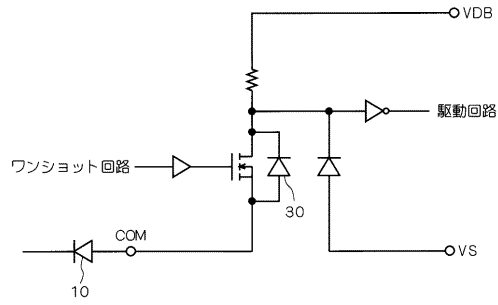
【図3】



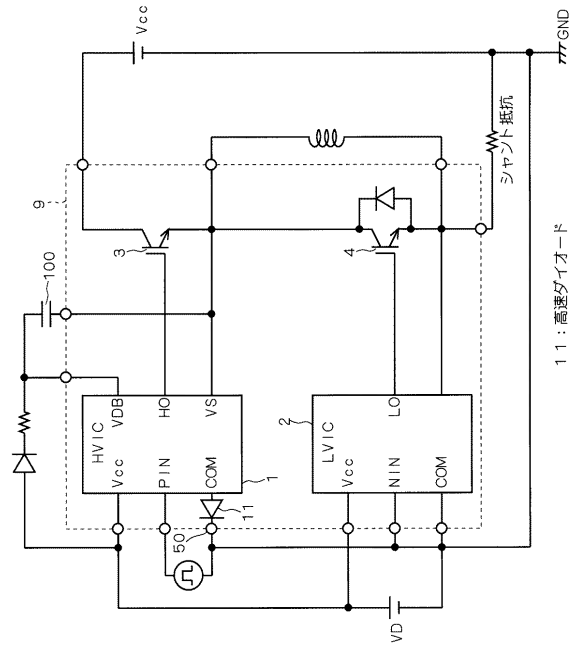
【図4】



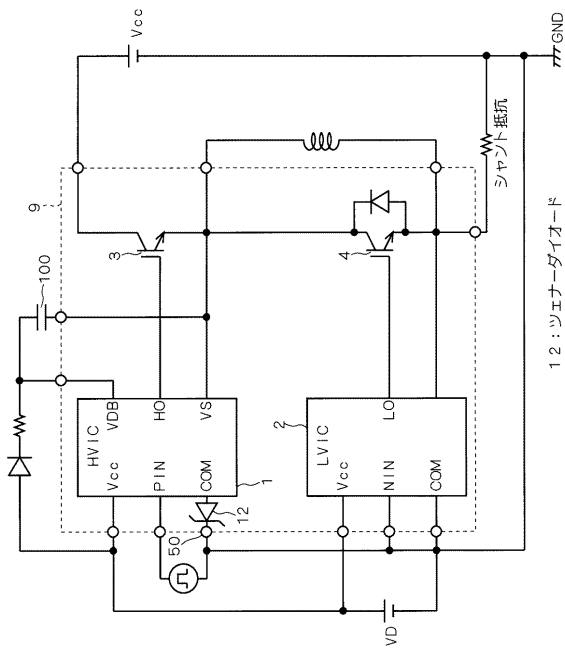
【図5】



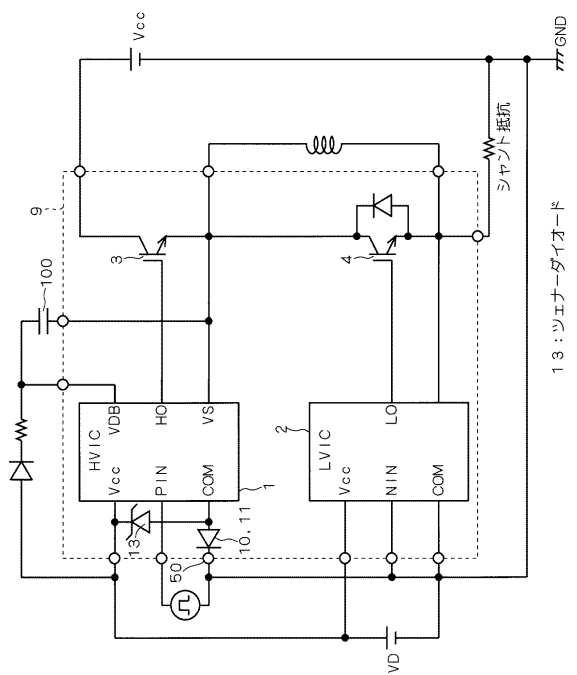
【図6】



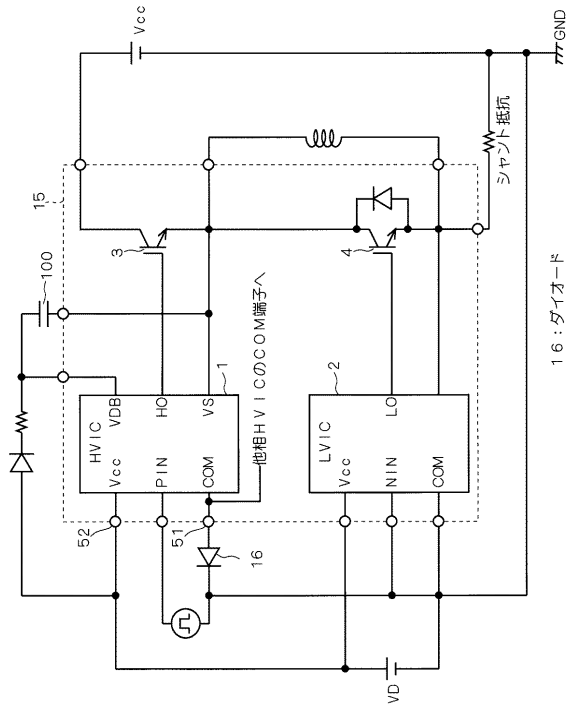
【図7】



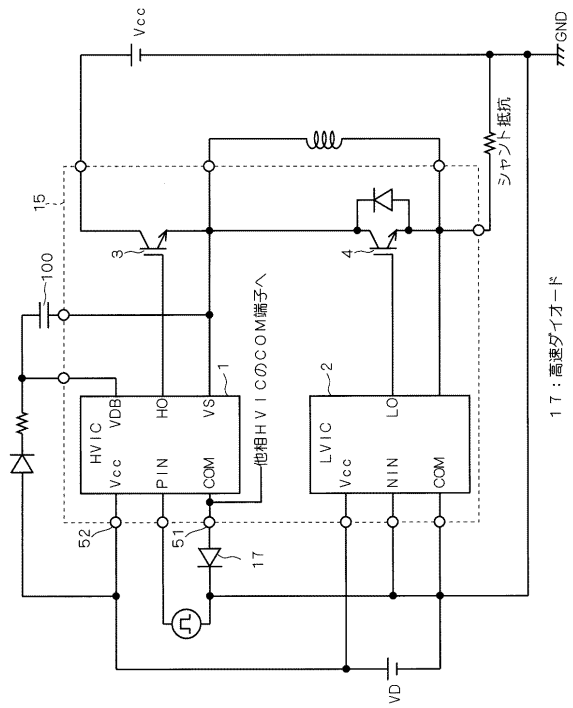
【図8】



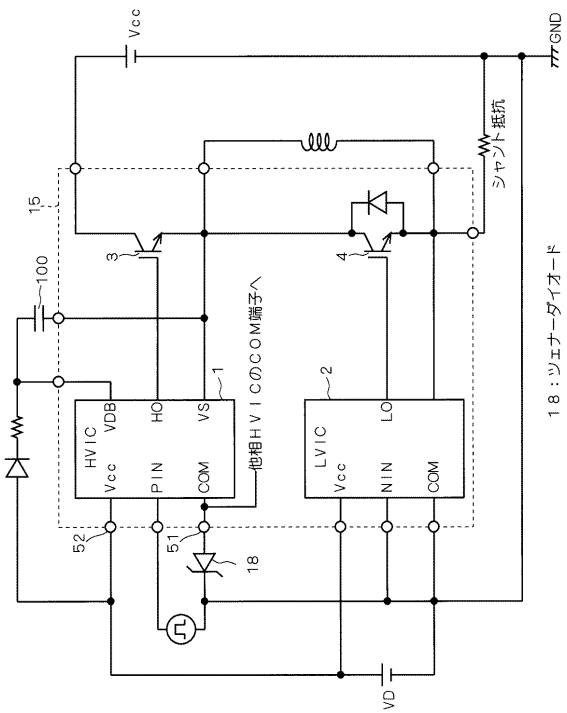
【図 9】



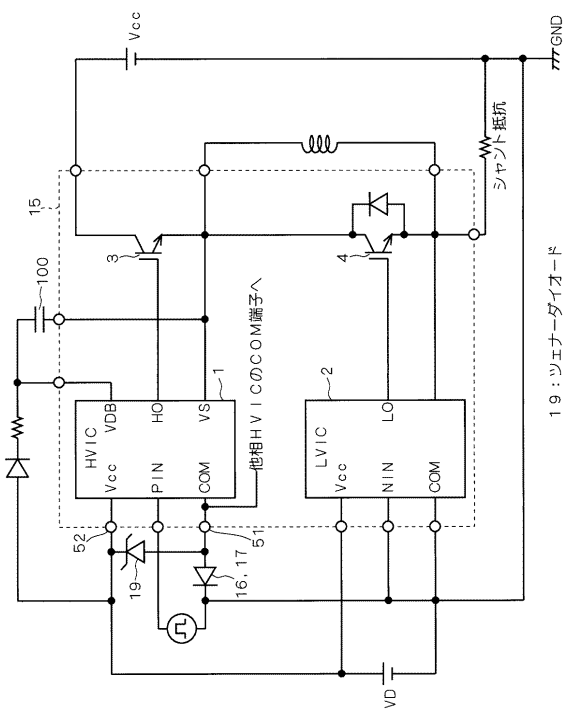
【図 10】



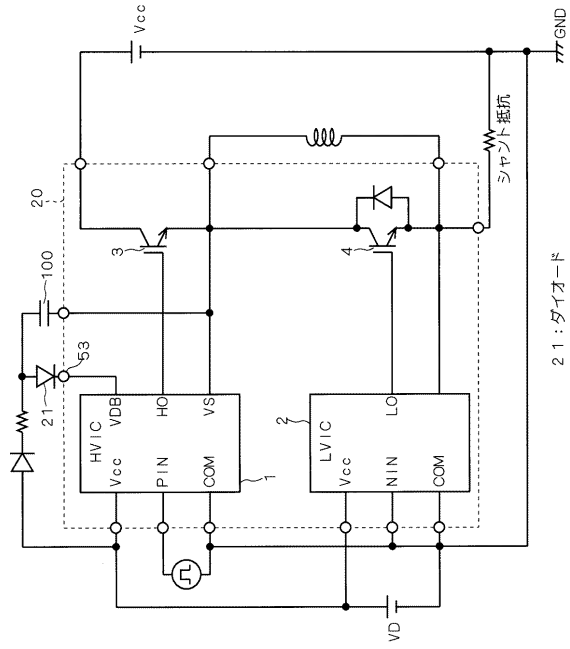
【図 11】



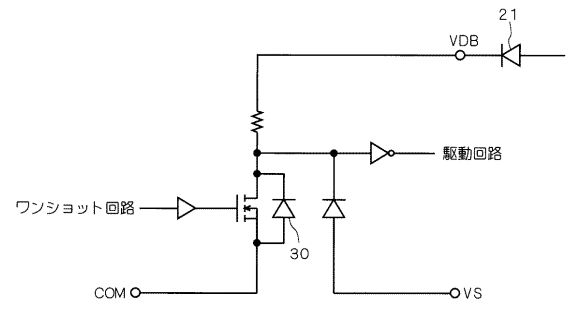
【図 12】



【図 13】



【図 14】



フロントページの続き

- (56)参考文献 国際公開第01/059918(WO, A1)
特開平05-083957(JP, A)
米国特許第06218788(US, B1)
特開平10-042575(JP, A)
特表平06-503938(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/5387