



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I676217 B

(45) 公告日：中華民國 108 (2019) 年 11 月 01 日

(21) 申請案號：106122825

(22) 申請日：中華民國 106 (2017) 年 07 月 07 日

(51) Int. Cl. : **H01L21/56 (2006.01)**

(30) 優先權：2016/07/22 美國 62/365,402

2017/04/27 美國 15/498,542

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：林岷臻 LIN, MIN CHEN (TW)；周哲雅 CHOU, CHE YA (TW)；陳南誠 CHEN, NAN CHENG (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 200629649A

TW 201201345A1

TW 201434203A

TW 201436361A

TW 201524887A

TW 201622079A

US 2009/0155959A1

US 2013/0264716A1

審查人員：邱迺軒

申請專利範圍項數：10 項 圖式數：6 共 29 頁

(54) 名稱

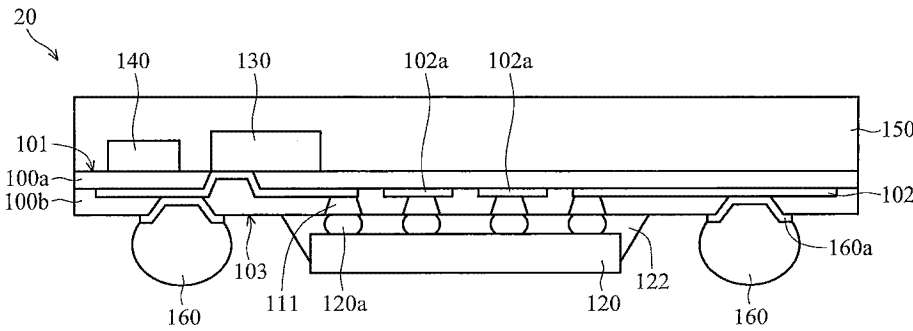
半導體封裝結構

(57) 摘要

本發明提供了一種半導體封裝結構，具有一 RDL(重分佈層)結構，該 RDL 結構具有一第一表面以及一相對於該第一表面的第二表面。該 RDL 結構包括：一 IMD(金屬間介電)層和一第一導電層，設置在該 IMD 層的一第一層級處。一模塑料覆蓋該 RDL 結構的該第一表面。一第一半導體晶粒設置在該 RDL 結構的該第二表面上並且電性耦接至該 RDL 結構。複數個凸塊結構設置在該 RDL 結構的該第二表面上並且電性耦接至該 RDL 結構。

The present invention provides a semiconductor package structure including a redistribution layer (RDL) structure having a first surface and a second surface opposite thereto. The RDL structure includes an inter-metal dielectric (IMD) layer and a first conductive layer disposed at a first layer-level of the IMD layer. A molding compound covers the first surface of the RDL structure. A first semiconductor die is disposed over the second surface of the RDL structure and electrically coupled to the RDL structure. A plurality of bump structures is disposed over the second surface of the RDL structure and electrically coupled to the RDL structure.

指定代表圖：



第 2 圖

符號簡單說明：

- 20 . . . 半導體封裝結構
- 100 . . . IMD 層
- 102 . . . 第一導電層
- 100a、100b . . . 次介電層
- 160a . . . UBM 層
- 120 . . . 第一半導體晶粒
- 122 . . . 底部填充層
- 111 . . . 導電結構
- 130 . . . 第二半導體晶粒
- 140 . . . 電子元件
- 150 . . . 模塑料
- 102a . . . 天線圖案
- 160、120a . . . 凸塊結構
- 110 . . . RDL 結構
- 101 . . . 第一表面
- 103 . . . 第二表面

發明專利說明書

【發明名稱】 半導體封裝結構

A SEMICONDUCTOR PACKAGE STRUCTURE

【技術領域】

【0001】 本發明涉及半導體封裝技術，特別係涉及一種半導體封裝結構，例如扇出的半導體封裝結構。

【先前技術】

【0002】 為了確保電子產品及通訊裝置的持續小型化及多功能性，具有小尺寸、支持多管腳連接、高速操作以及具有高功能性的半導體封裝受到期待。另外，在高頻應用中，諸如 RF (Radio Frequency, 射頻) SIP (System-in-Package, 系統級封裝) 結構，天線一般用於實現無線通訊。

【0003】 在傳統的 SiP 結構中，分離的天線元件被獨立地密封或者安裝於 PCB (Printed Circuit Board, 印刷電路板) 或封裝上。另外，半導體晶粒，元件，以及被動裝置並排 (side by side) 佈置。但是，習知技術要求提供額外的區域來供天線元件安裝於其上。另外，習知技術要求提供大的區域來佈置這些半導體晶粒，元件和被動裝置。

【0004】 如此，難以減小 SiP 結構的封裝大小 (footprint)，即平面尺寸。另外，由於包含密封或安裝在封裝上的天線元件，以及放在下面的並排佈置的半導體晶粒、元件以及被動裝置的組態，因此 SiP 結構的整體高度也難以降低。

【0005】 因此，創新的半導體封裝結構備受期待。

【發明內容】

【0006】因此，本發明之主要目的即在於提供一種半導體封裝結構。

【0007】根據本發明至少一個實施例的一種半導體封裝結構，包括：一重分佈層結構，具有一第一表面及一相對於該第一表面的第二表面，其中該重分佈層結構包括：一金屬間介電層和一設置於該金屬間介電層的第一層級處的第一導電層；一模塑料，覆蓋該重分佈層結構的該第一表面；一第一半導體晶粒，設置在該重分佈層結構的該第二表面上，並且電性耦接至該重分佈層結構；以及複數個凸塊結構，設置在該重分佈層結構的該第二表面上，並且電性耦接至該重分佈層結構。

【0008】本發明實施例，半導體晶粒與複數個凸塊結構均設置在重分佈層結構的同一表面上，從而可以提高半導體封裝結構的集成度。

【圖式簡單說明】

【0009】通過閱讀接下來的詳細描述以及參考圖式所做的示例，可以更全面地理解本發明，其中：

第 1 圖為根據本發明實施例的半導體封裝結構的橫截面示意圖；

第 2 圖為根據本發明實施例的半導體封裝結構的橫截面示意圖；

第 2-1 圖為第 2 圖所示的半導體封裝結構中的天線圖案的佈置的平面示意圖；

第 3 圖為根據本發明實施例的半導體封裝結構的橫截面示意圖；

第 4 圖為根據本發明實施例的半導體封裝結構的橫截面示意圖；

第 4-1 圖為第 4 圖所示的半導體封裝結構中的天線圖案與接地屏蔽圖案的佈置的平面示意圖；

第 5 圖為根據本發明實施例的半導體封裝結構的橫截面示意圖；

第 5-1 圖為第 5 圖所示的半導體封裝結構中的天線圖案與接地屏蔽圖案的佈置的平面示意圖；

第 6 圖為根據本發明實施例的半導體封裝結構的橫截面示意圖；

第 6-1 圖為第 6 圖所示的半導體封裝結構中的天線圖案與接地屏蔽圖案的佈置的平面示意圖。

【實施方式】

【0010】在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有習知技術者應可理解，電子裝置製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。以外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接到一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

【0011】以下描述為實現本發明的較佳預期模式。該描述僅是出於說明本發明的一般原理的目的，並且不意味著限制。本發明的範圍參考所附的申請專利範圍。

【0012】本發明以參考特定實施例以及參考確定圖式的方式來描述，但是本發明不限制於此並且本發明僅受申請專利範圍的限制。描述的圖式僅為原理圖並且不是限制。在圖式中，出於說明目的和非按比例繪制，誇大了某些元件的尺寸。圖式中的尺寸和相對尺寸不對應本發明實踐中的真實尺寸。

【0013】第 1 圖為根據本發明實施例的一半導體封裝結構 10 的橫截面示意圖。在一些實施例中，該半導體封裝結構 10 為一晶圓級半導體封裝結構，例如，覆晶半導體封裝結構。

【0014】參考第 1 圖，該半導體封裝結構 10 可以為一安裝於一基底（未示出）上的晶圓級半導體封裝結構。在一些實施例中，該半導體封裝結構 10 可以為一 SoC（System-on-Chip，系統單晶片）封裝結構。另外，該基底可以包括：一 PCB（Printed Circuit Board，印刷電路板），並且可以由聚丙烯（polypropylene，PP）形成。在一些實施例中，該基底可以包括：一封裝基板。該半導體封裝結構 10 通過接合製程安裝於該基底上。例如，該半導體封裝結構 10 包括：一凸塊結構 160（諸如導電球結構、導電柱結構、或者導電膏結構），係通過接合製程安裝並電性耦接至該基底。

【0015】在本實施例中，該半導體封裝結構 10 包括：一 RDL（Redistribution Layer，重分佈層）結構 110，並且上述凸塊結構 160 電性耦接至該 RDL 結構 110。該 RDL 結構 110，也

被稱為扇出 (fan-out) 結構，具有一第一表面 101 和相對於該第一表面 101 的一第二表面 103。在一些實施例中，該 RDL 結構 110 包括：一個或更多的導電層，設置在一 IMD (inter-metal dielectric, 金屬間介電) 層 100 中。例如，單個的第一導電層 102 設置在 IMD 層 100 的一第一層級處。在此情形中，該 IMD 層 100 可以包括：一第一和第二次介電層 100a 和 100b，從該 RDL 結構 110 的第一表面 101 向該 RDL 結構 110 的第二表面 103 依序堆疊，使得該第一導電層 102 位於該第一和第二次介電層 100a 和 100b 之間。在一些實施例中，IMD 層 100 可以由有機材料形成或非有機材料形成，其中有機材料包括：聚合物基 (polymer base) 材料，非有機材料包括：矽氮化物 (SiN_x)、矽氧化物 (SiO_x)，石墨烯，等等。例如，第一和第二次介電層 100a 和 100b 可以由聚合物基材料形成。

【0016】另外，凸塊結構 160 設置在 RDL 結構 110 的第二表面 103 上，並且電性耦接至 RDL 結構 110。在一些實施例中，第一導電層 102 的接墊部分從第二次介電層 100b 的開口露出，並且通過對應的 UBM (Under Bump Metallization, 凸塊下金屬) 層 160a 電性耦接至對應的凸塊結構 160。

【0017】在本實施例中，該半導體封裝結構 10 進一步包括：一第一半導體晶粒 120，諸如 SoC 晶粒。該第一半導體晶粒 120 設置在 RDL 結構 110 的第二表面 103 上，並且第一導電層 102 電性耦接至該第一半導體晶粒 120。如第 1 圖所示，該第一半導體晶粒 120 採用覆晶技術來裝配。第一半導體晶粒 120 的凸塊結構 120a 係電性連接至第一半導體晶粒 120 的電路

(未示出)。在一些實施例中，第一半導體晶粒 120 的凸塊結構 120a 被底部填充 (underfill) 層 122 圍繞，該底部填充層 122 插入在 RDL 結構 110 的第二表面 103 和第一半導體晶粒 120 之間。另外，第一半導體晶粒 120 的凸塊結構 120a 接觸對應的導電結構 111 (如導電凸塊、膠或焊膏)，使得第一半導體晶粒 120 通過導電結構 111 電性耦接至第一導電層 102。需要注意的是，整合進半導體封裝結構 10 中的 SoC 晶粒的數量不限於本實施例公開的數量。

【0018】 在本實施例中，該半導體封裝結構 10 進一步包括：一個或更多的第二半導體晶粒 130 以及一個或更多的電子元件 140，設置在 RDL 結構 110 的第一表面 101 上。為了簡化示意圖，僅描繪了一個第二半導體晶粒 130 和三個電子元件 140。另外，需要注意的是，半導體封裝結構 10 中整合的半導體晶粒或電子元件的數量不限制於本實施公開的數量。

【0019】 在一些實施例中，第二半導體晶粒 130 和電子元件 140 係並排佈置，並且通過第一導電層 102 電性耦接至 RDL 結構 110。在一些實施例中，第二半導體晶粒 130 為 RF 前端元件，IPD (Integrated Passive Device, 整合被動元件) 或者他們的組合。可選地，第二半導體晶粒 130 可以包括：MCU (microcontroller, 微控制器)、MPU (microprocessor, 微處理器)、RAM (Random Access Memory, 隨機訪問記憶體)、PMIC (Power Management Integrated Circuit, 電源管理積體電路)、閃存、GPS (Global Positioning System, 全球定位系統) 裝置、或者他們的任意組合。在一些實施例中，電子元件 140

為被動元件，諸如電容、電感、電阻或者他們的組合。

【0020】在本實施例中，該半導體封裝結構 10 進一步包括：一模塑料 150，覆蓋 RDL 結構 110 的第一表面 101。在此情形中，第二半導體晶粒 130 和電子元件 140 均設置在模塑料 150 中。在一些實施例中，模塑料 150 可以由環氧樹脂、樹脂、可塑聚合物等形成。模塑料 150 可在實質為液體時應用，接著通過化學反應固化，諸如在環氧樹脂或樹脂中。在其他的一些實施例中，模塑料 150 可以為 UV (ultraviolet, 紫外) 或者熱固化聚合物，充當能夠設置在第二半導體晶粒 130 和電子元件 140 周圍的凝膠或者可塑固體來應用，接著通過 UV 或者熱固化製程來固化。模塑料 150 可以按照模型 (未示出) 來固化。

【0021】凸塊結構 160 通過 RDL 結構 110 與模塑料 150 隔開。換言之，凸塊結構 160 免於與模塑料 150 接觸。

【0022】第 2 圖為根據本發明一些實施例的半導體封裝結構 20 的橫截面示意圖，以及第 2-1 圖為第 2 圖中所示的半導體封裝結構 20 中的天線圖案的佈置的平面示意圖。以下實施例描述的元件，有相同或者類似於先前已參考第 1 圖描述了，出於簡潔而省略。

【0023】在本實施例中，除了第一導電層 102 具有一個或更多的天線圖案 102a 之外，半導體封裝結構 20 類似於第 1 圖所示的半導體封裝結構 10。具有天線圖案 102a 的第一導電層 102 能夠實現半導體封裝結構 20 的無線通訊。另外，為了簡化示圖，僅描繪了一個第二半導體晶粒 130 和一個電子元件 140。另外，需要注意的是，整合進半導體封裝結構 20 中的半

圖已描述了的，出於簡潔而省略。

【0041】在本實施例中，該半導體封裝結構 50 類似於第 4 圖所示的半導體封裝結構 40。不同於半導體封裝結構 40，第二半導體晶粒 130 和電子元件 140（如第 4 圖所示）沒有設置在半導體封裝 50 中。

【0042】如第 5-1 圖所示，在半導體封裝結構 50 中，第一導電層 102 的天線圖案 102a 可以具有相同或者類似於第 4-1 圖所示的天線圖案的形狀和佈置。另外，接地屏蔽圖案 104a 和第一半導體晶粒 120 的佈置相同於第 4-1 圖所示的情形。但是，發明所屬領域具有通常知識者能夠理解的是，各種各樣的形狀可以用於第一導電層 102 的天線圖案 102a。另外，可以理解的是，半導體封裝結構 50 中整合的天線圖案的數量和天線圖案的佈置不限於本實施例公開的內容。

【0043】第 6 圖為根據本發明實施例的半導體封裝結構 60 的橫截面示意圖，以及第 6-1 圖為第 6 圖所示的半導體封裝結構 60 的天線圖案和接地屏蔽圖案的佈置的平面示意圖。以下實施例描述的元件，有相同或者類似於參考第 4 或 4-1 圖已描述了的，出於簡潔而省略。

【0044】在本實施例中，半導體封裝結構 60 類似於第 4 圖所示的半導體封裝結構 40。在半導體封裝結構 60 中，不同於半導體封裝結構 40，第二半導體晶粒 130 和電子元件 140 設置在 RDL 結構 110 的第二表面 103 上，使得第一半導體晶粒 120，第二半導體晶粒 130 和電子元件 140 並排佈置。

【0045】如第 6-1 圖所示，在半導體封裝結構 60 中，第一

導電層 102 的天線圖案 102a 可以具有與第 4-1 圖中所示的天線圖案相同的形狀和佈置。但是，發明所屬領域具有通常知識者可以理解的是，各種各樣的形狀可以用於第一導電層 102 的天線圖案 102a。另外，需要注意的是，半導體封裝結構 60 中整合的天線圖案的數量以及天線圖案的佈置不限制於本實施例公開的內容。

【0046】 在本實施例中，不同於半導體封裝結構 40，第一半導體晶粒 120，第二半導體晶粒 130 和電子元件 140 的表面均被接地屏蔽圖案 104a 完全覆蓋，如從俯視圖方面所見。

【0047】 在本實施例中，由於天線元件（圖案）整合於 RDL 結構 110 中，因此可以降低半導體封裝結構 60 的整體高度。另外，由於接地屏蔽元件（圖案）整合於 RDL 結構 110 中，天線圖案 102a 和第一半導體晶粒 120 之間的電噪聲可以被接地屏蔽元件所阻止。如此，第一半導體晶粒 120，第二半導體晶粒 130 和電子元件 140（未示出）可以佈置在天線元件的下方，如第 6-1 圖所示。如此，相比於半導體封裝結構 40，半導體封裝結構 60 的封裝大小（即平面尺寸）可以進一步降低。

【0048】 根據前述實施例，半導體封裝結構被設計為製造整合於半導體封裝中的天線元件和接地屏蔽元件。這些元件可以由 RDL 製程來形成。相應地，無需執行額外的製程來形成天線元件和接地屏蔽元件。如此，增加了半導體封裝結構的可靠性、良品率和生產量，以及降低了半導體封裝結構的製造成本。另外，整合的天線和接地屏蔽元件可以為半導體封裝結構的系統整合提供靈活設計，以及有效地降低封裝尺寸。

I676217

發明摘要

※ 申請案號：106122825

※ 申請日：106/07/07

※IPC 分類：H01L 21/56 (2006.01)

【發明名稱】半導體封裝結構

A SEMICONDUCTOR PACKAGE STRUCTURE

【中文】

本發明提供了一種半導體封裝結構，具有一 RDL（重分佈層）結構，該 RDL 結構具有一第一表面以及一相對於該第一表面的第二表面。該 RDL 結構包括：一 IMD（金屬間介電）層和一第一導電層，設置在該 IMD 層的一第一層級處。一模塑料覆蓋該 RDL 結構的該第一表面。一第一半導體晶粒設置在該 RDL 結構的該第二表面上並且電性耦接至該 RDL 結構。複數個凸塊結構設置在該 RDL 結構的該第二表面上並且電性耦接至該 RDL 結構。

【英文】

The present invention provides a semiconductor package structure including a redistribution layer (RDL) structure having a first surface and a second surface opposite thereto. The RDL structure includes an inter-metal dielectric (IMD) layer and a first conductive layer disposed at a first layer-level of the IMD layer. A molding compound covers the first surface of the RDL structure. A first semiconductor die is disposed over the second surface of the RDL structure and electrically coupled to

the RDL structure. A plurality of bump structures is disposed over the second surface of the RDL structure and electrically coupled to the RDL structure.

【代表圖】

【本案指定代表圖】：第(2)圖。

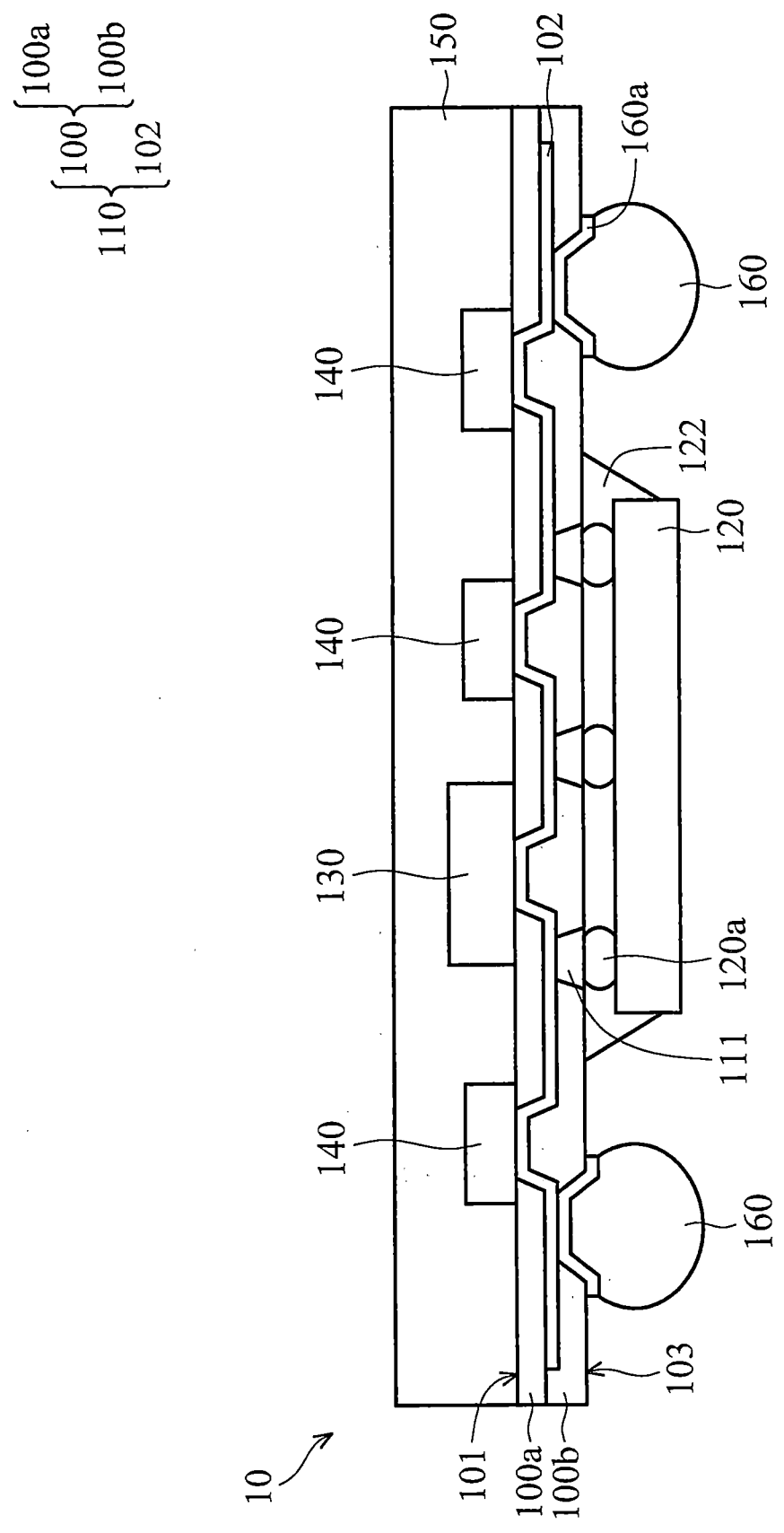
【本代表圖之符號簡單說明】：

- 20 半導體封裝結構；
- 160、120a 凸塊結構；
- 110 RDL 結構；
- 101 第一表面；
- 103 第二表面；
- 100 IMD 層；
- 102 第一導電層；
- 100a、100b 次介電層；
- 160a UBM 層；
- 120 第一半導體晶粒；
- 122 底部填充層；
- 111 導電結構；
- 130 第二半導體晶粒；
- 140 電子元件；
- 150 模塑料；
- 102a 天線圖案。

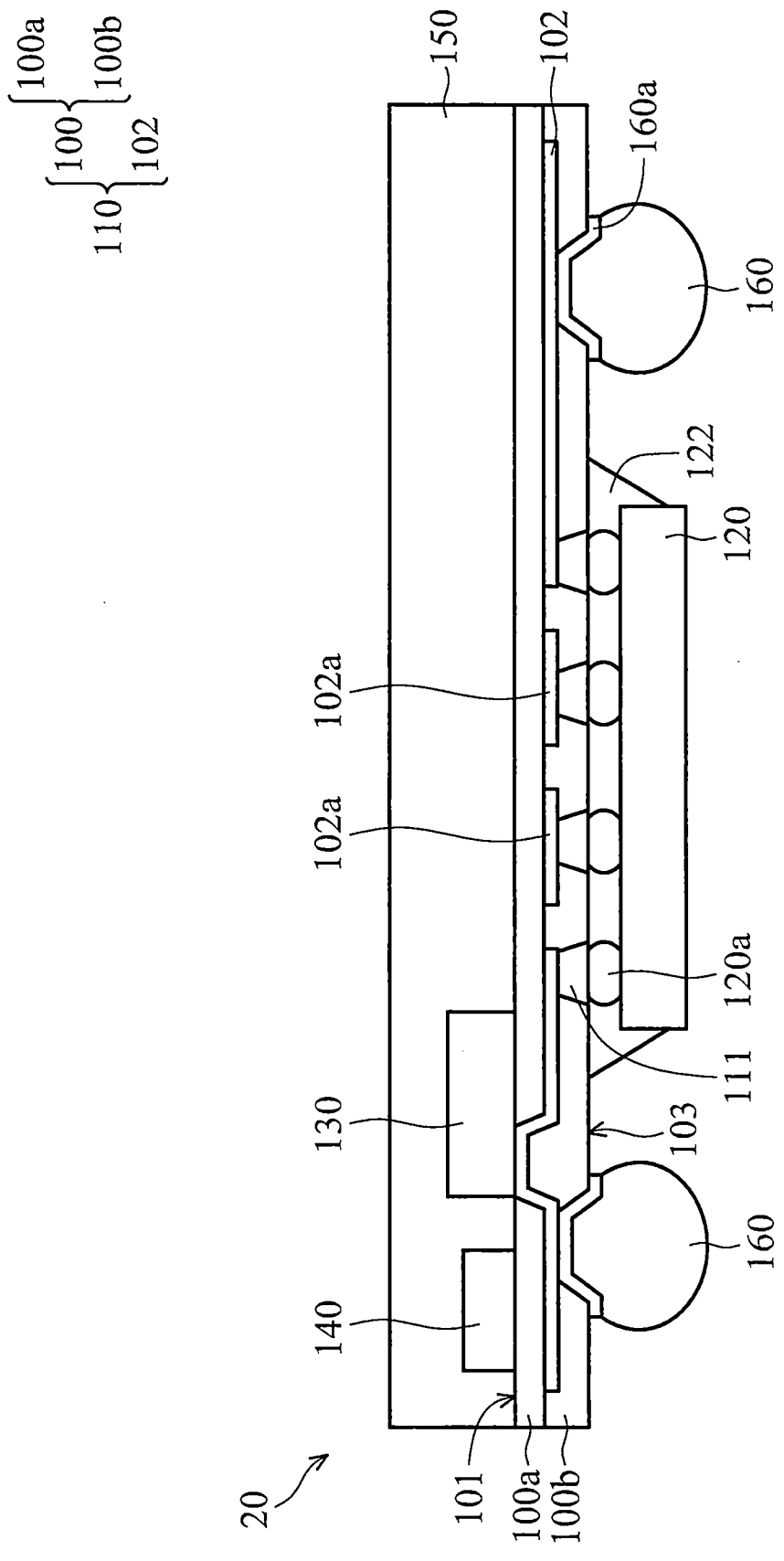
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

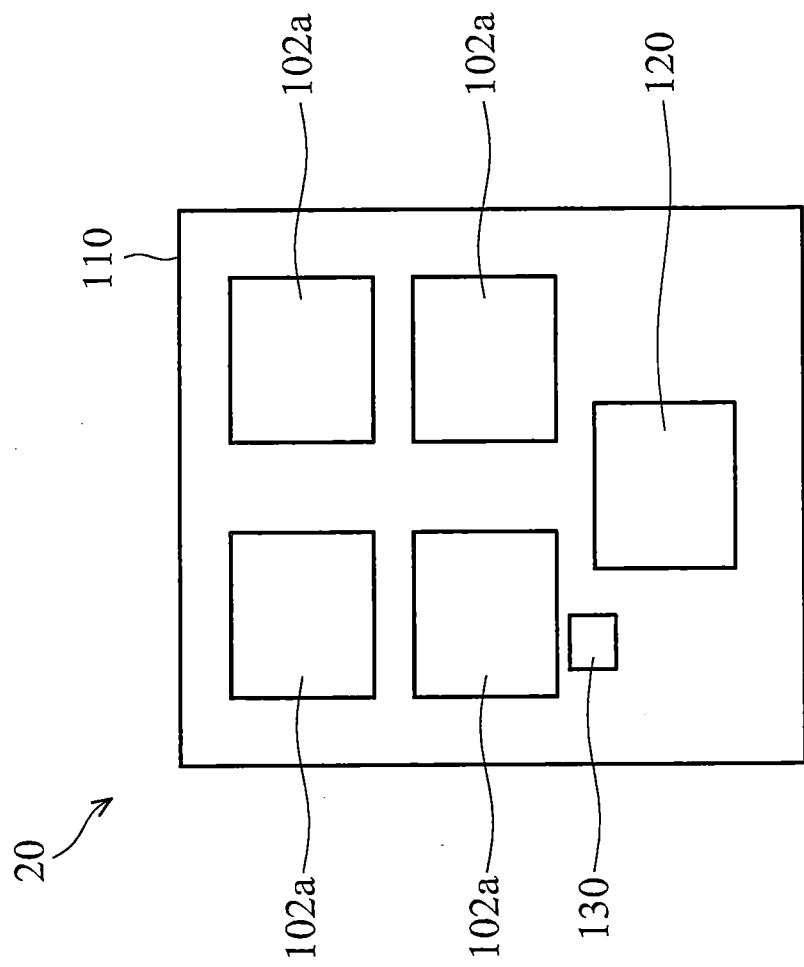
圖式



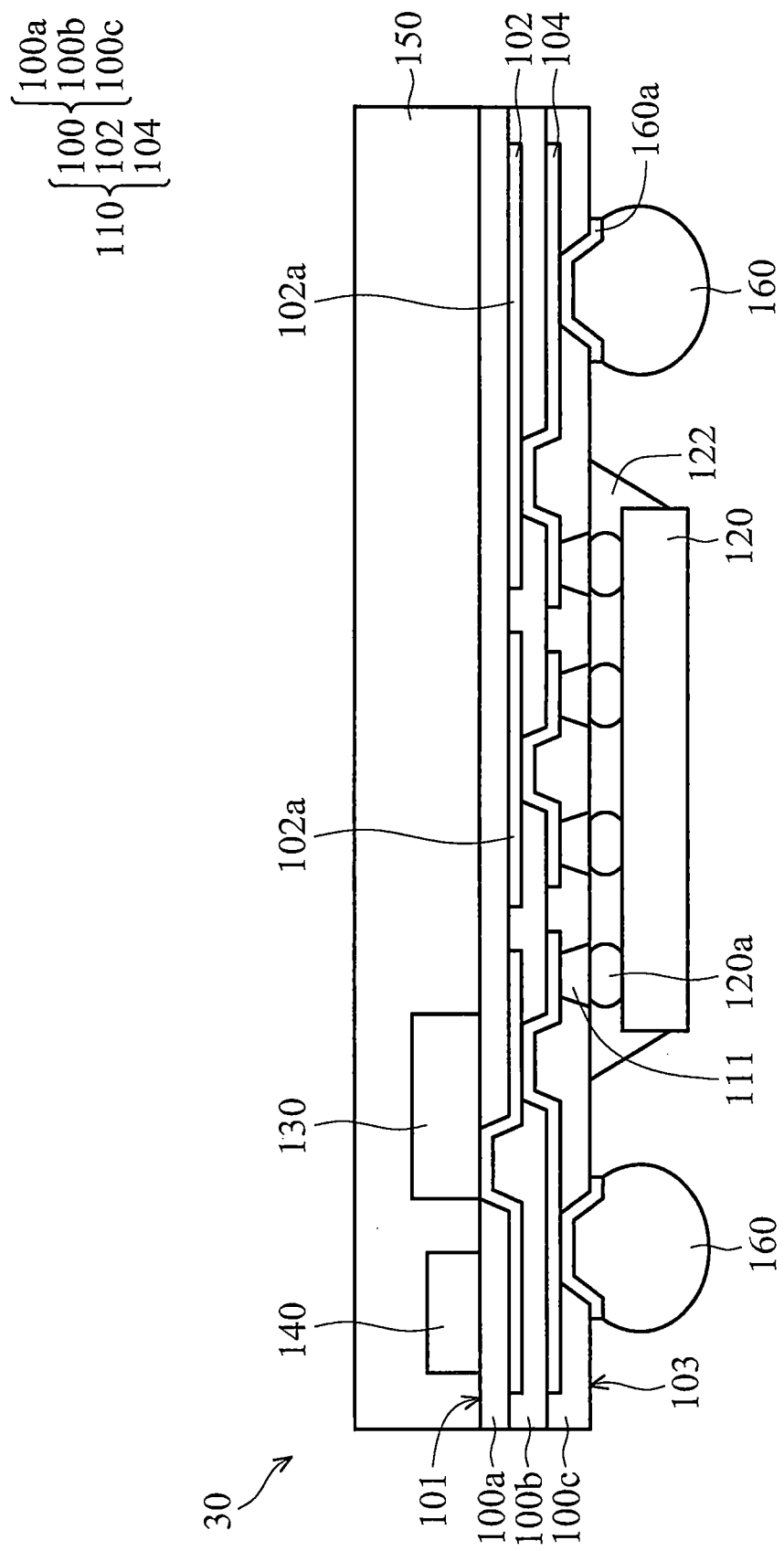
第 1 圖



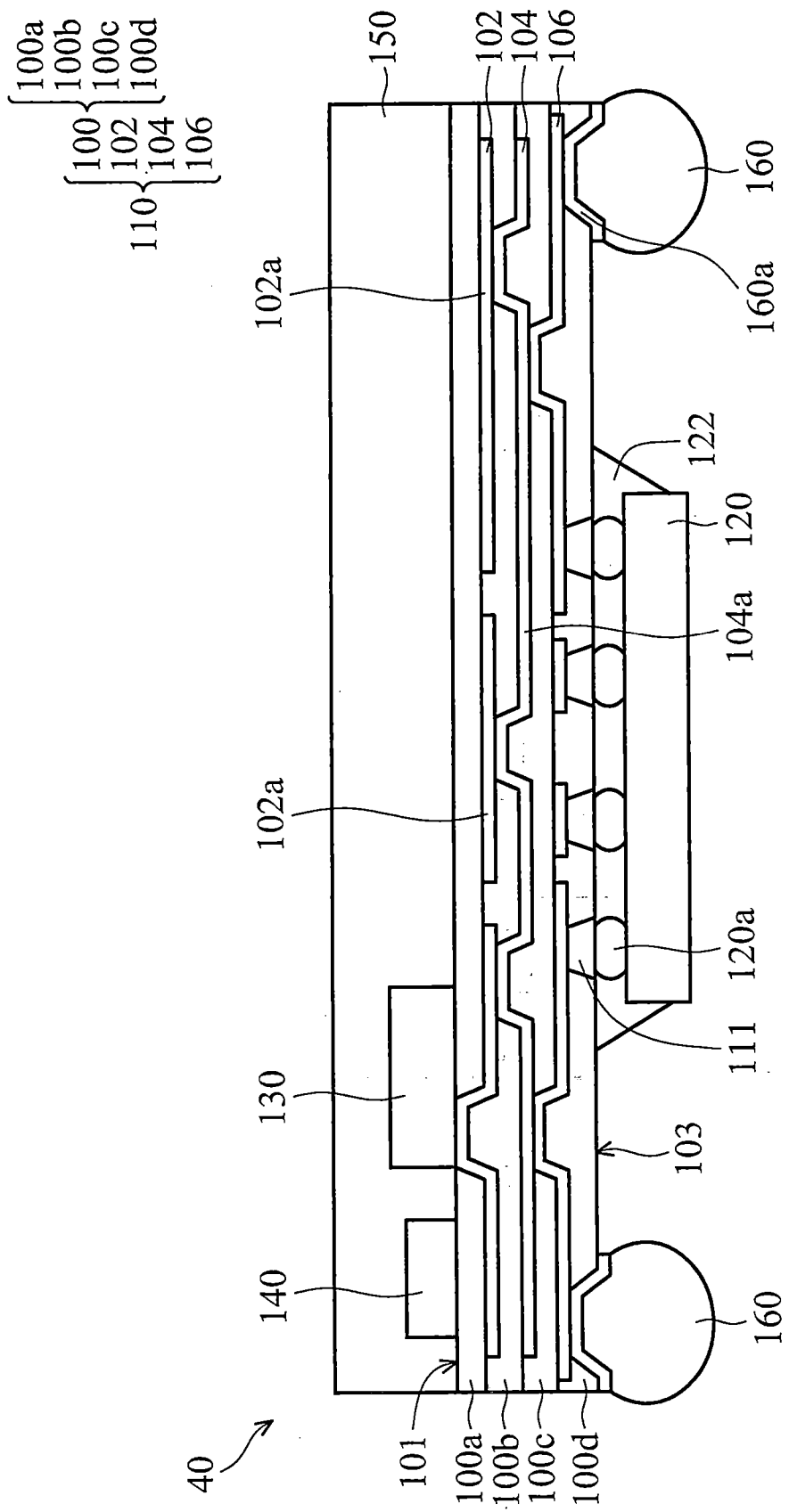
第2圖



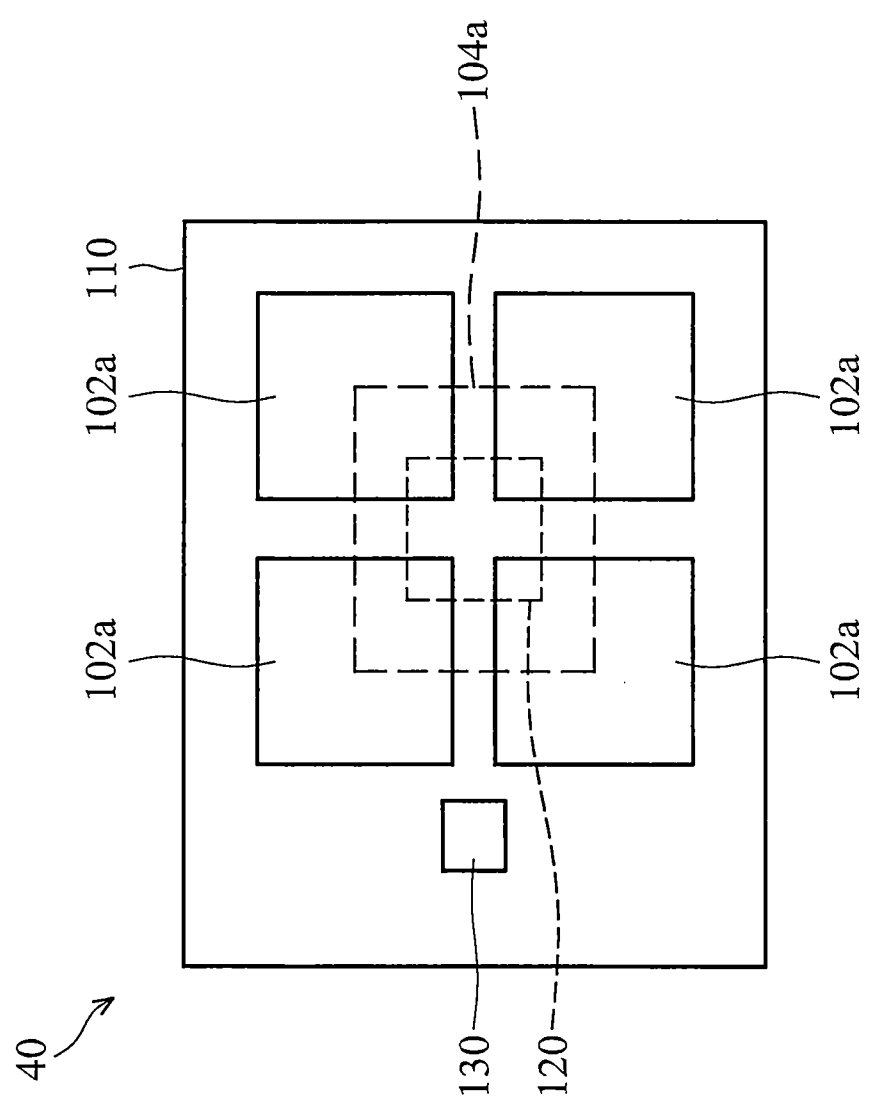
第 2-1 圖



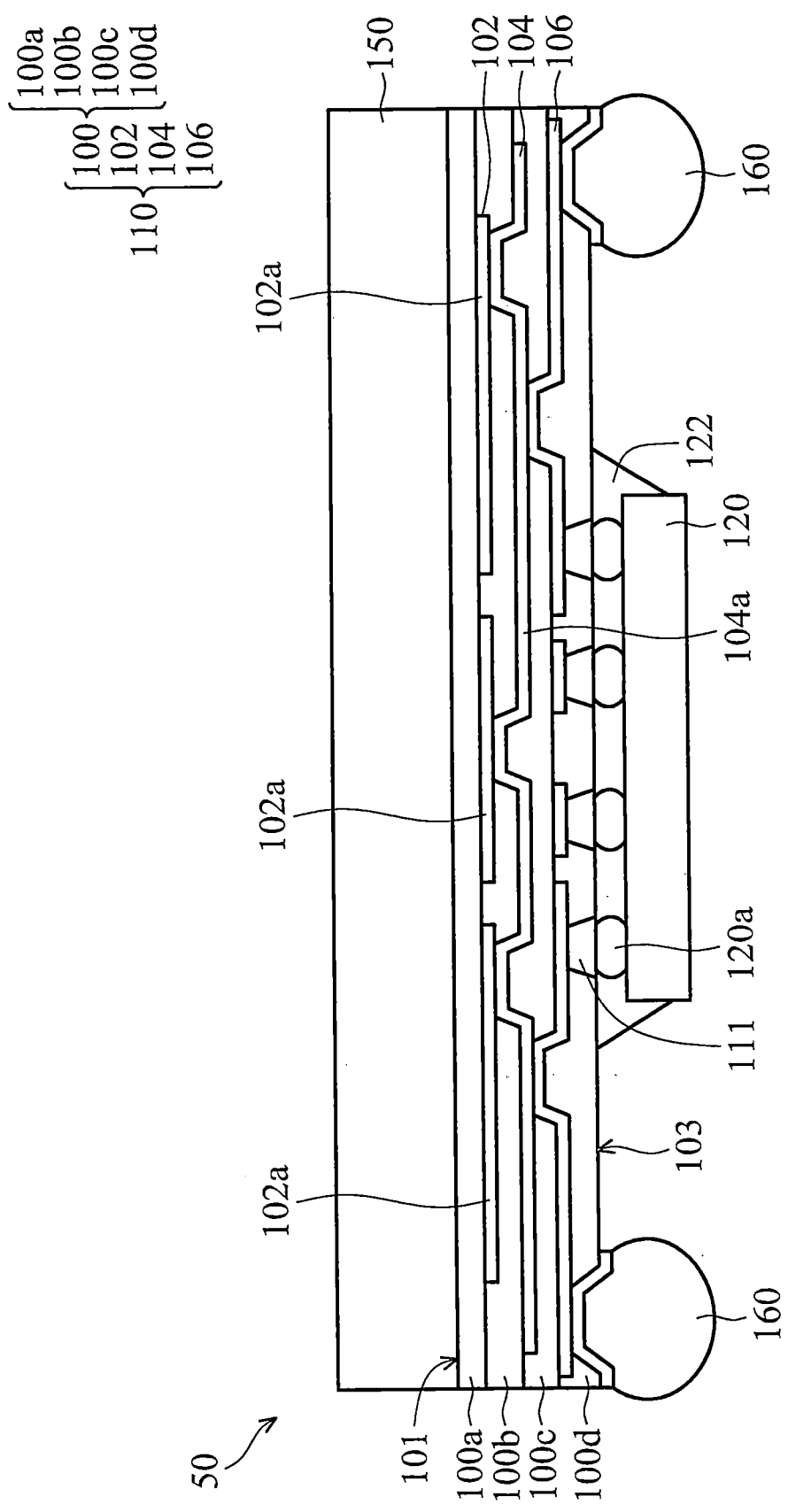
第3圖



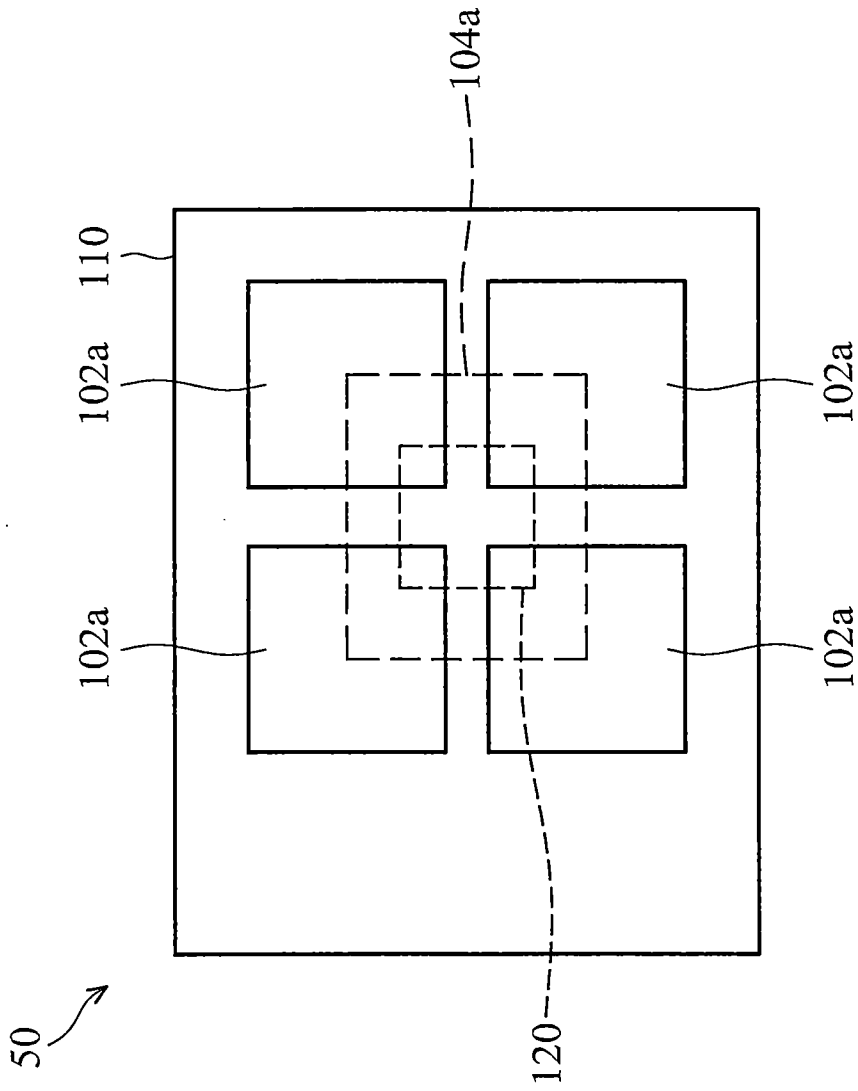
第4圖



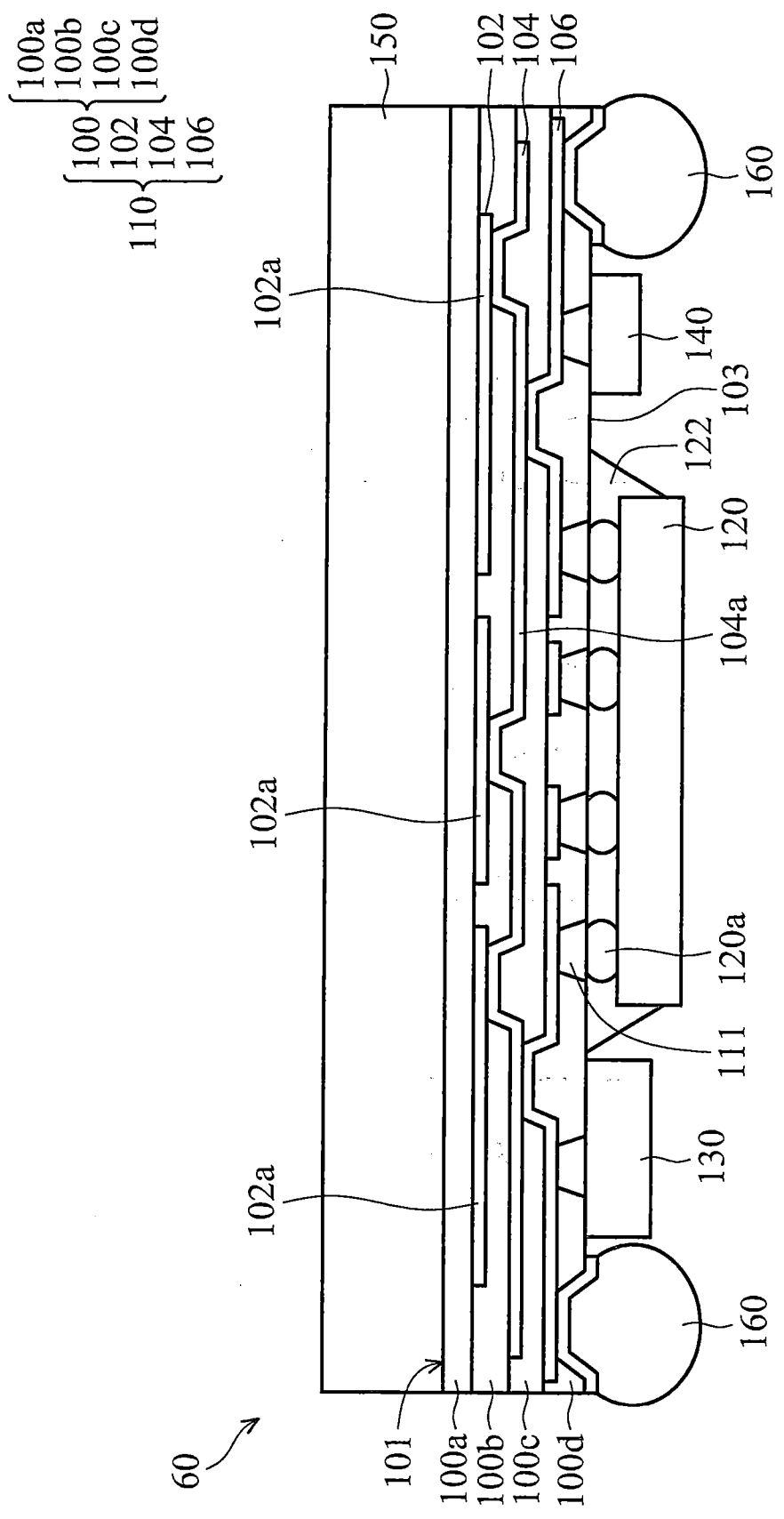
第4-1圖



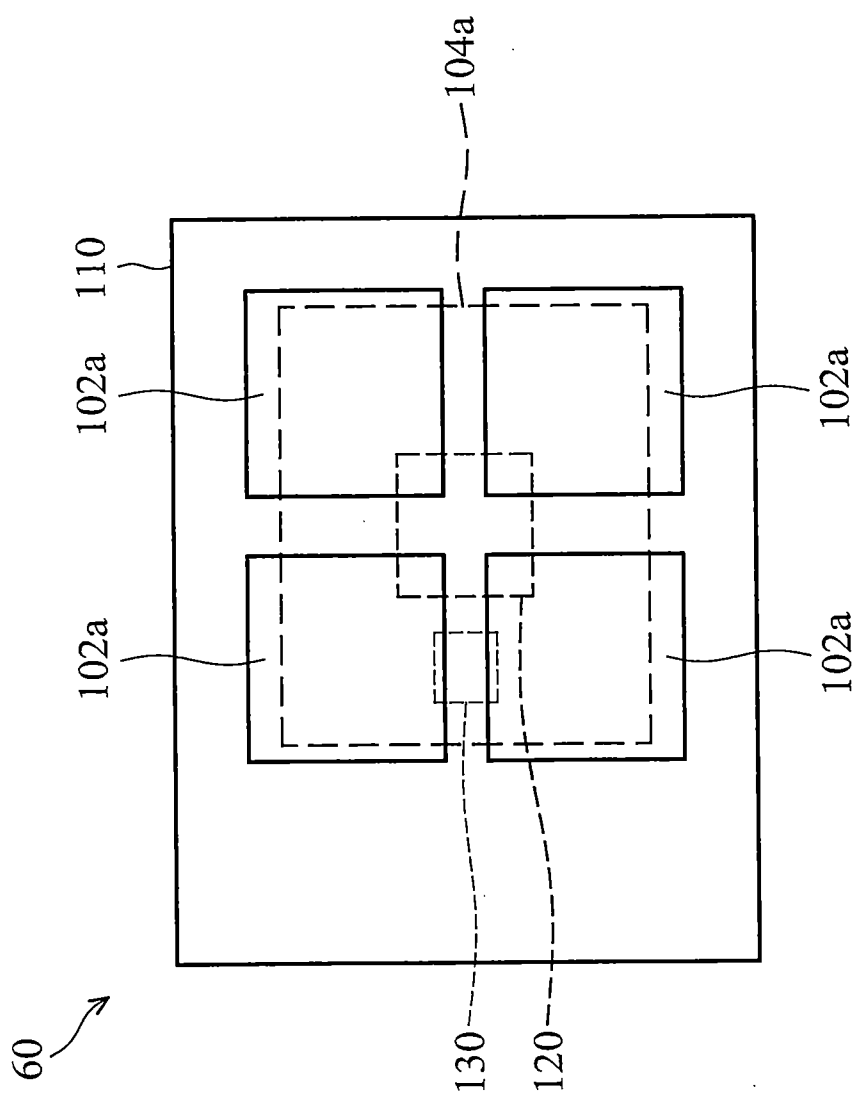
第 5 圖



第 5-1 圖



第6圖



第6-1圖

導體晶粒或電子元件的數量不限制於本實施例公開的數量。

【0024】如第 2-1 圖所示，例如，第一導電層 102 具有四個天線圖案 102a，並且從俯視圖中可知看出，該四個天線圖案 102a 排列為陣列。在此情形中，第一導電層 102 的天線圖案 102a 係與第一半導體晶粒 120、第二半導體晶粒 130 和電子元件 140（未示出）橫向隔開，如從俯視圖方面看。另外，第一導電層 102 的每個天線圖案 102a 均為矩形，如從俯視圖方面看。

【0025】但是，發明所屬領域具有通常知識者可以理解的是，各種各樣的形狀可以用於第一導電層 102 的天線圖案 102a。另外，可以理解的是，半導體封裝結構 20 中整合的天線圖案的數量以及這些天線圖案的佈置均不限制於本實施例所公開的內容。

【0026】在本實施例中，由於天線元件整合在 RDL 結構 110 中，因此可以降低半導體封裝結構 20 的整體高度。

【0027】在一些實施例中，第一導電層 102 可以具有一代替該天線圖案的接地屏蔽（ground shielding）圖案（未示出）。在此情形中，天線圖案可以安裝於半導體封裝結構 20 上。接地屏蔽元件可以降低電噪聲對信號的影響，以及減少會干擾其他裝置的電磁輻射。

【0028】第 3 圖為根據本發明實施例的半導體封裝結構 30 的橫截面示意圖。以下實施例描述的元件，有相同或者類似於先前參考第 1 或 2 圖已描述了的，出於簡潔而省略。

【0029】在本實施例中，除了 RDL 結構 110 的組態之外，

該半導體封裝結構 30 類似於第 2 圖所示的半導體封裝結構 20。在本實施例中，該 RDL 結構 110 包括：兩層導電層，設置在 IMD 層 100 的不同層級處。例如，第一導電層 102 設置在 IMD 層 100 的第一層級處，以及第二導電層 104 設置在 IMD 層 100 的低於第一層級的第二層級處。在此情形中，IMD 層 100 可以包括：第一、第二和第三次介電層 100a、100b 和 100c，從 RDL 結構 110 的第一表面 101 向 RDL 結構 110 的第二表面 103 依序堆疊，使得第一導電層 102 設置在第一和第二次介電層 100a 和 100b 之間。另外，第二導電層 104 設置在第二和第三次介電層 100b 和 100c 之間。

【0030】在一些實施例中，第二導電層 104 的接墊從第三次介電層 100c 的開口中露出，並且通過對應的 UBM 層 160a 連接至對應的凸塊結構 160。

【0031】在本實施例中，第一導電層 102 的天線圖案 102a 可以具有相同或者不同於第 2-1 圖所示的天線圖案的形狀和佈置。發明所屬領域具有通常知識者可以理解的是，各種各樣的形狀可以用於第一導電層 102 的天線圖案 102a。另外，可以理解的是，半導體封裝結構 30 中整合的天線圖案的數量以及天線圖案的佈置不限制於本實施例公開的內容。

【0032】在一些實施例中，半導體封裝結構 30 的第一導電層 102 可以具有一接地屏蔽圖案(未示出)來代替該天線圖案。在此情形中，天線圖案可以安裝在半導體封裝結構 30 上。

【0033】第 4 圖為根據本發明實施例的半導體封裝結構 40 的示意圖，以及第 4-1 圖為第 4 圖中所示的半導體封裝結構 40

中的天線圖案與接地屏蔽圖案的佈置的平面示意圖。以下實施例描述的元件，有相同或者類似於先前參考第 3 圖已描述了，出於簡潔而省略。

【0034】在本實施例中，除了 RDL 結構 110 的組態之外，半導體封裝結構 40 類似於第 3 圖所示的半導體封裝結構 30。在本實施例中，第一導電層 102 具有一個或更多的天線圖案 102a，以及第二導電層 104 具有一接地屏蔽圖案 104a，佈置在天線圖案 102a 的下方。具有接地屏蔽圖案 104a 的第二導電層 104 可以降低天線圖案 102a 與第一半導體晶粒 120 之間的電噪聲，以及降低會干擾其他裝置的電磁輻射。

【0035】另外，在本實施例中，RDL 結構 110 包括：三個導電層，設置在 IMD 層 100 的不同層級處。例如，一第一導電層 102 設置在 IMD 層 100 的第一層級處；一第二導電層 104，設置在 IMD 層 100 的位於第一層級下的第二層級處；以及一第三導電層 106，設置在 IMD 層 100 的位於第二層級下的第三層級處。在此情形中，IMD 層 100 可以包括：第一，第二，第三和第四次介電層 100a，100b，100c 和 100d，自 RDL 結構 100 的第一表面 101 向 RDL 結構 110 的第二表面 103 依序堆疊，使得第一導電層 102 位於第一和第二次介電層 100a 和 100b 之間。另外，第二導電層 104 位於第二和第三次介電層 100b 和 100c 之間。另外，第三導電層 106 位於第三和第四次介電層 100c 和 100d 之間。

【0036】在一些實施例中，第三導電層 106 的接墊部分從第四次介電層 100d 的開口中露出，並且通過對應的 UBM 層

160a 連接至對應的凸塊結構 160。

【0037】如第 4-1 圖所示，例如，第一導電層 102 具有四個天線圖案 102a，從俯視圖可以看出該四個天線圖案 102a 佈置在陣列中。在此情形中，第一半導體晶粒 120 的表面完全被接地屏蔽圖案 104a 覆蓋，如從俯視圖方面所見。另外，第一導電層 102 的天線圖案 102a 與第二半導體晶粒 130 和電子元件 140（未示出）橫向隔開，如從俯視圖方面所見。第一導電層 102 的每個天線圖案 102a 均為矩形，如從俯視圖方面所見。

【0038】但是，發明所屬領域具有通常知識者可以理解的是，各種各樣的形狀可以用於第一導電層 102 的天線圖案 102a。另外，可以理解的是，整合於半導體封裝結構 40 中的天線圖案的數量與天線圖案的佈置不限制於本實施例公開的內容。

【0039】在本實施例中，由於天線元件整合於 RDL 結構 110 中，因此可以降低半導體封裝結構 100 的整體高度。另外，由於接地屏蔽元件整合於 RDL 結構 110 中，因此接地屏蔽元件可以阻止天線圖案 102a 和第一半導體晶粒 120 之間的電噪聲。如此，第一半導體晶粒 120 可以佈置在天線元件的下方，如第 4-1 圖所示，從而降低半導體封裝結構 40 的封裝大小（即平面尺寸）。

【0040】第 5 圖為根據本發明實施例的半導體封裝結構 50 的橫截面示意圖，以及第 5-1 圖為第 5 圖所示的半導體封裝結構 50 中的天線圖案和接地屏蔽圖案的佈置的平面示意圖。以下實施例描述的元件，有相同或者類似於先前參考第 4 或 4-1

【0049】以上所述僅為本發明的較佳實施例而已，並不用以限制本發明，凡在本發明的精神和原則之內所作的任何修改、等同替換和改進等，均應包含在本發明的保護範圍之內。

【符號說明】

【0050】

- 10、20、30、40、50、60 半導體封裝結構；
- 160、120a 凸塊結構；
- 110 RDL 結構；
- 101 第一表面；
- 103 第二表面；
- 100 IMD 層；
- 102 第一導電層；
- 100a、100b、100c、100d 次介電層；
- 160a UBM 層；
- 120 第一半導體晶粒；
- 122 底部填充層；
- 111 導電結構；
- 130 第二半導體晶粒；
- 140 電子元件；
- 150 模塑料；
- 102a 天線圖案；
- 104 第二導電層；
- 104a 接地屏蔽圖案；
- 106 第三導電層。

申請專利範圍

1. 一種半導體封裝結構，包括：
 - 一重分佈層結構，具有一第一表面及一相對於該第一表面的第二表面，其中該重分佈層結構包括：一第一導電層，且該第一導電層具有一天線圖案或者一接地屏蔽圖案；
 - 一模塑料，覆蓋該重分佈層結構的該第一表面；
 - 一第一半導體晶粒，設置在該重分佈層結構的該第二表面上，並且電性耦接至該重分佈層結構；以及
 - 複數個凸塊結構，設置在該重分佈層結構的該第二表面上，並且電性耦接至該重分佈層結構。
2. 如申請專利範圍第 1 項所述的半導體封裝結構，進一步包括：一底部填充層，插入在該重分佈層結構的該第二表面和該第一半導體晶粒之間。
3. 如申請專利範圍第 1 項所述的半導體封裝結構，進一步包括：一第二半導體晶粒及一電子元件，設置在該模塑料中並且並排佈置，以及電性耦接至該重分佈層結構。
4. 如申請專利範圍第 3 項所述的半導體封裝結構，其中，該電子元件包括：電容、電感、電阻或者他們的組合。
5. 如申請專利範圍第 3 項所述的半導體封裝結構，其中，該第二半導體晶粒包括：一射頻前端元件，一整合被動元件，或者他們的組合。
6. 如申請專利範圍第 3 項所述的半導體封裝結構，其中俯視時該天線圖案與該第一半導體晶粒、該第二半導體晶粒及該電子元件橫向隔開。

7. 如申請專利範圍第 1 項所述的半導體封裝結構，其中該重分佈層結構還包括：一金屬間介電層，該第一導電層設置於該金屬間介電層的第一層級處。
8. 如申請專利範圍第 7 項所述的半導體封裝結構，其中，該重分佈層結構進一步包括：一設置於該金屬間介電層的第二層級處的第二導電層，其中該第二層級位於該第一層級的下方。
9. 如申請專利範圍第 8 項所述的半導體封裝結構，其中，當該第一導電層具有該天線圖案時，該第二導電層具有一接地屏蔽圖案；
該重分佈層結構進一步包括：一第三導電層，設置在該金屬間介電層的第三層級處，其中該第三層級位於該第二層級的下方。
10. 如申請專利範圍第 9 項所述的半導體封裝結構，其中，該接地屏蔽圖案設置在該天線圖案的下方，並且俯視時該天線圖案，該接地屏蔽圖案完全覆蓋該第一半導體晶粒的表面，並且該天線圖案與該第一半導體晶粒橫向隔開。