

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-35841

(P2007-35841A)

(43) 公開日 平成19年2月8日(2007.2.8)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/78 6 5 5 A	

審査請求 有 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2005-215671 (P2005-215671)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年7月26日 (2005.7.26)	(74) 代理人	100092820 弁理士 伊丹 勝
		(74) 代理人	100106389 弁理士 田村 和彦
		(72) 発明者	河村 圭子 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(72) 発明者	土谷 政信 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(54) 【発明の名称】 半導体装置

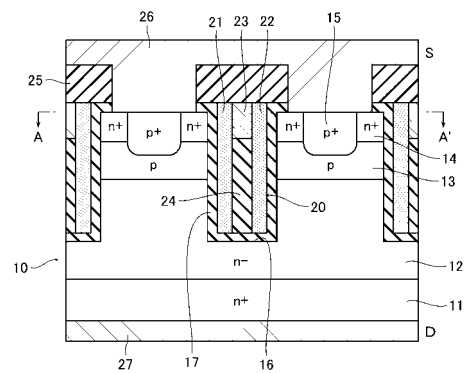
(57) 【要約】

【課題】 トレンチ底部の絶縁層の厚みによらずに、スイッチング損失を低減する。

【解決手段】

ゲートトレンチ16が形成された半導体基板10と、半導体基板10のゲートトレンチ16内にゲート絶縁層17を介して形成された、少なくともゲートトレンチ16の底面側の端部が、ゲートトレンチ16の両側面と直交する方向に分離されると共に、分離された端部を除く部分の少なくとも一部の導電率を他の部分よりも高めたゲート電極20とを備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ゲートトレンチが形成された半導体基板と、  
 前記半導体基板のゲートトレンチの側面及び底面に沿って形成されたゲート絶縁層と、  
 前記ゲートトレンチ内に前記ゲート絶縁層を介して形成され、少なくとも前記ゲートトレンチの底面側の端部が、前記ゲートトレンチの両側面と直交する方向に分離されると共に、前記分離された端部を除く部分の少なくとも一部の導電率を他の部分よりも高めたゲート電極と  
 を備えたことを特徴とする半導体装置。

## 【請求項 2】

ゲートトレンチが形成された半導体基板と、  
 前記半導体基板のゲートトレンチの側面及び底面に沿って形成されたゲート絶縁層と、  
 前記ゲートトレンチの両側面に沿って前記ゲート絶縁層を介して形成された一对のポリシリコン層、及び前記一对のポリシリコン層の上端の側面間に埋め込まれると共に前記ゲートトレンチに沿って延びるゲートメタル層を有するゲート電極と  
 を備えたことを特徴とする半導体装置。

## 【請求項 3】

第 1 導電型の第 1 の半導体層と、  
 前記第 1 の半導体層の上に形成された第 2 導電型の第 2 の半導体層と、  
 前記第 2 の半導体層の上に選択的に形成された第 1 導電型の第 3 の半導体層と、  
 前記第 3 の半導体層の表面位置から前記第 2 の半導体層に達するコンタクトトレンチの底部に形成された第 2 導電型の第 4 の半導体層と、  
 前記第 3 の半導体層の表面から前記第 2 の半導体層を貫通し前記第 1 の半導体層に達するゲートトレンチの側面及び底面に沿って形成されたゲート絶縁層と、  
 前記ゲートトレンチの両側面に沿って前記ゲート絶縁層を介して形成された一对のポリシリコン層、及び前記一对のポリシリコン層の上端の側面間に埋め込まれると共に前記ゲートトレンチに沿って延びるゲートメタル層を有するゲート電極と、  
 前記コンタクトトレンチに埋め込まれて前記第 3 及び第 4 の半導体層と接続される第 1 の主電極と  
 を備えたことを特徴とする半導体装置。

## 【請求項 4】

第 1 導電型の第 1 の半導体層と、  
 前記第 1 の半導体層の上に形成された第 2 導電型の第 2 の半導体層と、  
 前記第 2 の半導体層の上に選択的に形成された第 1 導電型の第 3 の半導体層と、  
 前記第 2 の半導体層の上に選択的に形成されて前記第 3 の半導体層の表面と共にコンタクト面を形成する第 2 導電型の第 4 の半導体層と  
 前記第 3 の半導体層の表面から前記第 2 の半導体層を貫通し前記第 1 の半導体層に達するゲートトレンチの側面及び底面に沿って形成されたゲート絶縁層と、  
 前記ゲートトレンチの両側面に沿って前記ゲート絶縁層を介して形成された一对のポリシリコン層、及び前記一对のポリシリコン層の上端の側面間に埋め込まれつつ前記一对のポリシリコン層上に形成されると共に前記ゲートトレンチに沿って延びるゲートメタル層を有するゲート電極と、  
 前記ゲートメタル層と同一層内に形成されて前記コンタクト面と接続されるソースコンタクトメタル層と、  
 前記ゲートメタル層と前記ソースコンタクトメタル層とを分離すると共にその上面が両メタル層の上面と略同一平面を形成するメタル分離絶縁層と、  
 前記ゲート電極の上端を覆う層間絶縁層と、  
 前記層間絶縁層の上を覆い前記ソースコンタクトメタル層と接続される第 1 の主電極と  
 を備えたことを特徴とする半導体装置。

## 【請求項 5】

10

20

30

40

50

半導体基板にゲートトレンチを形成する工程と、  
前記ゲートトレンチの側面及び底面に沿ってゲート絶縁層を形成する工程と、  
前記ゲートトレンチ内に前記ゲート絶縁層を介して前記ゲートトレンチを完全に埋め込まないようにポリシリコン層を形成する工程と、  
前記形成されたポリシリコン層の前記ゲートトレンチの両側面に沿った部分を残して他の部分を除去したのち、前記ポリシリコン層の上端の両側面間にメタル層を埋め込むことにより、一对の前記ポリシリコン層及びゲートメタル層を有するゲート電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、トレンチゲート構造のPOWER MOSFET、IGBT等の半導体装置及びその製造方法に関する。

【背景技術】

【0002】

トレンチゲート構造を有するPOWER MOSFET及びIGBT等の半導体装置は、少ない面積でもチャンネル幅を確保することが出来ることで、素子の微細化を図ることができ、これによりオン抵抗の低減を図ることができるといふ利点を有する。

【0003】

20

トレンチゲート構造のMOSFETのスイッチ速度を向上させるためには、オン抵抗の低減と共にスイッチング損失を低減させる必要がある。スイッチング損失を決定付ける要素には、ゲート・ドレイン間容量（IGBTの場合には、ゲート・コレクタ間容量。以下同様。）及びゲート・ソース間容量（IGBTの場合には、ゲート・エミッタ間容量。以下同様。）がある。中でもゲート・ドレイン間容量は、スイッチング損失に大きな影響を与える。ゲート・ドレイン間容量の一部は、ゲート電極の下面と、これとゲート絶縁層を介して対向しているn<sup>+</sup>型エピタキシャル層との間で発生する。

【0004】

そこで、トレンチの底部においてゲート絶縁層の厚みを厚くすることにより、ゲート・ドレイン間容量（ゲート・コレクタ間容量）を低減するようにした半導体装置が知られている（特許文献1）。

30

【0005】

しかし、上述した従来技術では、ゲートトレンチの底面にn型不純物をイオン注入してトレンチ底面の近傍の半導体層に高濃度領域を形成し、その後、熱酸化を行うことにより、不純物濃度の相違で、トレンチの底面の熱酸化膜を側面の熱酸化膜よりも厚く形成するようにしている。この場合、トレンチ底面の近傍に高濃度領域が形成されていることに起因し、素子の耐圧が十分に得られ難くなるという問題がある。

【特許文献1】特開平10-32331号、段落0015、図2

【発明の開示】

【発明が解決しようとする課題】

40

【0006】

本発明は、トレンチ底部の絶縁層の厚みによらずに、スイッチング損失を効果的に低減することができるトレンチゲート構造の半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体装置は、ゲートトレンチが形成された半導体基板と、前記半導体基板のゲートトレンチの側面及び底面に沿って形成されたゲート絶縁層と、前記ゲートトレンチ内に前記ゲート絶縁層を介して形成され、少なくとも前記ゲートトレンチの底面側の端部が、前記ゲートトレンチの両側面と直交する方向に分離されると共に、前記

50

分離された端部を除く部分の少なくとも一部の導電率を他の部分よりも高めたゲート電極とを備えたことを特徴とする。

【0008】

本発明の一態様に係る半導体装置の製造方法は、半導体基板にゲートトレンチを形成する工程と、前記ゲートトレンチの側面及び底面に沿ってゲート絶縁層を形成する工程と、前記ゲートトレンチ内に前記ゲート絶縁層を介して前記ゲートトレンチを完全に埋め込まないようにポリシリコン層を形成する工程と、前記形成されたポリシリコン層の前記ゲートトレンチの両側面に沿った部分を残して他の部分を除去したのち、前記ポリシリコン層の上端の両側面間にメタル層を埋め込むことによって、一对の前記ポリシリコン層及びゲートメタル層を有するゲート電極を形成する工程とを有することを特徴とする。

10

【発明の効果】

【0009】

本発明によれば、トレンチ底部の絶縁層の厚みによらずに、スイッチング損失を効果的に低減可能な半導体装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して本発明の実施の形態について説明する。

[第1の実施形態]

図1は、本発明の第1の実施形態に係るパワーMOSFETの概略構成を示す断面図である。

20

【0011】

$n^+$ 型基板11の上には、 $n^-$ 型エピタキシャル層12、p型ベース層13及び $n^+$ 型ソース層14がこの順に形成され、 $n^+$ 型ソース層14と同一面をコンタクト面とする $p^+$ バックゲート層15がp型ベース層13に達するように形成されて半導体基板10が形成されている。

【0012】

この半導体基板10には、 $n^+$ 型ソース層14からp型ベース層13を貫通し、 $n^-$ 型エピタキシャル層12に達するゲートトレンチ16が形成されている。このゲートトレンチ16には、ゲート絶縁層17を介してゲート電極20が形成されている。ゲート電極20は、ゲートトレンチ16の両側面に沿って形成された一对のポリシリコン層21, 22と、これら一对のポリシリコン層21, 22の上端の側面間に埋め込まれるゲートメタル層23とを備えている。ゲートメタル層23は、ポリシリコン層21, 22よりも導電率が大きなアルミニウム、銅、タングステン等の導電体からなり、ゲートトレンチ16に沿って紙面と直交する方向に延びている。ポリシリコン層21, 22の上端部以外の側面間には中間絶縁層24が埋め込まれている。なお、ポリシリコン層21, 22の上端部以外の側面間は空洞が形成されていても良い。

30

【0013】

ゲート電極18の上は、層間絶縁層25に覆われている。層間絶縁層25には、 $n^+$ 型ソース層14及び $p^+$ 型バックゲート層15に臨む開口が形成され、その開口を埋めるように層間絶縁層25の上にソース電極26が形成されている。また、 $n^+$ 型基板11の裏面には、ドレイン電極27が形成されている。

40

【0014】

このように構成されたトレンチゲート構造のMOSFETにおいて、ソース電極26を接地し、ドレイン電極27に所定の正電圧を印加した状態で、ゲート電極20に所定の正のバイアス電圧を印加すると、p型ベース層13のゲートトレンチ16の側面近傍にチャンネルが形成されることによってMOSFETがターンオンし、ドレイン電極27からソース電極26に半導体基板10を介して電流が流れる。また、ゲート電極20を接地すると、チャンネルが消失するのでMOSFETはターンオフする。

【0015】

本実施形態のMOSFETによれば、ゲート電極20の下端部がゲートトレンチ16の

50

側面と直交する方向の両側に分離されているので、ゲート・ドレイン間容量を低減することができ、スイッチング損失を低減することができる。また、ゲート電極 20 を構成する一対のポリシリコン層 21, 22 の上端部の両側面間にゲートメタル層 23 が埋め込まれているので、ポリシリコン層 21, 22 の断面積減少によるゲート抵抗の上昇分を、ゲートメタル層 23 により大幅に低減させて、全体としてゲート抵抗を低減させることができる。また、ゲートメタル層 23 は、ポリシリコン層の両側面間に埋め込まれているので、上面に突出することが無く、素子の平坦化も図ることができる。

**【0016】**

次に、図 2 ~ 図 12 を参照しながら、第 1 の実施形態に係る MOSFET の製造方法について説明する。

10

**【0017】**

まず、図 2 に示すように、 $n^+$  型基板 11 の上に、 $n^-$  型エピタキシャル層 12、p 型ベース層 13 及び  $n^+$  型ソース層 14 をこの順にエピタキシャル成長、イオン注入、拡散等の方法により順次形成して半導体基板 10 を作成する。次に、図 3 に示すように、レジスト 31 をマスクとして、異方性エッチングにより、 $n^+$  型ソース層 14 から p 型ベース層 13 を貫通し、 $n^-$  型エピタキシャル層 12 に達するゲートトレンチ 16 を形成する。

**【0018】**

続いて、レジスト 31 除去の後、図 4 に示すように、ゲートトレンチ 16 を含めた全面にゲート絶縁層 17 を形成するための酸化膜 32 を形成したのち、この酸化膜 32 の上にポリシリコン層 21, 22 を形成するためのポリシリコン層 33 を、CVD 等により、ゲートトレンチ 16 を完全に埋め込まないように形成する。その後、図 5 に示すように、反応性イオンエッチングにより、半導体基板 10 の上面とゲートトレンチ 16 の底部のポリシリコン層 33 を取り除く。これにより、ゲートトレンチ 16 の両側壁面に沿った部分のポリシリコン層 21, 22 が残る。

20

**【0019】**

続いて、図 6 に示すように、ゲートトレンチ 16 内に絶縁膜 34 を埋め込み、絶縁膜 34 を、図 7 に示すように、ポリシリコン層 21, 22 の上端の対向側面が露出して所定深さの溝が形成されるまでエッチバックすることにより、ポリシリコン層 21, 22 間の中間絶縁層 24 を形成する。その後、図 8 に示すように、メタル層 35 を成膜し、表面のメタル層 35 をエッチバック又は CMP (Chemical Mechanical Polishing) で除去することにより、図 9 に示すように、ポリシリコン層 21, 22 の上端の側面間にゲートメタル層 23 を埋め込む。

30

**【0020】**

更に、図 10 に示すように、ウェハの表面に酸化膜 36 を形成し、図 11 に示すように、エッチングにより、 $n^+$  型ソース層 14 に臨む開口を形成し、酸化膜 36 をマスクとして p 型不純物を拡散して  $p^+$  型バックゲート層 15 を形成する。そして、図 12 に示すように、酸化膜 36 の開口の周縁部をエッチングにより除去して、開口を拡大することにより、層間絶縁層 25 を形成する。その後、図 1 に示したようなソース電極 26 及びドレイン電極 27 と、図示しないゲート電極パッドを形成することにより、本実施形態の MOSFET が形成される。

40

**【0021】**

この実施形態によれば、ゲートメタル層 23 がポリシリコン層 21, 22 の上端の両側面間に埋め込まれるので、素子表面の平坦性を確保することができる。

**【0022】****[ 第 2 の実施形態 ]**

図 13 は、本発明の第 2 の実施形態に係る MOSFET の構成を示す断面図である。この実施形態では、ソースコンタクト及びバックゲートコンタクトにトレンチコンタクト構造を採用している。

**【0023】**

すなわち、半導体基板 40 には、 $n^+$  型ソース層 14 から p 型ベース層 13 に達するコ

50

ンタクトトレンチ 4 1 が形成され、このコンタクトトレンチ 4 1 の底部の p 型ベース層 1 3 に、拡散により p<sup>+</sup> バックゲート層 4 2 が形成されている。ソース電極 4 3 は、コンタクトトレンチ 4 1 に埋め込まれる形で n<sup>+</sup> 型ソース層 1 4 及び p<sup>+</sup> 型バックゲート層 4 2 と接触している。

【 0 0 2 4 】

この実施形態によれば、ソース電極 4 3 のコンタクト部の側面で n<sup>+</sup> 型ソース層 1 4 と接続され、コンタクト部の底面で P<sup>+</sup> 型バックゲート層 4 2 と接続されるので、ソース電極 4 3 の耐圧を十分に高めることができる。

【 0 0 2 5 】

なお、この実施形態は、M O S F E T であるが、このようなコンタクトトレンチ型を I G B T に適用すると、ターンオフ時に n<sup>-</sup> 型エピタキシャル層 1 2 に再結合されないで残留したホールのエミッタ側への抜けが良好になり、ターンオフ時のテール電流の発生を防止できるという効果がある。

【 0 0 2 6 】

本実施形態の M O S F E T は、第 1 の実施形態における図 1 0 の酸化膜 3 6 に対して、図 1 1 に示すように、エッチングにより、n<sup>+</sup> 型ソース層 1 4 に臨む開口を形成し、酸化膜 3 6 をマスクとして p 型不純物を拡散する代わりに、図 1 4 に示すように、酸化膜 3 6 をマスクとしてエッチングを行ってコンタクトトレンチ 4 1 を形成すると共に、コンタクトトレンチ 4 1 の底部に p<sup>+</sup> 型バックゲート層 1 5 を形成することにより製造することができる。他の製造工程は、先の実施形態とほぼ同様である。

【 0 0 2 7 】

[ 第 3 の実施形態 ]

図 1 5 は、本発明の第 3 の実施形態に係る M O S F E T の断面図である。

【 0 0 2 8 】

この実施形態は、第 1 の実施形態にソースコンタクトメタル層 5 3 を追加することにより、ゲートメタル層 5 2 とソースコンタクトメタル層 5 3 とを同一層内に配置し、平坦化することにより、その上の配線層の凹凸をより少なくしたものである。

【 0 0 2 9 】

すなわち、半導体基板 1 0 の上には、ゲート側のポリシリコン層 2 1 , 2 2 の上部空間と n<sup>+</sup> 型ソース層 1 4 及び p<sup>+</sup> 型バックゲート層 1 5 のコンタクト面の上部空間とを分離するメタル分離絶縁層 5 1 が形成され、このメタル分離絶縁層 5 1 で分離されるように、ゲート側の上部空間にゲートメタル層 5 2 が、また、ソースのコンタクト面側の上部空間にソースコンタクトメタル層 5 3 がそれぞれ同一工程で形成されている。従って、メタル分離絶縁層 5 1、ゲートメタル層 5 2 及びソースコンタクトメタル層 5 3 は、上面が略同一平面を形成している。ゲート電極 5 0 の上に、層間絶縁層 5 4 が形成され、この層間絶縁層 5 4 の上にソース電極 5 5 がソースコンタクトメタル層 5 3 と接続した状態で形成されている。

【 0 0 3 0 】

次に、この実施形態の M O S F E T の製造方法について説明する。

【 0 0 3 1 】

第 1 の実施形態の図 6 に示す絶縁膜 3 4 をエッチバックすることなく、図 1 6 に示すように、p<sup>+</sup> 型バックゲート 1 5 形成用の開口部のみ開口し、p<sup>+</sup> 型バックゲート層 1 5 を形成したのち、図 1 7 に示すように、選択的エッチングを行って、P<sup>+</sup> 型バックゲート 1 5 側の開口を拡大すると共にポリシリコン層 2 1 , 2 2 の上端を露出させる。これにより、残った絶縁膜 3 4 がメタル分離絶縁層 5 1 となる。

【 0 0 3 2 】

次に、図 1 8 に示すように、メタル分離絶縁層 5 1 の上にメタル層 5 6 を形成し、図 1 9 に示すように、メタル層 5 6 の上面をエッチバック又は C M P によりメタル分離絶縁層 5 1 の上面が現れるまで除去する。続いて、図 2 0 に示すように、全面に酸化膜 5 7 を被膜して、図 2 1 に示すように、酸化膜 5 7 のソースコンタクトメタル層 5 3 の上部にコン

10

20

30

40

50

タクトホールを開けて層間絶縁層 5 4 を形成し、図 2 2 に示すように、層間絶縁層 5 4 の上をソース電極 5 5 で覆い、更に図 1 5 のように  $n^+$  型基板 1 1 の裏面にドレイン電極 2 7 を形成して本実施形態の MOSFET が完成する。

#### 【0033】

##### [ 第 4 の実施形態 ]

図 2 3 は、第 4 の実施形態に係る MOSFET の平面図である。なお、この平面図は、図 1 の A - A 線に沿って矢印方向に見た図である。

#### 【0034】

すなわち、ゲート電極 2 0 は、図 1 の紙面と直交する方向に延び、平面的には、図 2 3 に示すように、複数のゲート電極 2 0 が、それらの長手方向と直交する方向に略一定の間隔で並行に配置されている。これらのゲート電極 2 0 は、その両端でのみ外環ポリシリコン層 6 1 に接続されている。図 2 3 の一部拡大部に示すように、ゲート電極 2 0 のゲートメタル層 2 3 は、ゲート電極 2 0 の延びる範囲内で形成されていても良いし、外環ポリシリコン層 6 1 に代えて、又は外環ポリシリコン層 6 1 と共に、外周部にまで続いていても良い。

10

#### 【0035】

外環ポリシリコン層 6 1 の少なくとも一部は、コンタクトホール 6 2 を介して上面に形成されたゲート電極パッド 6 3 に接続されている。図 2 3 に示すように、ゲート電極パッド 6 3 は矩形状のパッド部 6 3 a から外周部全周に接続配線部 6 3 b が引き出された形状にパターン形成されていても良いし、特に下層のゲートメタル層 2 3 が外周部にまで続くように設けられた場合は、ゲート電極パッド 6 3 としてパッド部 6 3 a のみを形成し、パッド部 6 3 a の形成位置に対応して設けられたコンタクトホール 6 2 を介して下層と接続されるパターンに形成しても良い。また、ゲート電極パッド 6 3 と同一面には、図 2 3 には示されていないソース電極 2 6 が、ゲート電極パッド 6 3 と分離されて形成されている。

20

#### 【0036】

この実施形態によれば、ゲート電極 2 0 を構成するポリシリコン層 2 1 , 2 2 の上端の側面間で、ゲート電極 2 0 の長手方向一杯にゲートメタル層 2 3 が埋め込まれているので、ゲート電極 2 0 のゲート抵抗を大幅に低減させることができ、この結果として、ゲート電極 2 0 の共通接続部をゲート電極 2 0 の両端部のみとすることができる。このため、1 cm 角以上のチップでも、図 2 4 に示した従来例のように、ゲート電極 1 0 8 の数力所をフィンガー 7 1 によって連結することによってゲート抵抗を低減する必要がなくなり、素子の配置効率を高めることができる。

30

#### 【0037】

##### [ 第 5 の実施形態 ]

図 2 5 は、本発明の第 5 の実施形態に係る IGBT を示す断面図である。

#### 【0038】

すなわち、これまでは本発明を MOSFET に適用した例について説明したが、本実施形態は、IGBT に本発明を適用した例を示している。

#### 【0039】

半導体基板 7 0 は、 $n^-$  型エピタキシャル層 1 2 の下側に  $n^+$  型バッファ層 7 4 及び  $p^+$  型コレクタ層 7 1 を形成している。 $n^+$  型エミッタ層 1 4 及び  $p^+$  バックゲート層 1 5 とコンタクトするのは、エミッタ電極 7 2 であり、 $p^+$  型コレクタ層 7 1 の下側には、コレクタ電極 7 3 が形成されている。

40

#### 【0040】

このように、本願発明は、IGBT に適用することにより、スイッチング損失の低減効果をより増大させることができる。

#### 【0041】

なお、本発明は、上述した各実施形態に限定されるものではない。例えば半導体基板を構成する各半導体層の形成順序は、上述した順序に限定されるものではなく、最終的に必

50

要な半導体層が形成されていれば形成順序は問わない。

【図面の簡単な説明】

【0042】

【図1】本発明の第1の実施形態に係るMOSFETの断面図である。

【図2】図1のMOSFETを製造工程順に示す断面図である。

【図3】図1のMOSFETを製造工程順に示す断面図である。

【図4】図1のMOSFETを製造工程順に示す断面図である。

【図5】図1のMOSFETを製造工程順に示す断面図である。

【図6】図1のMOSFETを製造工程順に示す断面図である。

【図7】図1のMOSFETを製造工程順に示す断面図である。

10

【図8】図1のMOSFETを製造工程順に示す断面図である。

【図9】図1のMOSFETを製造工程順に示す断面図である。

【図10】図1のMOSFETを製造工程順に示す断面図である。

【図11】図1のMOSFETを製造工程順に示す断面図である。

【図12】図1のMOSFETを製造工程順に示す断面図である。

【図13】本発明の第2の実施形態に係るMOSFETの断面図である。

【図14】図13のMOSFETを製造工程順に示す断面図である。

【図15】本発明の第3の実施形態に係るMOSFETの断面図である。

【図16】図15のMOSFETを製造工程順に示す断面図である。

【図17】図15のMOSFETを製造工程順に示す断面図である。

20

【図18】図15のMOSFETを製造工程順に示す断面図である。

【図19】図15のMOSFETを製造工程順に示す断面図である。

【図20】図15のMOSFETを製造工程順に示す断面図である。

【図21】図15のMOSFETを製造工程順に示す断面図である。

【図22】図15のMOSFETを製造工程順に示す断面図である。

【図23】本発明の第4の実施形態に係るMOSFETの平面図である。

【図24】従来のフィンガーを有するMOSFETの平面図である。

【図25】本発明の第5の実施形態に係るIGBTの断面図である。

【符号の説明】

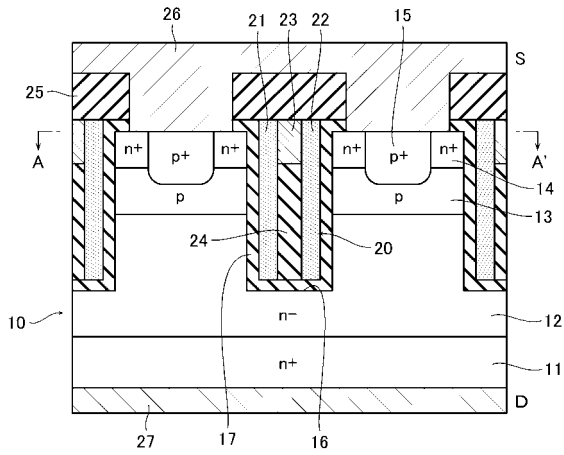
【0043】

30

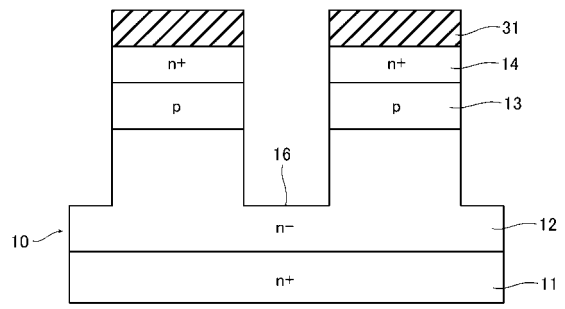
10, 40 ... 半導体基板、11 ...  $n^+$  型基板、12 ...  $n^-$  型エピタキシャル層、13 ... p型ベース層、14 ...  $n^+$  型ソース層、15 ...  $p^+$  バックゲート層、16 ... トレンチ、17 ... ゲート酸化層、20, 50 ... ゲート電極、21, 22 ... ポリシリコン層、23, 52 ... ゲートメタル層、24 ... 中間絶縁層。



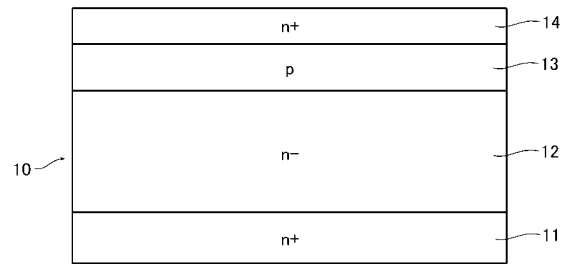
【 図 1 】



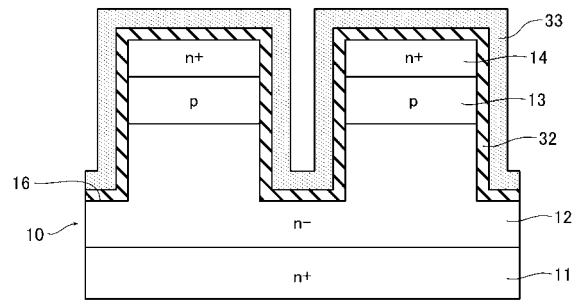
【 図 3 】



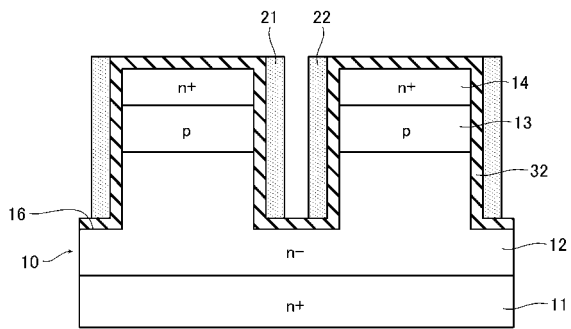
【 図 2 】



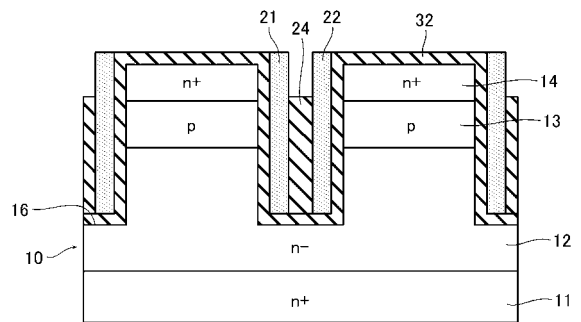
【 図 4 】



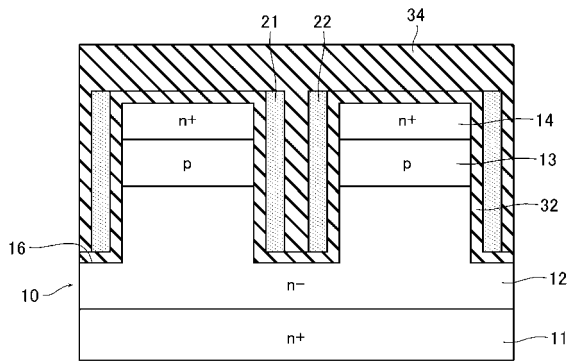
【 図 5 】



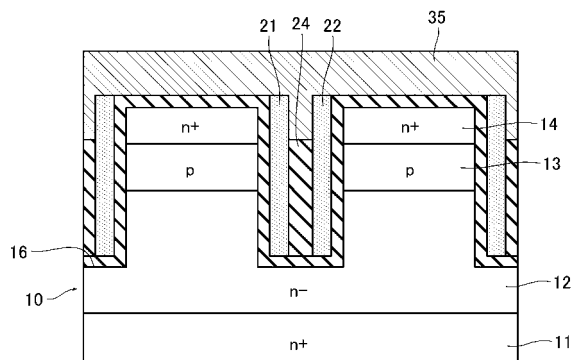
【 図 7 】



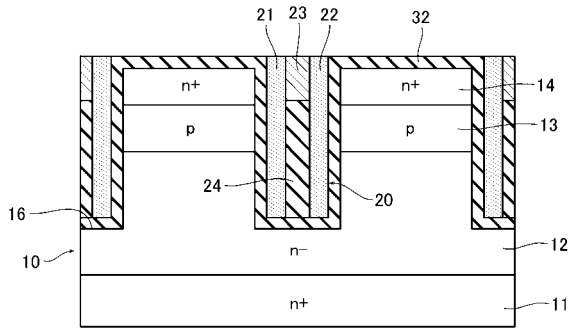
【 図 6 】



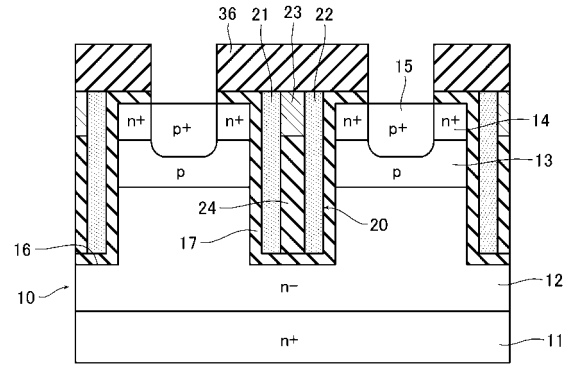
【 図 8 】



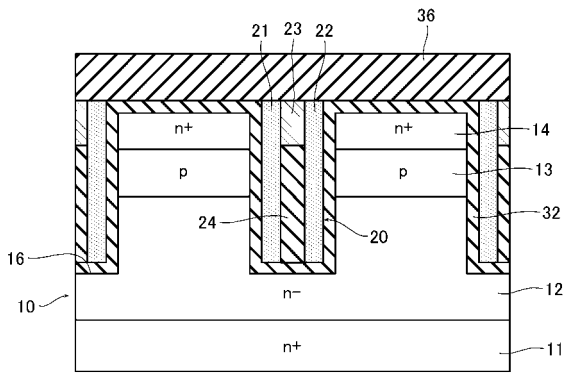
【図 9】



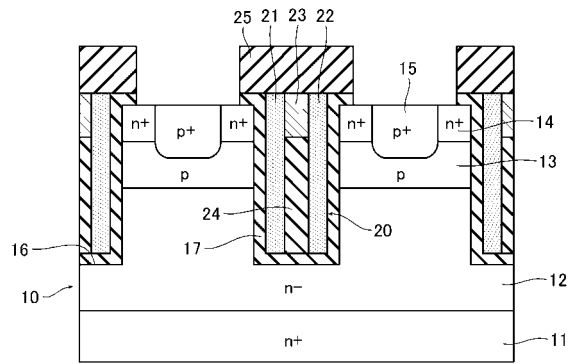
【図 11】



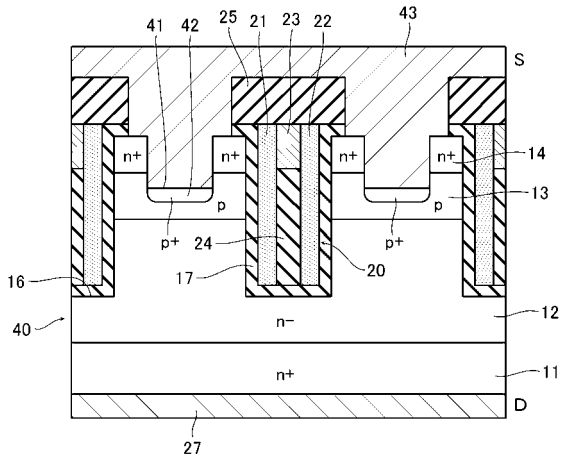
【図 10】



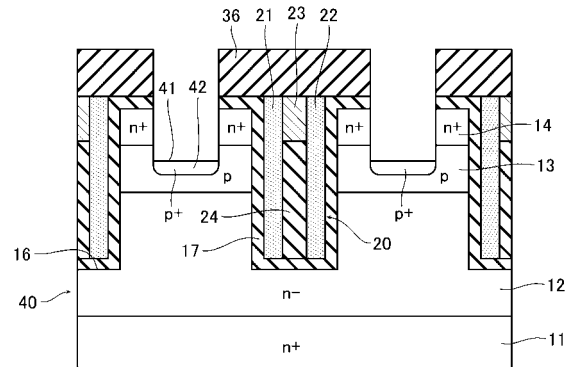
【図 12】



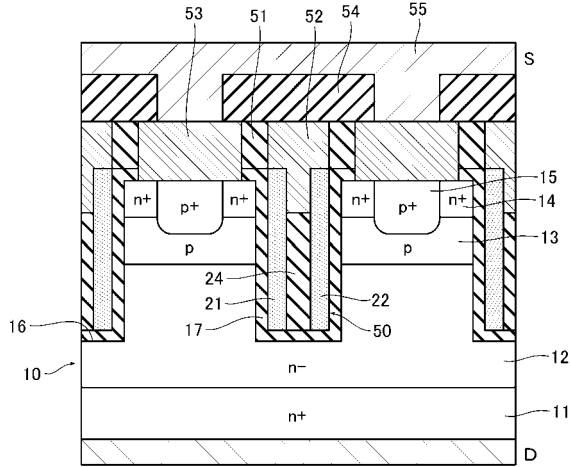
【図 13】



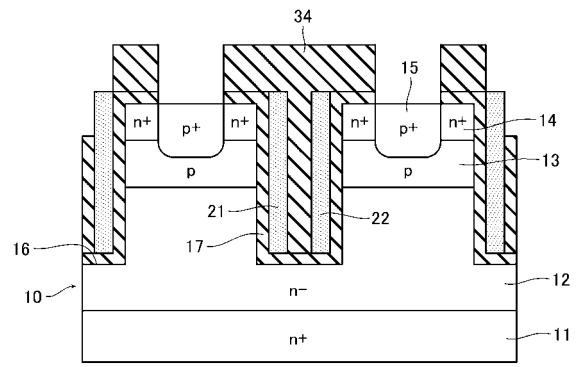
【図 14】



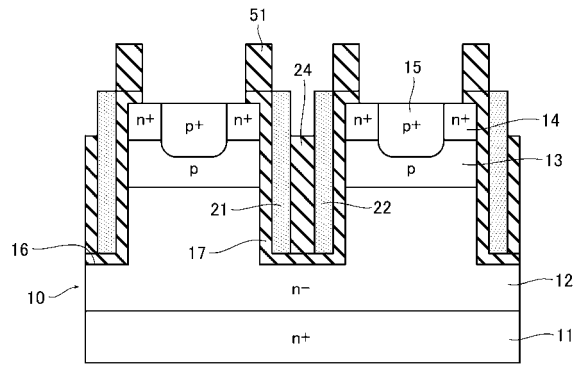
【 図 1 5 】



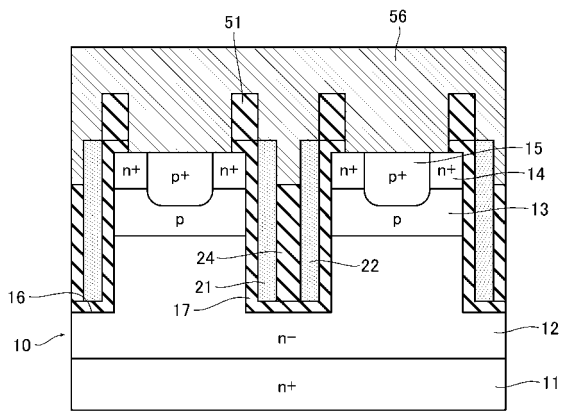
【 図 1 6 】



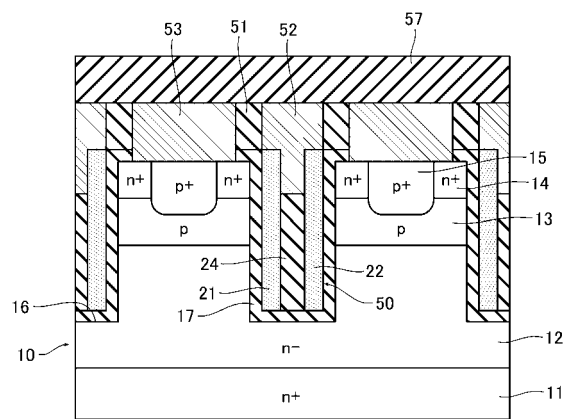
【 図 1 7 】



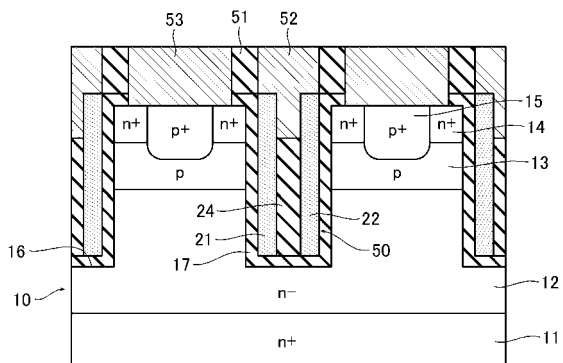
【 図 1 8 】



【 図 2 0 】

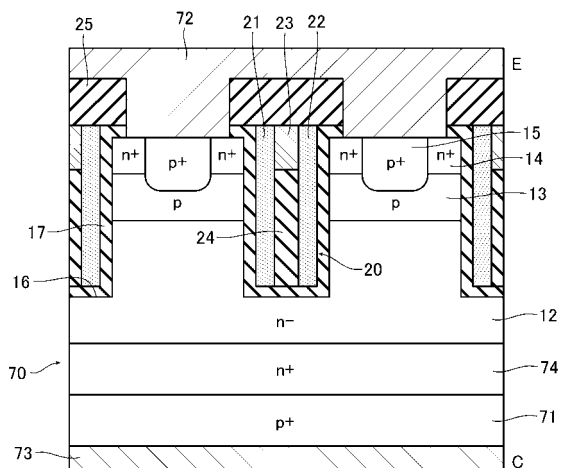


【 図 1 9 】





【 図 2 5 】



## 【 手続補正書 】

【 提出日 】平成17年10月18日(2005.10.18)

## 【 手続補正 1 】

【 補正対象書類名 】明細書

【 補正対象項目名 】0 0 1 3

【 補正方法 】変更

## 【 補正の内容 】

## 【 0 0 1 3 】

ゲート電極 20 の上は、層間絶縁層 25 に覆われている。層間絶縁層 25 には、 $n^+$  型ソース層 14 及び  $p^+$  型バックゲート層 15 に臨む開口が形成され、その開口を埋めるように層間絶縁層 25 の上にソース電極 26 が形成されている。また、 $n^+$  型基板 11 の裏面には、ドレイン電極 27 が形成されている。