

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/04	(11) 공개번호 (43) 공개일자	특1995-0007087 1995년03월21일
(21) 출원번호	특1994-0020016	
(22) 출원일자	1994년08월13일	
(30) 우선권주장	8/106.458 1993년08월13일 미국(US)	
(71) 출원인	텍사스 인스트루먼트 인코포레이티드 윌리엄 이. 힐러 미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500	
(72) 발명자	로버트 에이치. 에클런드 미합중국 텍사스주 플라노 조수아 트리 드라이브 1121	
(74) 대리인	주성민, 김성택	

심사청구 : 없음

(54) 병합된 소자를 지원하는 BiCMOS 공정

요약

본 발명에 따른 병합된 BiCMOS 소자(10)은 동일 웰 영역(18a)내에 형성된 바이폴라 트랜지스터(60) 및 PMOS 트랜지스터(64)를 갖는다. 바이폴라 트랜지스터(60)은 웰 영역(18b)에 의해 형성된 에미터 전극(30), 베이스 영역(26), 및 콜렉터 영역으로 구성된다. 에미터 전극(30)은 두꺼운 산화물(24)에 의해 베이스 영역(26)으로부터 분리된다. PMOS 트랜지스터(64)는 소스/트레인 영역(52 및 52a), 게이트 전극(40), 및 게이트 산화물(36)을 포함한다. 또한, PMOS 트랜지스터(64)는 LDD영역(44)를 포함할 수 있다. 소스/드레인 영역(52a)는 베이스 영역(26)과 접촉한다. 필요에 따라, 에미터 전극(30) 및 게이트 전극(40)은 규화물화 될 수 있다.

대표도

도1

명세서

[발명의 명칭]

병합된 소자를 지원하는 BiCMOS공정

[도면의 간단한 설명]

제1도는 본 발명의 양호한 실시예의 단면도,
제2a도 내지 제2i도는 본 발명의 양호한 실시예의 여러 가지 제조단계를 도시하는 단면도,
제3도는 본 발명의 다른 양호한 실시예의 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

반도체 소자 형성 방법에 있어서, a. 제1웰 영역을 갖는 반도체 표면 상에 제1절연층을 형성하는 단계, b. 상기 제1웰 영역의 제1부분에 베이스 영역을 주입하는 단계, c. 에미터 전극의 일부가 상기 제1절연층을 통해 상기 베이스 영역으로 확장되는 에미터 전극을 상기 제1절연층 및 상기 베이스 영역 상에 형성하는 단계, d. 상기 에미터 전극에 의해 덮여지지 않는 상기 제1절연층의 일부를 제거하는 단계, e. 상기 반도체 표면 상에 제2절연층을 성장하는 단계, f. 하나 이상의 전극이 상기 제1웰 영역 상에 형성되는 다수의 게이트 전극을 상기 제2절연층상에 형성하는 단계, g. 첫 번째 영역이 상기 하나 이상의 게이트 전극과 상기 에미터 전극 사이에 형성되고, 상기 베이스 영역과 접촉하는 다수의 소스/드레인 영역을 상기 반도체 표면에 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 2

제1항에 있어서, 상기 에미터 전극의 상기 형성 단계가, a. 상기 베이스 영역의 일부를 노출하기 위하여 상기 제1절연층을 에칭하는 단계, b. 상기 반도체 표면 상에 도프된 제1도전층을 형성하는 단계, c. 상기 제1도전층 상에 질화물 층을 피착하는 단계, 및 d. 상기 에미터 전극을 형성하고 상기 제1절연층의

일부를 노출하기 위하여 상기 질화물 층 및 상기 제1도전층을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 3

제2항에 있어서, 상기 게이트 전극의 상기 형성 단계가, a. 상기 반도체 표면상에 도프된 제2도전층을 형성하는 단계, 및 b. 상기 다수의 게이트 전극을 형성하기 위하여 상기 도프된 제2도전체 층을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 4

제3항에 있어서, 상기 도포된 제1 및 제2도전층이 피착 후 도프된 폴리실리콘 주입물을 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 5

제3항에 있어서, 상기 도포된 제1 및 제2도전층이 인-시튜(in-situ)도프된 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 6

제1항에 있어서, 상기 제2절연층이 850℃이상의 온도에서 성장되는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 7

제1항에 있어서, a. 상기 게이트 전극의 상기 형성 단계 후에 각 게이트 전극의 반대 측 상에 얇게 도프된 드레인층을 주입하는 단계, 및 b. 상기 게이트 전극 및 상기 에미터 전극의 각각에 인접한 측벽 유전체를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 8

제1항에 있어서, 상기 에미터 전극 및 상기 게이트 전극을 규화물화 하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 9

제8항에 있어서, 상기 에미터 전극 및 상기 게이트 전극의 상기 규화물화 단계가, a. 상기 반도체 표면상에 고융점 금속층을 피착하는 단계, b. 상기 에미터 전극 및 상기 게이트 전극 상에 규화물 층을 형성하고 상기 규화물 층이 형성되지 않는 고융점 금속-질화물 층 또는 비반응 금속 층을 형성하기 위하여 질소 함유 분위기에서 상기 고융점 금속층을 어닐링(annealing)하는 단계, 및 c. 상기 고융점 금속-질화물 층 또는 상기 비반응 금속층을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 10

제1항에 있어서, 상기 소스/드레인 영역의 상기 형성 단계가, a. 상기 소스/드레인 영역을 주입하는 단계, 및 b. 상기 소스/드레인 영역을 900℃이하의 온도에서 어닐링하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 11

제1항에 있어서, 상기 제1절연층이 약300Å 두께의 산화물을 포함하고 상기 제2절연층이 약100Å 두께의 산화물 포함하는 것을 특징으로 하는 반도체 소자 형성 방법.

청구항 12

BiCMOS 소자 형성방법에 있어서, a. 제1웰 영역을 갖는 반도체 표면에 다수의 필드 절연 영역을 형성하는 단계, b. 상기 반도체 표면 상에 두꺼운 산화물 층을 형성하는 단계, c. 상기 두꺼운 산화물 층을 통해 상기 필드 영역중 첫 번째 영역에 인접한 상기 제1웰 영역의 제1부분 내에 베이스 영역을 주입하는 단계, d. 상기 베이스 영역의 일부를 노출하기 위해 상기 두꺼운 산화물 층을 에칭하는 단계, e. 상기 두꺼운 산화물 층 및 상기 베이스 영역의 상기 노출 부분 상에 제1폴리실리콘 층을 피착하는 단계, f. 상기 제1폴리실리콘 층상에 질화물 층을 피착하는 단계, g. 상기 베이스 영역 상에 에미터 전극을 형성하고 상기 두꺼운 산화물 층의 일부를 노출하기 위해 상기 질화물 층 및 상기 제1폴리실리콘 층을 에칭하는 단계, h. 상기 두꺼운 산화물 층의 상기 노출 부분을 제거하는 단계, i. 상기 반도체 표면 상에 게이트 산화물 층을 성장하는 단계, j. 상기 게이트 산화물 층 상에 제2폴리실리콘 층을 피착하는 단계, k. 하나 이상의 전극이 상기 제1웰 영역 상에 형성되는 다수의 게이트 전극을 형성하기 위해 상기 제2폴리실리콘 층을 에칭하는 단계, l. 각 게이트 전극의 반대측 상의 상기 반도체 표면에 얇게 도프된 드레인 영역을 주입하는 단계, m. 상기 게이트 전극 및 상기 에미터 전극에 인접한 측벽 산화물을 형성하는 단계, n. 각 게이트 전극의 반대측 상의 상기 반도체 표면에 소스/드레인 영역을 주입하는 단계, o. 상기 소스/드레인 영역을 900℃이하의 온도에서 어닐링하는 단계를 포함하는 것을 특징으로 하는 BiCMOS 소자 형성 방법.

청구항 13

제12항에 있어서, 상기 에미터 전극, 상기 게이트 전극 및 상기 소스/드레인 영역을 규화물화 하는 단계를 더 포함하는 것을 특징으로 하는 BiCMOS 소자 형성 방법.

청구항 14

제13항에 있어서, 상기 에미터 전극, 상기 게이트 전극 및 상기 소스/드레인 영역의 상기 규화물화 단계가, a. 상기 반도체 표면 상에 고용점 금속층을 피착하는 단계, b. 상기 에미터 전극, 상기 게이트 전극 및 상기 소스/드레인 영역 상에 규화물 층을 형성하고, 다른 곳에서 고용점 금속-질화물 층 또는 비반응 금속층을 형성하기 위해 질소 함유 분위기에서 상기 고용점 금속층을 어닐링하는 단계, 및 c. 상기 고용점 금속-질화물 층 또는 비반응 금속층을 에칭하는 단계를 포함하는 것을 특징으로 하는 BiCMOS 소자 형성 방법.

청구항 15

BiCMOS 소자에 있어서, a. 웰 영역, b. 상기 웰 영역 내에 배치된 바이폴라 트랜지스터, 및 c. 상기 웰 영역 내에 배치된 PMOS 트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 소자.

청구항 16

제15항에 있어서, 상기 PMOS 트랜지스터가 상기 바이폴라 트랜지스터의 베이스 영역과 접촉하는 소스/드레인 영역을 갖는 것을 특징으로 하는 BiCMOS 소자.

청구항 17

제15항에 있어서, 상기 바이폴라 트랜지스터가 베이스 영역, 콜렉터 영역, 에미터 전극 및, 상기 에미터 전극과 상기 베이스 영역 사이에 배치된 두꺼운 산화물 영역을 포함하는 것을 특징으로 하는 BiCMOS 소자.

청구항 18

제17항에 있어서, 상기 PMOS 트랜지스터는 게이트 산화물을 포함하고, 상기 게이트 산화물은 상기 두꺼운 산화물 영역 보다 더 얇은 것을 특징으로 하는 BiCMOS 소자.

청구항 19

제15항에 있어서, 상기 PMOS 트랜지스터가 규화물화된 게이트를 포함하고 상기 바이폴라 트랜지스터가 규화물화된 에미터 전극을 포함하는 것을 특징으로 하는 BiCMOS 소자.

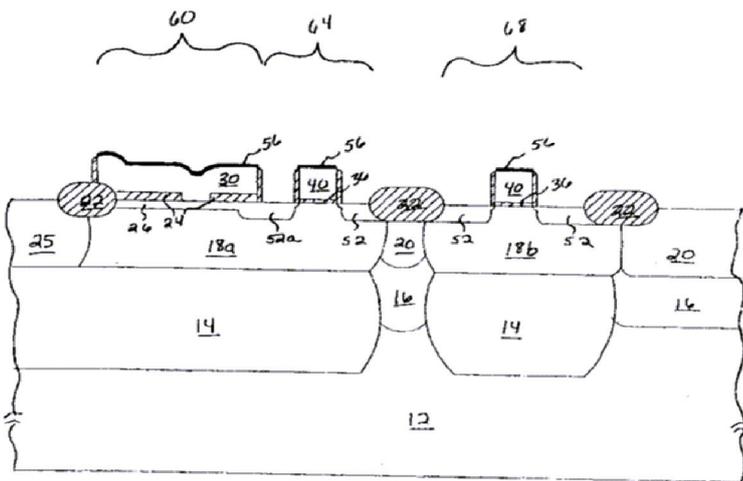
청구항 20

BiCMOS 소자에 있어서, a. 웰 영역, b. 상기 웰 영역 내에 배치된 바이폴라 트랜지스터, c. 상기 웰 영역 내에 배치되고, 가드 링이 상기 바이폴라 트랜지스터의 베이스 영역과 접촉하는 쇼트키 다이오드를 포함하는 것을 특징으로 하는 BiCMOS 소자.

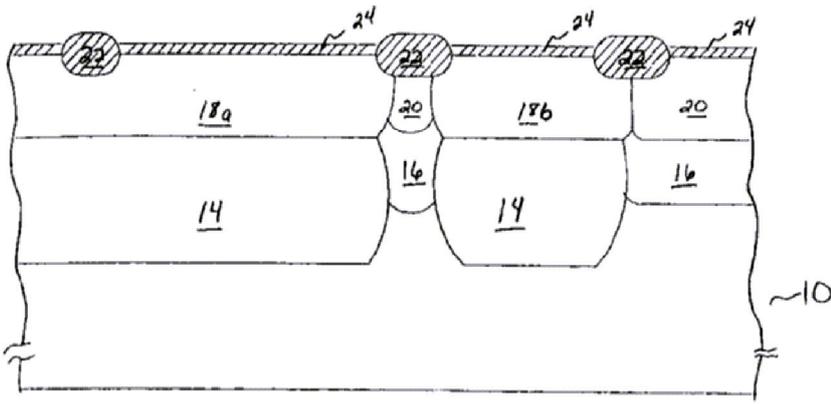
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

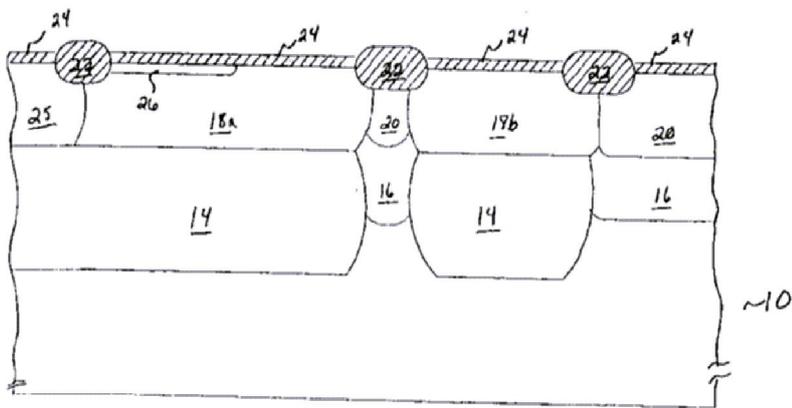
도면1



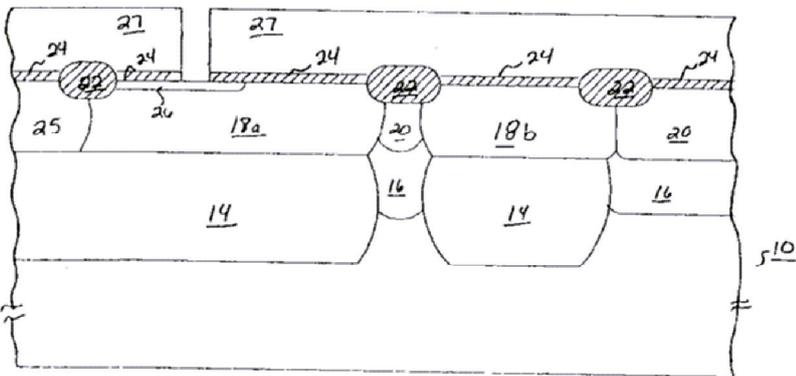
도면2a



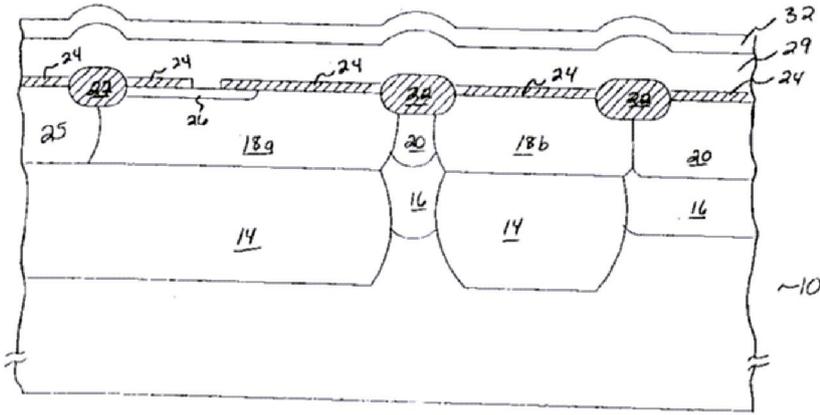
도면2b



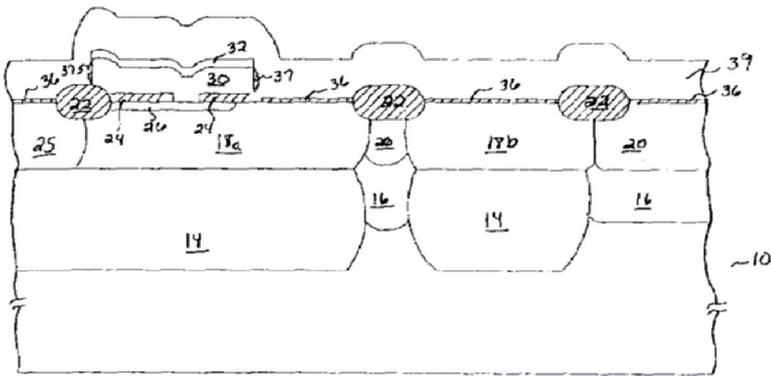
도면2c



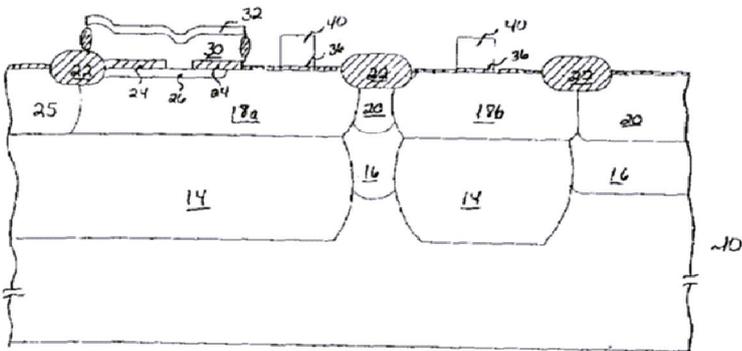
도면2d



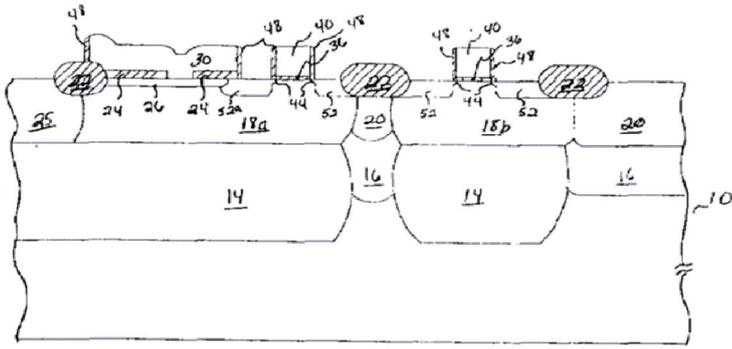
도면2f



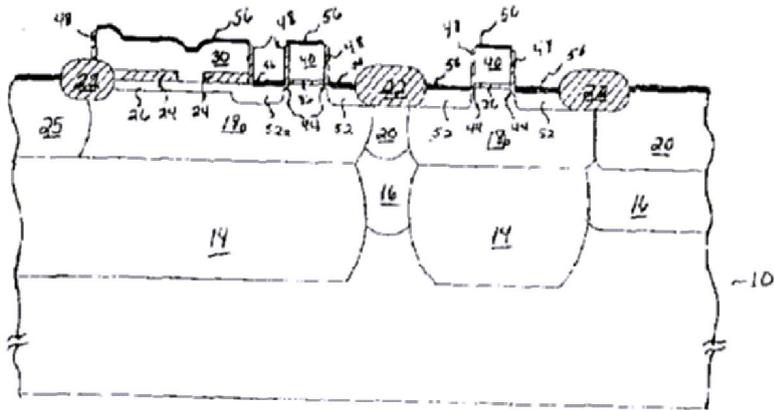
도면2g



도면2h



도면2i



도면3

