



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0143581
(43) 공개일자 2024년10월02일

(51) 국제특허분류(Int. Cl.)
H04N 25/57 (2023.01) H01L 27/146 (2006.01)
H04N 25/766 (2023.01) H04N 25/772 (2023.01)
(52) CPC특허분류
H04N 25/57 (2023.01)
H01L 27/1463 (2013.01)
(21) 출원번호 10-2023-0051818
(22) 출원일자 2023년04월20일
심사청구일자 없음
(30) 우선권주장
1020230037303 2023년03월22일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
나호용
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)
김경민
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)
장영태
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)
(74) 대리인
특허법인가산

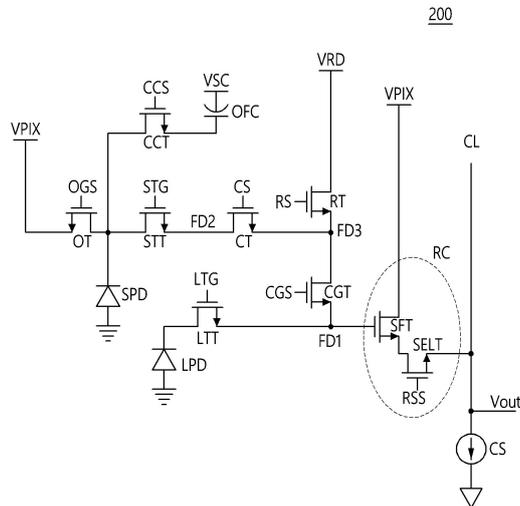
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **이미지 센서 및 그 동작 방법**

(57) 요약

이미지 센서 및 그 동작 방법이 제공된다. 이미지 센서는 제1 포토다이오드와, 제2 포토다이오드와, 제2 포토다이오드와 연결된 저장커패시터와, 제2 포토다이오드와 연결된 오버플로우트랜지스터와, 읽기 회로를 포함하는 픽셀, 픽셀에 전달되는 제어신호들을 공급하는 구동부, 픽셀의 출력신호와 램프 신호를 비교하여 서브디지털신호를 생성하는 ADC블록, 및 구동부와 ADC블록의 동작을 제어하는 제어기를 포함한다.

대표도 - 도2



(52) CPC특허분류

H04N 25/766 (2023.01)

H04N 25/772 (2023.01)

명세서

청구범위

청구항 1

제1 포토다이오드와, 제2 포토다이오드와, 상기 제2 포토다이오드와 연결된 저장커패시터와, 상기 제2 포토다이오드와 연결된 오버플로우트랜지스터와, 읽기 회로를 포함하는 픽셀;

상기 픽셀에 전달되는 제어신호들을 공급하는 구동부;

상기 픽셀의 출력신호와 램프 신호를 비교하여 서브디지털신호를 생성하는 ADC블록; 및

상기 구동부와 상기 ADC블록의 동작을 제어하는 제어를 포함하되,

상기 제1 포토다이오드는 상기 제2 포토다이오드보다 수광 면적이 크고,

상기 픽셀은 상기 제어신호들에 응답해서 상기 출력신호를 출력하고,

상기 픽셀은,

상기 제1 포토다이오드에서 노출 구간에 생성된 전하들을 제1 컨버전계인으로 변환한 제1 서브출력신호를 출력하고,

상기 제1 포토다이오드에서 노출 구간에 생성된 전하들을 제2 컨버전계인으로 변환한 제2 서브출력신호를 출력하고,

상기 제1 서브출력신호에 대응하는 제1 리셋신호와 상기 제2 서브출력신호에 대응하는 제2 리셋신호를 출력하고,

상기 제2 포토다이오드에서 상기 노출 구간에 생성된 전하들 중 일부를 제3 컨버전계인으로 변환한 제3 서브출력신호를 출력하고,

상기 제2 포토다이오드에서 상기 노출 구간에 생성된 전하들 중 상기 저장커패시터에 저장된 전하들을 제4 컨버전계인으로 변환한 제4 서브출력신호를 출력하고,

상기 제4 서브출력신호에 대응하는 제3 리셋신호와, 상기 제3 서브출력신호에 대응하는 제4 리셋신호를 출력하는 이미지 센서.

청구항 2

제 1항에 있어서,

상기 제2 포토다이오드에서 상기 노출 구간에 생성된 전하들의 다른 일부는 상기 오버플로우트랜지스터를 통해서 제거되는 이미지 센서.

청구항 3

제 2항에 있어서,

상기 픽셀은 상기 제2 리셋신호, 상기 제1 리셋신호, 상기 제1 서브출력신호, 상기 제2 서브출력신호를 순차적으로 출력하고,

상기 제1 컨버전계인에 사용되는 커패시턴스는 상기 제2 컨버전계인의 커패시턴스보다 작고,

상기 제3 컨버전계인에 사용되는 커패시턴스는 상기 제4 컨버전계인에 사용되는 커패시턴스 보다 작은 이미지 센서.

청구항 4

제 2항에 있어서,

상기 픽셀은 상기 제1 서브출력신호에 대응하는 상기 제1 리셋신호를 상기 제1 서브출력신호를 출력하기 전에 출력하고,

상기 제2 서브출력신호에 대응하는 제2 리셋신호를 상기 제2 서브출력신호 출력한 후에 출력하는 이미지 센서.

청구항 5

제 4항에 있어서,

상기 제1 컨버전게인에 사용하는 커패시턴스는 상기 제2 컨버전게인에 사용하는 커패시턴스보다 작고,

상기 제3 컨버전게인에 사용되는 커패시턴스는 상기 제4 컨버전게인에 사용되는 커패시턴스 보다 작은 이미지 센서.

청구항 6

제 3항에서 있어서,

상기 픽셀은,

제1 플로팅노드와, 상기 제1 포토다이오드와 상기 제1 플로팅노드 사이에 연결되는 제1 전송트랜지스터와, 상기 제1 플로팅노드와 연결되는 컨버전게인트랜지스터와, 상기 컨버전게인트랜지스터와 제1 전압 사이에 연결된 리셋트랜지스터와, 제2 플로팅노드와, 상기 제2 포토다이오드와 상기 제2 플로팅노드 사이에 연결되는 제2 전송트랜지스터와, 상기 제2 포토다이오드와 상기 저장커패시터를 연결하는 커패시터연결트랜지스터와, 상기 컨버전게인트랜지스터와 상기 리셋트랜지스터가 공통으로 연결된 제3 플로팅노드와, 상기 제2 플로팅노드와 상기 제3 플로팅 노드사이에 연결된 연결트랜지스터를 더 포함하고,

상기 읽기 회로는 상기 제1 플로팅노드의 전압에 응답해서 킬럼라인으로 상기 출력신호를 생성하고,

상기 노출 구간에 상기 제2 포토다이오드에서 생성된 전하들 중, 제1 부분(first portion)은 상기 오버플로우트랜지스터를 통해서 반복적으로 제거되고, 제2 부분(second portion)은 상기 커패시터연결트랜지스터를 통해 저장커패시터에 반복적으로 저장되고, 제3 부분(third portion)은 상기 제2 전송트랜지스터를 통해 상기 제2 플로팅노드에 반복적으로 전송되며,

상기 픽셀은,

상기 제2 포토다이오드에서 생성된 전하들 중 상기 제2 플로팅노드에 전송된 전하들을 상기 제3 컨버전게인으로 변환하고,

상기 제2 포토다이오드에서 생성된 전하들 중 상기 저장커패시터에 저장된 전하들을 상기 제4 컨버전게인으로 변환하는 이미지 센서.

청구항 7

제 6항에 있어서,

상기 픽셀은,

상기 제2 서브출력신호와 상기 제3 서브출력신호 사이에 상기 제1 포토다이오드에서 생성된 전하들을 상기 제2 컨버전게인으로 변환한 제5 서브출력신호와 제5 서브출력신호에 대응하는 제5 리셋신호를 더 출력하는 이미지 센서.

청구항 8

제 6항에 있어서,

상기 ADC 블록은 제1 리셋신호와 제1 서브출력신호를 이용한 제1 방식의 첫번째 CDS를 진행하여 제1 서브디지털신호를 생성하고

제2 리셋신호와 제2 서브출력신호를 이용한 제1 방식의 두번째 CDS를 진행하여 제2 서브디지털신호를 생성하고

제4 서브출력신호와 제4 리셋신호를 이용한 제2 방식의 첫번째 CDS를 진행하여 제4 서브디지털신호를 생성하고

제3 서브출력신호와 제3 리셋신호를 이용한 제2 방식의 두번째 CDS를 진행하여 제3서브디지털신호를 생성하고, 상기 제1 방식의 CDS와 제2 방식의 CDS는 서로 다른 방식인 이미지 센서.

청구항 9

제 6항에 있어서,

상기 제2 포토다이오드, 상기 오버플로우트랜지스터, 상기 제2 전송트랜지스터 및 상기 커패시터연결트랜지스터는 제1 영역에 배치되고

상기 제1 포토다이오드, 상기 제1 전송트랜지스터 및 상기 읽기 회로는 제2 영역에 배치되고,

상기 제1 영역과 상기 제2 영역은 인접해 있으며, 서로 DTI(Deep Trench Isolation)로 분리된 이미지 센서.

청구항 10

제 1항에서 있어서,

상기 픽셀은,

제1 플로팅노드와, 상기 제1 포토다이오드와 상기 제1 플로팅노드 사이에 연결되는 제1 전송트랜지스터와, 상기 제1 플로팅노드와 연결되는 컨버전게인트랜지스터와, 상기 컨버전게인트랜지스터와 제1 전압 사이에 연결된 리셋트랜지스터와, 제2 플로팅노드와, 상기 제2 포토다이오드와 상기 제2 플로팅노드 사이에 연결되는 제2 전송트랜지스터와, 상기 제2 플로팅노드와 상기 저장커패시터를 연결하는 커패시터연결트랜지스터와, 상기 컨버전게인트랜지스터와 상기 리셋트랜지스터가 공통으로 연결된 제3 플로팅노드와, 상기 제2 플로팅노드와 상기 제3 플로팅노드 사이에 추가플로팅노드를 형성하며 직렬로 연결된 제1 및 제2 연결트랜지스터들을 더 포함하고,

상기 읽기 회로는 상기 제1 플로팅노드의 전압에 응답해서 킬럼라인으로 상기 출력신호를 생성하고,

상기 노출 구간에 상기 제2 포토다이오드에서 생성된 전하들 중, 제1 부분은 상기 오버플로우트랜지스터를 통해서 반복적으로 제거되고, 제2 부분은 상기 제2 전송트랜지스터와 상기 커패시터연결트랜지스터를 통해 상기 저장커패시터에 반복적으로 저장되고, 제3 부분은 상기 제2 전송트랜지스터와 상기 제1 연결트랜지스터를 통해 상기 추가플로팅노드에 반복적으로 전송되며,

상기 픽셀은,

상기 제2 포토다이오드에서 생성된 전하들 중 상기 추가플로팅노드에 전송된 전하들을 상기 제3 컨버전게인으로 변환하고,

상기 제2 포토다이오드에서 생성된 전하들 중 상기 저장커패시터에 저장된 전하들을 상기 제4 컨버전게인으로 변환하는 이미지 센서.

발명의 설명

기술 분야

[0001] 본 발명은 이미지 센서 및 그 동작 방법에 대한 것이다.

배경 기술

[0002] 이미지 센서(image sensor)는 광학 정보를 전기 신호로 변환시키는 반도체 장치이다. 이미지 센싱 장치는 씨모스형(CMOS; Complementary Metal-Oxide Semiconductor) 이미지 센서를 포함할 수 있다. 이미지 센서는 2차원적으로 배열된 복수개의 픽셀들을 구비할 수 있다. 각 픽셀들은 적어도 하나의 포토 다이오드(photodiode)를 포함할 수 있다. 각 포토 다이오드는 입사되는 광 양을 전기 신호로 변환한다.

[0003] 최근 들어, 이미지 센서는 스마트폰을 포함한 모바일 장치 뿐 만 아니라 감시카메라 및 차량에도 적극 활용되고 있다. 이미지 센서는 한 장의 이미지에 가장 밝은 영역과 가장 어두운 영역을 동시에 잘 표현하기 위해 높은 다이나믹 레인지(Dynamic Range)를 확보해야 한다. 특히, 태양이 강한 고조도 환경과 터널 등의 저조도 환경을 동시에 표현하기 위해 높은 다이나믹 레인지의 이미지를 얻기 위한 다양한 노력들이 지속되고 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 해결하고자 하는 기술적 과제는, 높은 다이내믹 레인지의 이미지를 확보할 수 있는 이미지 센서를 제공하는 것이다.
- [0005] 본 발명이 해결하고자 하는 기술적 과제는, 높은 다이내믹 레인지의 이미지를 확보하기 위한 이미지 센서의 동작 방법을 제공하는 것이다.
- [0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제를 해결하기 위한 본 발명의 이미지 센서의 일 태양(Aspect)은 제1 포토다이오드와, 제2 포토다이오드와, 제2 포토다이오드와 연결된 저장커패시터와, 제2 포토다이오드와 연결된 오버플로우트랜지스터와, 읽기 회로를 포함하는 픽셀, 픽셀에 전달되는 제어신호들을 공급하는 구동부, 픽셀의 출력신호와 램프 신호를 비교하여 서브디지털신호를 생성하는 ADC블록, 및 구동부와 ADC블록의 동작을 제어하는 제어기를 포함하되, 제1 포토다이오드는 제2 포토다이오드보다 수광 면적이 크고, 픽셀은 제어신호들에 응답해서 출력신호를 출력하고, 픽셀은, 제1 포토다이오드에서 노출 구간에 생성된 전하들을 제1 컨버전게인으로 변환한 제1 서브출력신호를 출력하고, 제1 포토다이오드에서 노출 구간에 생성된 전하들을 제2 컨버전게인으로 변환한 제2 서브출력신호를 출력하고, 제1 서브출력신호에 대응하는 제1 리셋신호와 제2 서브출력신호에 대응하는 제2 리셋신호를 출력하고, 제2 포토다이오드에서 노출 구간에 생성된 전하들 중 일부를 제3 컨버전게인으로 변환한 제3 서브출력신호를 출력하고, 제2 포토다이오드에서 노출 구간에 생성된 전하들 중 저장커패시터에 저장된 전하들을 제4 컨버전게인으로 변환한 제4 서브출력신호를 출력하고, 제4 서브출력신호에 대응하는 제3 리셋신호와, 제3 서브출력신호에 대응하는 제4 리셋신호를 출력한다.
- [0008] 상기 과제를 해결하기 위한 본 발명의 이미지 센서의 일 태양(Aspect)은 제1행에 배치된 제1 픽셀, 및 제1 픽셀과 동일한 컬럼라인에 연결되고, 제2행에 배치된 제2 픽셀, 제1 픽셀과 제2 픽셀에 연결된 픽셀연결트랜지스터, 제1 및 제2 픽셀에 전달되는 제어신호들을 공급하는 구동부, 제1 및 제2 픽셀의 출력신호와 램프신호를 비교하여 서브디지털신호를 생성하는 ADC블록, 및 구동부와 ADC블록의 동작을 제어하는 제어기를 포함하되, 제1 및 제2 픽셀 각각은, 제1 포토다이오드, 제1 플로팅노드, 제1 포토다이오드와 제1 플로팅노드 사이에 연결되는 제1 전송트랜지스터, 제1 플로팅노드와 연결되는 컨버전게인트랜지스터, 컨버전게인트랜지스터와 제1 전압 사이에 연결된 리셋트랜지스터, 제2 포토다이오드, 제2 플로팅노드, 제2 포토다이오드와 제2 플로팅노드 사이에 연결되는 제2 전송 트랜지스터, 제2 포토다이오드로부터 생성된 전하들의 일부를 저장하는 저장커패시터, 제2 포토다이오드로부터 생성된 전하들의 일부를 제거하는 오버플로우트랜지스터, 컨버전게인트랜지스터와 리셋트랜지스터가 공통으로 연결된 제3 플로팅노드, 제2 플로팅노드와 제3 플로팅노드사이에 연결된 연결트랜지스터 및 제1 플로팅노드의 전압에 응답해서 컬럼라인으로 출력신호를 생성하는 읽기 회로를 포함하고, 픽셀연결트랜지스터는 제1 픽셀의 제3 플로팅 노드와 제2 픽셀의 제3 플로팅 노드 사이에 연결되고, 제1 포토다이오드는 제2 포토다이오드보다 수광 면적이 크며, 제1 픽셀은, 제어신호들에 응답해서, 제1 포토다이오드에서 노출 구간에 생성된 전하들을 각각 제1 컨버전 게인, 제2 컨버전 게인, 제3 컨버전 게인으로 변환한 제1, 제2 및 제3 서브출력신호 및 이에 대응하는 제1, 제2 및 제3 리셋신호를 출력하고, 제2 포토다이오드에서 노출 구간에 생성된 전하들의 일부를 제4 컨버전게인으로 변환한 제4서브출력신호, 저장커패시터에 저장된 전하들을 제5 컨버전게인으로 변환한 제5 서브출력신호, 제5 서브출력신호에 대응하는 제5 리셋신호, 제4 서브출력신호에 대응하는 제4 리셋신호를 출력하고, 제1 픽셀은, 픽셀연결트랜지스터의 턴온에 의해 제1 픽셀의 제3 플로팅노드와 제2 픽셀의 제3 플로팅노드가 전기적으로 서로 연결된 상태에서 제3 서브출력신호와 제5 서브출력신호를 생성한다.
- [0009] 상기 과제를 해결하기 위한 본 발명의 이미지 센서의 동작 방법의 일 태양은, 제1 포토다이오드, 제1 플로팅노드, 제2 포토다이오드, 제2 플로팅노드, 제2 포토다이오드와 연결된 저장커패시터, 제2 포토다이오드와 연결된 오버플로우트랜지스터 및 읽기 회로를 포함하는 픽셀을 포함하는 이미지 센서의 동작 방법으로, 노출 구간 동안 제2 포토다이오드로부터 생성된 전하들 중 제1 부분을 오버플로우트랜지스터를 통해 제거하고, 제2 부분을 저장커패시터에 저장하고, 제3 부분을 제2 플로팅노드로 전송하는 제1 단계, 제1 포토다이오드에서 생성된 전하들을 제1 및 제2 컨버전게인으로 변환한 제1 및 제2 서브출력신호와 이에 대응하는 제1 및 제2 리셋신호를 읽기 회로

를 통해 출력하는 제2 단계, 제2 플로팅노드로 전송된 전하들을 제3 컨버전계인으로 변환한 제3 서브출력신호, 저장커패시터에 저장된 전하들을 제4 컨버전계인으로 변환한 제4 서브출력신호와 제4 서브출력신호에 대응하는 제4 리셋신호와 제3 서브출력신호에 대응하는 제3 리셋신호를 순차적으로 읽기 회로를 통해 출력하는 제3 단계를 포함한다.

[0010] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0011] 도 1a 내지 도 1c는 일 실시 예에 따른 이미지 센서의 블록도이다.

도 2는 도 1a 내지 도 1c의 이미지 센서에 적용 가능한 픽셀 회로도이다.

도 3은 도 2의 픽셀을 적용한 픽셀어레이의 일부의 평면도이다.

도 4는 도 2의 픽셀의 구성요소들의 배치도이다.

도 5는 도 2의 픽셀의 제1 모드 동작의 타이밍도이다.

도 6은 도 2의 픽셀의 제2 모드 동작의 타이밍도이다.

도 7은 실시예에 따른 이미지 센서에 적용 가능한 픽셀의 회로도이다.

도 8은 도 7의 픽셀의 제2 모드의 동작 타이밍도이다.

도 9는 실시예에 따른 이미지 센서에 적용 가능한 단위 픽셀의 회로도이다.

도 10은 도 9의 픽셀의 제1 모드의 동작 타이밍도이다.

도 11은 실시예에 따른 픽셀들간의 연결 상태를 나타낸다

도 12는 도 11의 픽셀들의 연결 구조에서 N번째 행의 픽셀을 위한 제2모드의 동작 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0013] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1구성 요소는 제2구성 요소로 명명될 수 있고 유사하게 제2구성 요소는 제1구성 요소로도 명명될 수 있다.

[0014] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석될 수 있다.

[0015] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0016] 이하 첨부된 도면을 참조하여, 본 발명의 기술적 사상에 따른 실시예들에 대해 설명한다.

[0017] 도 1a는 본 발명의 일 실시 예에 따른 이미지 센서의 블록도이다. 도 2는 도 1a 내지 도 1c의 이미지 센서에 적

용되는 픽셀 회로도이다.

- [0018] 도 1a를 참조하면, 이미지 센서(100)는 픽셀어레이(110), 로우드라이버(120), ADC(Analog Digital Converter) 블록(130), 램프신호생성기(140), 타이밍제어기(150), 모드설정레지스터(160), 데이터버스(170) 및 신호처리부(190)를 포함할 수 있다.
- [0019] 도 1a 및 도 2를 참조하면, 픽셀어레이(110)는 복수의 로우 라인들(RL), 복수의 컬럼 라인들(CL)과 접속된 행과 열로 배열된 복수의 픽셀(PX)들을 포함한다. 각 픽셀(PX)은 제1 포토다이오드(LPD)와 제2 포토다이오드(SPD)를 포함할 수 있다. 또한 각 픽셀(PX)은 제1 포토다이오드(LPD)와 제2 포토다이오드(SPD)가 각각 생성한 전하들을 전기신호로 변환하기 위한 복수의 트랜지스터들을 포함할 수 있다. 제1 포토다이오드(LPD)의 수광 면적은 제2 포토다이오드(SPD)의 수광면적보다 크게 형성될 수 있다. 즉, 제1 포토다이오드(LPD)는 제2 포토다이오드(SPD)보다 동일한 시간 동안 같은 빛에 노출된 경우 더 많은 전하들을 생성할 수 있다. 이에 따라, 제1 포토다이오드(LPD)의 감도가 제2 포토다이오드(SPD)의 감도보다 커서 저조도에서도 전기신호를 전환할 수 있는 충분한 전하들을 생성할 수 있다.
- [0020] 제2 포토다이오드(SPD)는 생성된 전하들의 제1 부분(first portion)을 저장할 수 있는 저장커패시터(OFC)와 연결되고, 생성된 전하들의 제2 부분(second portion)을 제거할 수 있는 오버플로우트랜지스터(OT)와 연결될 수 있다. 상기 오버플로우트랜지스터(OT)를 통해 제거하는 전하들과 상기 저장커패시터(OFC)에 저장하는 전하들의 비율을 조절하여 고조도에서도 제2 포토다이오드(SPD)의 감도를 조절하여 이미지 신호를 확보할 수 있다.
- [0021] 픽셀(PX)에 포함된 복수의 트랜지스터들은 각 포토다이오드(SPD, LPD)에 연결된 제1 및 제2 전송트랜지스터(STT, LTT), 리셋트랜지스터(RT), 컨버전게인트랜지스터(CGT) 및 읽기 회로(RC)를 구성하는 구동트랜지스터(SFT) 및 선택트랜지스터(SELT)를 포함할 수 있다.
- [0022] 컨버전게인트랜지스터(CGT)의 턴-오프 또는 턴-온에 따라 제1 포토다이오드(LPD)에서 생성된 전하들을 제1 컨버전게인과 제2 컨버전게인으로 변환하여 전기신호를 생성할 수 있다. 또한 픽셀(PX)은 제2 포토다이오드(SPD)에서 생성된 전하들을 제3 컨버전게인으로 변환하여 전기신호로 출력하고, 저장커패시터(OFC)를 이용한 제4 컨버전게인으로 변환하여 전기신호로 출력할 수 있다.
- [0023] 로우드라이버(120)는 픽셀어레이(110)를 행(row) 단위로 구동할 수 있다. 로우드라이버(120)는 타이밍컨트롤러(150)로부터 수신되는 신호(예컨대, 어드레스 신호)를 디코딩하고, 디코딩된 신호에 응답하여 적어도 하나의 행을 선택할 수 있다. 로우 드라이버(120)는 선택된 행에 연결된 픽셀(PX)들로부터 컬럼 라인(CL)을 통해 출력신호(Vout)를 생성하기 위한 제어 신호들을 픽셀어레이(110)에 전송할 수 있다. 몇몇 실시예에서, 로우 드라이버(120)는 구동부 역할을 수행할 수 있다. 상기 제어 신호들은 픽셀(PX)에 포함된 트랜지스터들의 제어신호로서 제1 및 제2 전송 제어신호(LTG, STG), 오버플로우 제어신호(OGS), 리셋제어신호(RS), 연결제어신호(CS), 컨버전게인제어신호(CGS) 및 커패시터연결제어신호(CCS)를 포함할 수 있다. 로우드라이버(120)는 제어 신호들을 리셋 구간, 노출 구간 및 리드 아웃 구간에 따라 해당하는 전압 레벨로 픽셀어레이(110)에 제공할 수 있다.
- [0024] 모드설정레지스터(160)는 어플리케이션 프로세서(AP)가 이미지 센서(100)와 연결된 인터페이스를 통해 이미지 센서(100)의 동작 모드를 설정하는 레지스터이다. 동작 모드는 이미지 센서(100)가 어플리케이션 프로세서(AP)로 이미지데이터를 출력하는 단위인 프레임 단위로 어플리케이션 프로세서(AP)에 의해 변경될 수 있다. 동작 모드 설정에 따라 픽셀의 리드 아웃 구간에 출력되는 출력 신호가 조절될 수 있다.
- [0025] 상기 동작 모드는 적어도 제1 모드와 제2 모드를 포함할 수 있다. 상기 제1 동작모드에서는 제1 포토다이오드(LPD)에서 생성된 전하들을 제1 컨버전게인과 제2 컨버전게인으로 변환하여 제1 및 제2 서브출력신호들을 생성한 후, 제2 포토다이오드(SPD)에서 생성된 전하들의 일부를 제3 컨버전게인으로 변환하고, 저장커패시터(OFC)에 저장된 전하들을 제4 컨버전게인으로 변환하여 제3 및 제4 서브출력신호들을 각각 생성할 수 있다.
- [0026] 제2 동작모드에서는 상기 제1 동작 모드의 제1 및 제2 서브출력신호들과 제3 및 제4 서브출력신호들 사이에, 제1 포토다이오드(LPD)에서 생성한 전하들을 제2 컨버전게인으로 변환한 제5 서브출력신호를 생성할 수 있다. 이와 상세한 제1 동작 모드 및 제2 동작 모드 타이밍도는 도 5 및 도 6을 참조하여 후술한다.
- [0027] 타이밍제어기(150)는 모드설정레지스터(160)에 설정된 동작 모드에 따라 이미지 센서(100)의 로우드라이버(120), 램프신호생성기(140), ADC블록(130) 및 신호처리부(190)의 동작을 전체적으로 제어할 수 있다.
- [0028] 램프신호생성기(140)는 소정의 기울기로 증가 또는 감소하는 램프 전압신호(RAMP)를 생성하고, 램프전압신호(RAMP)를 ADC 블록(130)에 제공할 수 있다.

- [0029] ADC 블록(130)은 복수의 픽셀(PX)들 중 로우드라이버(120)에 의해 선택된 적어도 하나의 행에 연결된 픽셀(PX)들로부터 컬럼라인(CL)들을 통해 출력신호(Vout)를 수신할 수 있다. 상기 제1 동작모드에서의 출력신호(Vout)는 제1 포토다이오드(LPD)에서 생성된 전하들에 대응하는 제1 및 제2 서브출력신호들과 제2 포토다이오드(SPD)에서 생성된 전하들에 대응하는 제3 및 제4 서브출력신호들을 포함할 수 있다. 또한 출력신호(Vout)는 각 서브출력신호들에 대응하는 리셋 신호들을 포함할 수 있다. 상기 제2 동작모드에서의 출력 신호(Vout)는 상기 제1 및 제2 서브출력신호들과 제3 및 제4 서브출력신호들 사이에 제5 서브출력신호를 포함하고 각 서브출력신호들에 대응하는 리셋신호들을 포함 할 수 있다.
- [0030] ADC 블록(130)은 복수의 컬럼 라인(CL)에 대응하는 복수의 ADC 회로를 포함할 수 있으며, 복수의 ADC 회로 각각은 대응하는 컬럼 라인(CL)을 통해 수신되는 각 서브출력신호와 이에 대응하는 리셋 신호를 각각 램프 신호(RAMP)와 비교하고 그 비교 결과에 따른 비교 신호의 변화 시간을 디지털 값으로 변환하여 서브디지털신호들을 생성할 수 있다.
- [0031] 각 ADC 회로는 상관 이중 샘플링(Correlated Double Sampling; CDS)을 통해 상기 서브디지털신호들을 생성할 수 있다. 상관 이중 샘플링(CDS)은 픽셀의 읽기 회로의 구동드라이버의 게이트인 플로팅 노드의 리셋 레벨과 신호 레벨을 각각 샘플링하여 리셋 레벨과 신호 레벨의 차이를 출력할 수 있는 기법이다. CDS는 픽셀의 플로팅 노드의 리셋 레벨을 먼저 리드 아웃 한 후 신호 레벨을 리드 아웃하는 제1 방식의 CDS(1st CDS)와 픽셀의 플로팅 노드의 신호 레벨을 먼저 리드 아웃한 후 리셋 레벨을 리드 아웃하는 제2 방식의 CDS(2nd CDS)로 구분 될 수 있다.
- [0032] ADC 블록(130)의 각 ADC 회로는 제1 동작모드에서 상기 제1 서브출력신호와 이와 대응하는 제1 리셋신호를 이용해 제1 방식의 CDS하여 제1 서브디지털신호를 생성하고, 제2 서브출력신호와 이와 대응하는 제2 리셋신호를 이용해 제1 방식 또는 제2 방식의 CDS하여 제2 서브디지털신호를 생성하고, 상기 제3 서브출력신호와 이와 대응하는 제3 리셋신호를 제2 방식의 CDS하여 제3 서브디지털신호를 생성하고, 상기 제4 서브출력신호와 이와 대응하는 제4 리셋신호를 제2 방식의 CDS하여 제4 서브디지털신호를 생성할 수 있다.
- [0033] ADC 블록(130)의 각 ADC 회로는 제2 동작모드에서 제2 서브디지털신호 생성 후, 제3 서브디지털신호 생성 전에, 상기 제5 서브출력신호와 이와 대응하는 제5 리셋신호를 제2 방식의 CDS하여 제5 서브디지털 신호를 더 생성할 수 있다.
- [0034] 데이터버스(170)는 ADC 블록(130)으로부터 제1 동작 모드 또는 제2 동작 모드에 따라 제1 내지 제4 서브디지털 신호들을 순차적으로 수신하거나, 제2 동작모드에서는 제1 내지 제5 서브디지털신호들을 순차적으로 수신한다. 데이터버스(170)는 수신된 서브디지털신호들을 임시 저장한 후 정렬하여 신호처리부(190)로 출력할 수 있다. 데이터버스(170)는 메모리 및 메모리 제어기를 포함할 수 있다. 메모리에 저장된 서브디지털신호들은 메모리 제어기의 제어 하에 신호처리부(190)로 출력될 수 있다.
- [0035] 신호처리부(190)는 수신된 제1 내지 제4 서브디지털신호들 또는 제1 내지 제5 서브디지털신호들을 병합하여 최종 디지털이미지신호(FDID)를 생성할 수 있다. 신호처리부(190)는 제1 내지 제5 서브디지털신호들 중에서 포화되지 않은 적당한 신호를 선택하거나 2개 이상의 서브디지털신호들 이용하여 디지털이미지신호를 생성할 수 있다. 신호처리부(190)는 생성된 디지털이미지신호에 노이즈 저감 처리, 게인 조정, 파형 정형화 처리, 보간 처리, 화이트밸런스 처리, 감마 처리, 에지 강조 처리, 비닝(binning) 등의 신호처리를 더 수행한 후, 최종 디지털이미지신호(FDIS)를 생성할 수 있다. 한편, 실시예에 따라, 신호 처리부(190)의 신호처리 기능을 일부는 이미지 센서(100)의 외부 프로세서에 구비될 수도 있다.
- [0036] 도 1b는 본 발명의 다른 일실시예에 따른 이미지 센서(100-1)의 블록도이다.
- [0037] 도 1b를 참조하면, 이미지 센서(100-1)는 온도 센서(180)를 더 포함하는 것을 제외하고는 도 1a의 이미지 센서(100)와 동일하다. 이미지 센서(100-1)는 외부 인터페이스를 통해 모드설정레지스터(160)를 설정 할 수도 있으며, 또한 온도 센서(180)를 통해 이미지 센서(100-1)의 온도 정보에 따라 모드설정레지스터(160)를 값을 변경할 수 있다. 즉, 이미지 센서(100-1)의 동작 모드가 이미지 센서의 동작 온도에 따라 변경될 수 있다.
- [0038] 도 1c는 본 발명의 또 다른 일실시예에 따른 이미지 센서(100-2)의 블록도이다.
- [0039] 도 1c를 참조하면, 도 1c의 이미지 센서(100-2)는 CPU와 메모리(memory)를 더 포함하는 것을 제외하고는 도 1a의 이미지 센서(100) 또는 도 1b의 이미지 센서(100-1)와 동일한 구성 및 동작을 수행할 수 있다. 이미지 센서(100-2)는 CPU를 포함하고 CPU가 내부 메모리에 저장된 펌웨어(Firmware, 이하 FW)를 구동하여 타이밍제어기를

포함한 다른 내부 구성요소들을 제어할 수 있다.

- [0040] 어플리케이션 프로세서(AP)는 외부인터페이스인 CCI 또는 I2C 인터페이스(IIC)를 통해 FW 레지스터들 중에서 본 발명의 동작 모드에 할당된 FW 레지스터에 해당하는 어드레스와 그에 대한 변경 값을 메모리에 기입할 수 있다. CPU는 매 프레임이 시작하기 전에 변경된 FW 레지스터들의 변경 값을 메모리로부터 읽고 모드설정레지스터(Registers)의 설정 값을 변경할 수 있다. 즉, 이미지 센서(100-2)는 FW 레지스터를 통해서 동작 모드를 변경할 수 있다. 도시는 되지 않았지만 이미지 센서(100-2)에 도 1b의 온도 센서(180)가 더 포함될 수도 있다.
- [0041] 도 2를 참조하면, 픽셀(200)은 제1 포토다이오드(LPD), 제2 포토다이오드(SPD), 읽기 회로(RC), 저장커패시터(OFC) 및 복수의 트랜지스터들을 포함할 수 있다.
- [0042] 제1 포토다이오드(LPD), 제2 포토다이오드(SPD)는 크기가 서로 다른 포토다이오드들이다. 제1 포토다이오드(LPD)는 제2 포토다이오드(SPD) 보다 수광 면적이 상대적으로 클 수 있다. 제1 포토다이오드(LPD)의 수광 면적이 넓으므로, 동일한 수광 조건에서 제2포토다이오드(SPD) 보다 많은 전하를 생성할 수 있다. 즉, 제1 포토다이오드(LPD)는 제2 포토다이오드(SPD) 보다 높은 감도를 갖고, 저조도에서 유효한 픽셀 출력 신호를 생성할 수 있다. 이에 비해 제2 포토다이오드(SPD)는 고조도에서 유효한 픽셀 출력 신호를 생성할 수 있다.
- [0043] 제1 포토다이오드(LPD)는 제1 플로팅 영역인 제1 플로팅노드(FD1)와 제1 전송트랜지스터(LTT)를 통해 연결된다. 제1 전송트랜지스터(LTT)는 제1 전송제어신호(LTG)에 응답해서 노출 시간 동안 제1 포토다이오드(LPD)에서 생성된 전하들을 제1 플로팅노드(FD1)로 전송할 수 있다.
- [0044] 제2 포토다이오드(SPD)는 오버플로우트랜지스터(OT)를 픽셀전압(VPIX)과 연결되고 오버플로우트랜지스터(OT)는 오버플로우게이트신호(OGS)에 응답해서 상기 노출 시간 동안 제2 포토다이오드(SPD)에서 생성된 전하들 중 제1 부분(first portion)을 제거 할 수 있다.
- [0045] 제2 포토다이오드(SPD)는 저장커패시터(OFC)와 커패시터연결트랜지스터(CCT)를 통해 연결된다. 커패시터연결트랜지스터(CCT)는 커패시터연결신호(CCS)에 응답해서 상기 노출 시간 동안 제2 포토다이오드(SPD)에서 생성된 전하들 중 제2 부분(second portion)을 저장커패시터(OFC)에 전송하고 축적할 수 있다. 저장커패시터(OFC)의 다른 노드는 저장전압(VSC)에 연결된다.
- [0046] 제2 포토다이오드(SPD)는 제2 전송트랜지스터(STT), 오버플로우트랜지스터(OT)와 커패시터연결트랜지스터(CCT)와 함께 연결된다. 제2 포토다이오드(SPD)는 제2 플로팅 영역인 제2 플로팅노드(FD2)와 제2 전송트랜지스터(STT)를 통해 연결되고, 제2 전송트랜지스터(STT)는 제2 전송제어신호(STG)에 응답해서 노출 시간 동안 제2 포토다이오드(SPD)에서 생성된 전하들 중 제3 부분(third portion)을 제2 플로팅 영역인 제2 플로팅노드(FD2)로 전송할 수 있다.
- [0047] 제2 포토다이오드(SPD)에서 생성된 전하들 중 일부를 오버플로우트랜지스터(OT)를 통해 제거하여 고조도에서도 제2 포토다이오드(SPD)의 감도를 낮출 수 있다. 즉, 오버플로우트랜지스터(OT)를 통해 버려지는 전하들의 양과 저장커패시터(OFC)에 저장되는 전하들의 양에 따라 SPD의 감도를 조절하여 더 높은 조도(고조도)에서도 이미지 신호를 생성하여 높은 다이내믹 레인지를 확보할 수 있다.
- [0048] 읽기 회로(RC)는 구동트랜지스터(SFT)와 선택트랜지스터(SELT)를 포함한다. 구동트랜지스터(SFT)는 컬럼 라인(CL)에 연결된 전류 소스(CS)에 의하여 생성되는 바이어스 전류와 픽셀전압(Vpix)을 기초로 제1 플로팅 노드(FD1)에 전송된 전하들에 대응하는 전압에 응답하는 소스팔로워 증폭기로 동작할 수 있다. 선택트랜지스터(SELT)는 구동트랜지스터(SFT)의 출력을 출력 신호(Vout)로서 컬럼 라인(CL)에 전송할 수 있다.
- [0049] 복수의 트랜지스터들은 연결트랜지스터(CT), 리셋트랜지스터(RT), 컨버전게이트트랜지스터(CGT)를 더 포함할 수 있다. 연결트랜지스터(CT)는 제2 플로팅노드(FD2)와 제3 플로팅 영역인 제3 플로팅노드(FD3) 사이에 위치하고 연결제어신호(CS)에 따라 제2 플로팅노드(FD2)와 제3 플로팅노드(FD3)를 연결할 수 있다.
- [0050] 리셋트랜지스터(RT)는 리셋전압(VRD) 노드와 제3 플로팅노드(FD3) 사이에 위치하고 리셋제어신호(RS)에 따라 제2 플로팅노드(FD3)와 제1 플로팅노드(FD1), 제3 플로팅노드(FD3) 또는 저장커패시터(OFC) 중 적어도 하나 이상에 축적된 전하들을 리셋 할 수 있다. 몇몇 실시예에서, 상기 리셋전압(VRD)은 상기 픽셀전압(Vpix)과 동일한 전압 일 수 있다. 몇몇 실시예에서, 상기 저장전압(VSC)는 상기 리셋전압(VRD) 또는 상기 픽셀전압(Vpix)과 동일한 전압일 수 있다.
- [0051] 컨버전게이트트랜지스터(CGT)는 제1 플로팅노드(FD1)과 제3 플로팅노드(FD3) 사이에 위치하고 컨버전게이트제어신호

(CGS)에 따라 제1 플로팅노드(FD1)과 제3 플로팅노드(FD3)를 연결할 수 있다.

- [0052] 컨버전게인(conversion gain)은 플로팅 노드에 전송된 전하들에 의해 플로팅 노드의 전압이 변환되는 비율을 말한다. 전송되는 전하량이 동일한 상태에서 컨버전게인은 플로팅 노드의 커패시턴스에 따라 가변될 수 있다. 플로팅 노드의 커패시턴스가 증가하면 컨버전 게인은 감소하고, 플로팅 노드의 커패시턴스가 감소하면 컨버전 게인은 증가할 수 있다. 제1 포토다이오드(LPD)에서 생성된 전하들은 컨버전게인트랜지스터(CGT)를 턴-온 또는 턴-오프에 따라 서로 다른 제1 또는 제2 컨버전 게인으로 변환될 수 있다. 컨버전게인트랜지스터(CGT)가 턴-오프되면 제1 포토다이오드(LPD)에서 생성된 전하들은 제1 플로팅노드(FD1)의 커패시턴스에 의한 제1 컨버전게인으로 출력신호(Vout)로 생성되고, 컨버전게인트랜지스터(CGT)가 턴-온 되면, 제1 포토다이오드(LPD)에서 생성된 전하들은 제1 플로팅노드(FD1) 및 제3 플로팅노드(FD3)의 커패시턴스의 합에 의한 제2 컨버전게인으로 출력신호(Vout)로 생성될 수 있다. 상기 제1 컨버전게인은 제2 컨버전게인보다 큰 값이다.
- [0053] 제2 포토다이오드(SPD)에서 생성된 전하들은 컨버전게인트랜지스터(CGT)와 연결트랜지스터(CT)가 턴-온 된 상태에서 제2 플로팅노드(FD2), 제3 플로팅노드(FD3), 및 제1 플로팅노드(FD1)의 커패시턴스들의 합을 이용한 제3 컨버전게인으로 출력신호(Vout)로 생성될 수 있다. 제2 포토다이오드(SPD)에서 생성된 전하들 중 저장커패시터(OFC)에 저장된 전하들은 컨버전게인트랜지스터(CGT), 연결트랜지스터(CT) 및 커패시터연결트랜지스터(CCT)가 턴-온 된 상태에서 제1 내지 제3 플로팅노드들(FD1, FD2, FD3)의 커패시턴스들과, 저장커패시터(OFC)의 커패시턴스의 합을 이용한 제4 컨버전 게인으로 출력신호(Vout)로 생성될 수 있다.
- [0054] 도 3은 도 2의 픽셀들로 구성된 도 1의 픽셀어레이의 일부의 평면도이다. 도 4은 도 2의 픽셀에 포함된 구성요소들이 도 2의 픽셀의 영역(REG1, REG2)에 배치되는 레이아웃이다.
- [0055] 도 3을 참조하면, 픽셀어레이(PA)는 복수의 픽셀(PX)들을 포함한다. 복수의 픽셀(PX)들은 제1 방향(X) 및 제2 방향(Y)으로 규칙적으로 배열될 수 있다. 각 픽셀(PX)은 제1 영역(REG1)과 제1 영역(REG1)에 인접한 제2 영역(REG2)을 포함할 수 있다. 제1 영역(REG1)의 면적은 제2 영역(REG2)의 면적보다 2배 이상 클 수 있다. 제1 영역(REG1)은 도시한 것과 같이 8각형 모양일 수 있고, 제2 영역(REG2)은 도시한 것과 같이 4각형 모양일 수 있다. 그러나, 본 발명의 실시 예는 이에 제한되지 않고 제1 영역(REG1)의 면적이 제2 영역보다 큰 상태에서 제1 영역(REG1)과 제2 영역(REG2)의 모양은 다양하게 변형될 수 있다.
- [0056] 도 4를 참조하면, 제1 영역(REG1)과 제2 영역(REG2)은 인접해서 위치할 수 있다. 제1 영역(REG1)은 픽셀(PX)의 제1 포토다이오드(LPD), 제1 전송트랜지스터(LTT), 컨버전게인트랜지스터(CGT), 리셋트랜지스터(RT), 연결트랜지스터(CT) 및 구동트랜지스터(SFT)과 선택트랜지스터(SELT)를 포함하는 읽기 회로가 배치되고, 제1 플로팅노드(FD1)와 제3 플로팅노드(FD3)와 제2 플로팅노드(FD2)의 일부 영역(FD2-1)이 포함될 수 있다.
- [0057] 제1 포토다이오드(LPD)는 트랜지스터들이 형성되는 액티브1(ACT1)과 액티브2(ACT2)의 수직방향(Z)으로 아래에 오버랩되어 형성될 수 있다. 제1 영역(REG1)에 배치된 읽기 회로의 선택트랜지스터(SELT)의 한 노드(드레인)는 컬럼 라인(CL)과 연결될 수 있다. 제1 영역(REG1)에 배치된 읽기 회로의 구동트랜지스터(SFT)의 한 노드(드레인)는 픽셀전압(VPIX)과 연결되고, 리셋트랜지스터(RT)의 한 노드(드레인)는 리셋전압(VRD)과 연결될 수 있다.
- [0058] 제2 영역(REG2)에는 픽셀(PX)의 제2 포토다이오드(SPD), 제2 전송트랜지스터(STT), 오버플로우트랜지스터(OT) 및 커패시터연결트랜지스터(CCT)가 배치되고 제2 플로팅노드(FD2)의 일부 영역(FD2-1)이 포함 될 수 있다. 제2 포토다이오드(SPD)는 트랜지스터들이 형성되는 액티브3(ACT3)의 수직방향(Z)으로 아래에 오버랩되어 형성될 수 있다.
- [0059] 제2 영역(REG2)의 오버플로우트랜지스터(OT)의 한 노드(드레인)는 픽셀전압(VPIX)과 연결된다. 커패시터연결트랜지스터(CCT)의 한 노드는 저장커패시터(OFC)와 연결된다. 저장커패시터(OFC)는 픽셀의 수직방향(Z)으로 상부에 MIM(Metal Insulator Metal)형태로 배치 될 수 있다. 제2 영역(REG2)의 제2 플로팅노드(FD2)의 일부(FD2-1)는 메탈 라인을 통해 제1 영역(REG1)의 제2 플로팅노드(FD2)의 일부(FD2-2)와 연결된다.
- [0060] 제1 영역(REG1)과 제2 영역(REG2)은 적어도 한 면이 서로 인접해 배치되고 제1 포토다이오드(LPD)와 제2 포토다이오드(SPD)의 전기적 절연과 광학적 크로스토크(Crosstalk)를 방지하기 위해 Deep Trench Isolation(DTI)으로 서로 분리될 수 있다.
- [0061] 이미지 센서의 해상도가 높아짐에 따라 픽셀 사이즈가 작아지면 제2 영역(REG2)의 제2 포토다이오드(SPD)와 제2 전송트랜지스터(STT)를 제외한 트랜지스터들은 제1 영역(REG1)에 배치될 수 도 있다. 또는 제2 영역(REG2)에는 제2 포토다이오드(SPD)와 제2 전송트랜지스터(STT) 및 오버플로우트랜지스터(OT)만을 배치하고 커패시터연결트

랜지스터(CCT)는 제1 영역(REG1)에 배치할 수 도 있다.

- [0062] 이미지 센서는 픽셀어레이(도 1a의 110)를 포함한 제1 반도체기판과 픽셀어레이(도 1a의 110)를 제외한 다른 블록들(도 1a의 120~190)을 포함한 제2 반도체기판으로 구성될 수 있다. 일 실시예에서, 제1 반도체기판 및 제2 반도체기판은 서로 적층되고 제1 반도체 기판을 관통하는 TSV 또는 다른 연결 수단을 통해 서로 신호를 전송할 수 있다.
- [0063] 몇몇 실시예에서, 이미지 센서는 세 개의 반도체기판으로 구성 될 수 도 있다. 픽셀 어레이가 두 개의 반도체 칩으로 구성되어 상단의 칩에는 도 2의 픽셀 회로 중에서 제1 포토다이오드(LPD), 제2 포토다이오드(SPD)와 각각에 연결된 전송트랜지스터(LTT, STT)만 형성되고 다른 트랜지스터들과 저장커패시터(OFC)는 하부의 칩에 형성 될 수 있다.
- [0064] 도 5는 도 2의 픽셀의 제1 모드의 동작 타이밍도이다. 이하 도 2와 도 5를 참조하여 픽셀의 제1 모드의 동작 타이밍을 설명한다.
- [0065] 도 5의 타이밍도에는 픽셀에 포함된 트랜지스터들의 게이트에 인가되는 제어신호들로서, 선택제어신호(RSS), 리셋제어신호(RS), 컨버전제어신호(CGS), 연결제어신호(CS), 제1 전송제어신호(LTG), 제2 전송제어신호(STG), 커패시터연결제어신호(CCS) 및 오버플로우제어신호(OGS)의 파형들이 순서대로 도시되어 있다. 상기 제어신호들은 도 1a의 타이밍제어기(150)의 제어 하에 구동드라이버(120)에서 펄스 형태로 생성되어 픽셀어레이(110)에 제공 될 수 있다. 각 펄스 파형들은 하이 레벨의 전압과 로우 레벨의 전압 사이를 토글링한다. 하이 레벨의 전압은 트랜지스터를 턴 온 하고, 로우 레벨의 전압은 트랜지스터를 턴 오프 한다. 그러나, 다양한 실시예에 따라 도 2의 픽셀을 구성하는 트랜지스터들 중 몇몇이 PMOS로 구성될 때는 펄스 파형이 도 5의 반대로 구동될 수 도 있다.
- [0066] 도 5에 나타난 시작 시간(t_0)부터 끝 시간(t_{11})까지의 시간은 선택된 행들에 연결된 픽셀들의 포토다이오드들의 리셋 동작부터 출력신호(V_{out})가 출력되기까지의 수평(Horizontal) 시간 구간으로 1H 동작 구간을 나타낼 수 있다. 1H 동작 구간 시간에 픽셀어레이를 구성하는 행들의 수를 곱하면 하나의 프레임의 이미지 데이터 신호를 생성하는 최소 시간이 될 수 있다.
- [0067] 픽셀의 동작 구간은 리셋 구간(Reset), 노출 구간(EIT)과 리드 아웃 구간(RDO)을 포함할 수 있다.
- [0068] 도 2 및 도 5를 참조하면, 리셋 구간(Reset)은 RSS를 로우 레벨로, 그리고 RS와 CGS를 하이 레벨로 유지하여 FD1과 FD3이 연결된 상태에서 LTG를 토글링하여 FD1, FD3 및 제1 포토다이오드(LPD)를 함께 리셋하는 제1 포토다이오드(LPD) 셔터 구간($t_0 \sim t_1$)과, STG, CS와 CCS를 함께 토글링하여 FD1, FD2, FD3, 저장커패시터(OFC) 및 제2 포토다이오드(SPD)를 함께 리셋하는 제2 포토다이오드(SPD) 셔터 구간($t_1 \sim t_2$)을 포함한다. 상기 LPD 셔터 구간과 SPD 셔터 구간은 동일한 시간 구간에서 이루어질 수도 있다.
- [0069] 노출 구간(EIT)은 RS 및 CGS를 하이레벨로 LTG를 로우레벨로 유지한 상태에서 OGS, STG와 CCS를 각각 복수회 토글링할 수 있다. LPD는 노출 구간에 수신된 빛에 의해 전하들을 생성하고 축적할 수 있다. SPD는 노출 구간에 수신된 빛에 의해 전하들을 축적하되, 그 중 제1 부분(first portion)은 OT를 통해 제거되고, 제2 부분(second portion)은 CCT를 통해 OFC에 저장되고, 제3 부분(third portion)은 SIT를 통해 FD2에 전송될 수 있다. 노출 구간(EIT)에 OGS의 토글링 횟수 또는 각 토글링 시 하이 레벨 지속 시간을 조정하여 SPD에서 생성되는 전하들 중에 제거되는 상기 제1 부분의 양을 조정할 수 있다. 노출 구간에 CCS의 토글링 횟수 또는 각 토글링 시 하이 레벨 지속 시간을 조정하여 SPD에서 생성되는 전하들 중에 OFC에 저장되는 상기 제2 부분의 양을 조정할 수 있다. 노출 구간에 STG의 토글링 횟수 또는 각 토글링 시 하이 레벨 지속 시간을 조정하여 SPD에서 생성되는 전하들 중에 제2 노드(FD2)에 저장되는 상기 제3 부분의 양을 조정할 수 있다.
- [0070] 노출 구간(EIT)은 교통신호등에 사용되는 LED 광원에 의한 플리커(Flicker) 현상을 최소화하기 위해 예를 들어, 11ms 이상 일 수 있다. 노출 구간(EIT)의 마지막 OGS 토글링 이후에 적어도 한 번의 STG 토글링이 있어야 OGS 토글링 후 켜지는 LED 광원을 안전하게 센싱 할 수 있다..
- [0071] 리드 아웃 구간(RDO)은 선택트랜지스터(SELT)가 턴-온된 상태에서 순차적으로 제1 포토다이오드(LPD) 리드 구간(RD_L), 제2 포토다이오드(SPD) 리드 구간(RD_S)을 포함한다. 리드 아웃 구간(RDO) 동안 선택제어신호(RSS)는 하이 레벨을 유지한다.
- [0072] 픽셀은 제1 포토다이오드(LPD) 리드 구간(RD_L) 동안 제2 컨버전게인의 제2 리셋신호(R2), 제1 컨버전게인의 제1 리셋신호(R1), 제1 컨버전게인의 제1 출력신호(S01)와 제2 컨버전게인의 제2 출력신호(S02)를 컬럼 라인을 통

해 순차적으로 출력한다. 컨버전게인제어신호(CGS)가 하이 레벨일때 컨버전게인트랜지스터(CGT)가 턴-온 된 상태에서 제1 플로팅노드(FD1)의 커패시턴스와 제3 플로팅노드(FD3)의 커패시턴스의 합을 이용해 LPD에서 전송된 전하들을 제2 컨버전게인으로 전압으로 변환할 수 있다. 컨버전게인제어신호(CGS)가 로우레벨일때 컨버전게인트랜지스터(CGT)가 턴-오프되어 제1 플로팅노드(FD1)의 커패시터만을 사용해 LPD에서 전송된 전하들을 제1 컨버전게인으로 전압으로 변환할 수 있다. 제2 컨버전게인에 사용되는 커패시턴스 값이 제1 컨버전게인에 사용되는 커패시턴스 값보다 크므로, 제2 컨버전게인은 제1 컨버전게인보다 작은 값일 수 있다.

[0073] t3 시점에서는 컨버전게인트랜지스터(CGT)가 턴-온되어 제2 컨버전게인의 제2 리셋신호(R2)가 컬럼 라인에 출력된다. t4 시점에서는 컨버전게인트랜지스터(CGT)가 턴-오프되어 제1 컨버전게인의 제1 리셋신호(R1)가 컬럼 라인에 출력된다. t4 이후 컨버전게인트랜지스터(CGT)가 턴-오프된 상태에서 제1 전송제어신호(LTG)가 토글링되면 제1 포토다이오드(LPD)에 축적된 전하들이 제1 플로팅노드(FD1)으로 전송된다. t5 시점에서는 제1 컨버전게인으로 제1 서브출력신호(S01)가 출력된다. t5 이후 컨버전게인트랜지스터(CGT)가 다시 턴-온되고 제1 플로팅노드(FD1)에 전송된 전하들이 제3 플로팅노드(FD3)와 공유된 후 다시 제1 전송제어신호(LTG)를 토글링하여 제1 포토다이오드(LPD)에 축적된 전하를 제1 플로팅노드(FD1)와 제3 플로팅노드(FD3)에 전송한다. t6에서 제2 컨버전게인으로 제2서브출력신호(S02)가 출력된다.

[0074] 도 1a의 ADC 블록(130)은 R1과 S01을 이용한 제1 방식의 첫번째 CDS 동작과 R2와 S02을 이용한 제1 방식의 두번째 CDS 동작을 수행하고, 각각 제1 서브디지털신호(SD1)와 제2 서브디지털신호(SD2)를 생성할 수 있다. 제1 방식의 CDS는 픽셀의 리셋 레벨을 먼저 입력 받고 그 후 신호 레벨을 입력 받아 CDS를 진행하는 기법이다.

[0075] 도 5에서는 RD_L 구간에서 픽셀로부터 R2, R1, S01, S02 순서로 출력되는 것을 보여주고 있으나, CGS를 다르게 제어함에 R1, S01, S02, R2 순서로 출력될 수 있다. t3 시점에 CGS를 로우 레벨로하여 제1 컨버전게인의 R1신호를 출력하고, t4 시점에 LTG를 토글링하여 제1 컨버전게인의 S01 신호를 출력하고, 그후 CGS를 하이레벨로 전환하여 t5 시점에 제2 컨버전게인의 S02 신호를 출력하고, t6 시점에 RS를 토글링하여 R2 신호를 출력할 수도 있다.

[0076] t7에서는 컨버전게인트랜지스터(CCT)가 턴-온된 상태에서 리셋제어신호(RS)를 토글링하여 제1 포토다이오드(LPD)에서 제1 플로팅노드(FD1)와 제3 플로팅노드(FD3)에 전송된 전하들을 제거 한다.

[0077] 픽셀은 제2 포토다이오드(SPD) 리드 구간(RD_S) 동안 제3 컨버전게인의 제3 출력신호(S03), 제4 컨버전게인의 제4 출력신호(S04), 제4 컨버전게인의 제4 리셋신호(R4)와 제3 컨버전게인의 제3 리셋신호(R3)를 컬럼 라인을 통해 순차적으로 출력한다. 제3 컨버전게인은 컨버전게인트랜지스터(CGT)와 연결트랜지스터(CT)가 턴-온된 상태에서 제1 플로팅노드(FD1)의 커패시턴스, 제2 플로팅노드(FD2)의 커패시턴스 및 제3 플로팅노드(FD3)의 커패시턴스의 합을 이용해 제1 내지 제3 노드에 공유된 전하들을 전압으로 변환할 수 있다. 제4 컨버전게인은 컨버전게인트랜지스터(CGT), 연결트랜지스터(CT)와 연결트랜지스터(CCT)가 턴-온된상태에서 제1 플로팅노드(FD1)의 커패시턴스, 제2 플로팅노드(FD2)의 커패시턴스, 제3 플로팅노드(FD3)의 커패시턴스 및 저장커패시터(OFC)의 커패시턴스의 합을 이용해 제1 내지 제3 플로팅노드(FD1, FD2, FD3)와 저장커패시터(OFC)에 공유된 전하들을 전압으로 변환할 수 있다. 제4 컨버전게인은 제3 컨버전게인 보다 작은 값일 수 있다.

[0078] t7 이후에 연결제어신호(CS)를 하이레벨로 전환해서 연결트랜지스터(CT)를 턴-온 하고 노출 구간(EIT)에 제2 전송제어신호(STG)의 토글링에 의해 제2 플로팅노드(FD2)에 전송된 전하들을 제3 플로팅노드(FD3)와 제1 플로팅노드(FD1)에 공유한다. 또한 제2 전송제어신호(STG)를 토글링하여 노출 구간(EIT)의 마지막 제2 전송제어신호(STG) 토글링 이후 제2 포토다이오(SPD)에 축적된 전하들을 제1 내지 제3 플로팅노드(FD1~FD3)에 전송한다. t8에서, 제3 컨버전게인의 제3 출력신호(S03)를 컬럼 라인으로 출력한다.

[0079] 제3 출력신호(S03)를 출력한 t8 이후, 커패시터연결제어신호(CCS)를 하이레벨로 전환해서 커패시터연결트랜지스터(CCT)를 턴-온하여 노출 구간(EIT)에 저장커패시터(OFC)에 저장된 전하들을 제1 내지 제3 플로팅노드(FD1~FD3)에 전송하고 공유한다. t9에서, 제4 컨버전게인의 제4 출력신호(S04)를 컬럼 라인으로 출력한다.

[0080] 제4 출력신호(S04)를 출력한 t9 이후에 CGT, CT, STG, CCT가 모두 턴온된 상태에서 리셋제어신호(RS)를 토글링하여 FD1, FD2, FD3, OFC 및 SPD에 전하들을 모두 제거한다. t10에서 제4 컨버전게인의 제4 리셋신호(R4)를 컬럼라인으로 출력한다.

[0081] t10 이후에 STG와 CCS를 로우 레벨로 전환한 후, t11에서 제3 컨버전게인의 제3 리셋신호(R3)를 출력한다.

[0082] 도 1a의 ADC블록(130)에서 S04와 R4를 이용한 제2 방식의 첫번째 CDS 동작과 S03와 R3를 이용한 제2 방식의 두번째 CDS 동작을 통해 각각 제3 서브디지털신호(SD3)와 제4 서브디지털신호(SD4)를 생성할 수 있다. 제2 방식의

CDS 동작은 픽셀의 신호 레벨을 먼저 입력 받은 후 그 픽셀을 리셋 한 후 리셋 레벨을 입력받아 CDS를 진행하는 방식이다. 제2 방식 CDS는 제1 CDS 방식과 달리 리셋을 먼저 하지 않고 노출 구간(EIT)에 제2 포토다이오드 (SPD)에서 생성되고 제2 전송트랜지스터(STT)를 통해 제2 플로팅노드(FD2)에 전송된 전하들을 제3 출력신호 (SO3)로 활용하기 때문에 제2 포토다이오드(SPД)의 전하 포화 용량이 커지는 효과를 얻을 수 있다.

- [0083] 상기 리드 동작 구간(RD0)에서 픽셀은 컬럼 라인으로 R2, R1, S01, S02, S03, S04, R4, 및 R3를 순차적으로 출력하고, 도 1a의 ADC블록(130)에서 SPD와 관련된 출력신호인 제3 및 제4 서브출력신호신호를 기초로 제2 방식의 CDS를 통해 제3 및 제4 서브디지털신호(SD3, SD4)를 생성할 수 있다.
- [0084] 상기 제1 내지 제4 서브디지털신호들(SD1~SD4)은 리드 아웃 구간(RD0) 이후 신호처리부(190)로 전송되고 신호처리부(190)는 수신한 제1 내지 제4 서브디지털신호들(SD1~SD4)을 병합하여 최종 디지털이미지신호(FDIS)를 생성할 수 있다.
- [0085] 도 6은 도 2의 픽셀의 제2 모드의 동작 타이밍도이다. 도 6의 동작 타이밍도는 도 5의 제1 포토다이오드(LPD) 리드구간(RD_L)과 제2 포토다이오드(SPД)의 리드구간(RD_S) 사이에 제1 포토다이오(LPD)의 신호를 한 번 더 출력하는 추가리드구간(RD_L1)을 더 포함하는 것을 제외하고는 도 5와 동일하다.
- [0086] 추가리드구간(RD_L1)은 제1 포토다이오드(LPD) 리드구간(RD_L)에서 R2, R1, S01 및 S02가 출력되는 t6 이후부터 제1 플로팅노드(FD1)와 제3 플로팅노드(FD3)에 전송된 LPD에서 생성된 전하들을 리셋하는 t7 전까지의 시간 구간에서 진행된다. t6 이후 컨버전게인트랜지스터(CGT)가 턴-온된 상태에서 제1 전송제어신호(LTG)를 토글링하여 t5 이후의 LTG 토글링 이후에 제1 포토다이오드(LPD)에서 생성된 전하들을 제1 플로팅노드(FD1)와 제3 플로팅노드(FD3)에 추가 전송한다. t11에서, 제2 컨버전게인으로 제1 플로팅노드(FD1)와 제3 플로팅노드(FD3)의 전하들을 변환하여 제5 출력신호(SO5)를 출력한다. t11 이후에 RS를 토글링하여 FD1과 FD3을 리셋한 후 t12 시점에 제2 컨버전게인으로 제5 리셋신호(R5)를 출력한다. ADC 블록에서 SO5와 R5를 이용한 제2 방식의 CDS 동작을 통해 제5 서브디지털신호(SD5)를 생성할 수 있다.
- [0087] 추가리드구간(RD_L1)에 출력되는 제5 서브출력신호(SO5)는 제2 서브출력신호(SO2)보다 LPD에서 생성된 더 많은 전하들을 이용하여 더 밝은 이미지신호를 표현할 수 있는 효과를 얻을 수 있다.
- [0088] 도 7은 본 발명의 실시예에 따른 이미지 센서에 적용 가능한 픽셀의 회로도이다.
- [0089] 도 7을 참조하면, 픽셀(700)은 도 2의 픽셀(200)과 달리, 제2 플로팅 노드(FD2)와 제3 플로팅노드(FD3) 사이에 연결된 제1 및 제2 연결트랜지스터들(CT1, CT2)을 포함한다. 제1 및 제2 연결트랜지스터들(CT1, CT2)사이의 추가플로팅노드(FD2_S)가 더 형성된다. 픽셀(700)은 제2 포토다이오드(SPД)에서 생성된 전하들을 제1 내지 제3 플로팅노드(FD1~3)와 저장커패시터(OFC)의 커패시턴스 합에 더해서 추가플로팅노드(FD2_S)의 커패시턴스를 더 추가하여 제2 포토다이오드(SPД)의 감도를 더 세밀하게 조절 할 수 있다.
- [0090] 픽셀(700)은 도 2의 픽셀(200)과 달리, 커패시터연결트랜지스터(CCT)가 제2 플로팅노드(FD2)에 연결된다. 노출 구간에 제2 포토다이오드(SPД)에서 생성된 전하들의 제1 부분을 오버플로우트랜지스터(OT)를 통해서 제거하고 제2 부분을 STT와 CCT를 통해 저장커패시터(OFC)에 저장하고, 제3 부분을 STT와 CT1, CT2를 통해 FD2와 FD3에 저장할 수 있다.
- [0091] 도 8은 도 7의 픽셀의 제2 모드의 동작 타이밍도이다.
- [0092] 도 8을 참조하면, 픽셀(700)의 동작 구간은 도 5 및 도 6과 같이 리셋 구간(Reset), 노출 구간(EIT)과 리드 아웃 구간(RD0)을 포함한다.
- [0093] 리셋 구간(Reset)은 RS와 CGS가 하이레벨을 유지한 상태에서 LTG가 토글링하는 LPD 셔터 구간(t0~t1)과 제1 및 제2 연결트랜지스터들(CT1, CT2)의 제어신호인 CS와 CS_S와 STG 및 CCS를 토글링하는 SPD 셔터 구간(t1~t2)을 포함한다. LPD 셔터 구간에는 LPD가 리셋된다. SPD 셔터 구간에서 제1 내지 제3 플로팅노드(FD1~FD3), 추가플로팅노드(FD2_S) 및 SPD가 리셋 된다.
- [0094] 노출 구간(EIT)은 RS 및 CGS는 하이레벨로, LTG를 로우레벨로 유지한 상태에서 오버플로우제어신호(OGS), 제2 전송제어신호(STG), 커패시터연결제어신호(CCS) 및 추가연결신호(CS_S)를 각각 복수회 토글링 할 수 있다. LPD는 노출 구간(EIT)에 수신된 빛에 의해 전하들을 생성하고 축적할 수 있다. SPD에서 노출 구간(EIT)에 수신된 빛에 의해 생성된 전하들의 제1 부분은 OGS의 토글링의 하구간에 OT를 통해 제거되고, 제2 부분은 STG가 토글링하고 CCS가 함께 토글링하는 구간에서는 STT와 CCT를 통해 OFC에 저장되고, 제3 부분은 STG가 토글링하고 CS_S가 함께 토글링하는 구간에서 STT와 제1 연결트랜지스터(CT1)을 통해 추가플로팅노드(FD2_S)에 전송된다.

상기 STG 토글링의 하이레벨 구간의 폭은 상기 CCS의 하이레벨 구간의 폭보다 클 수 있다. 상기 STG 토글링 동안의 하이레벨 구간의 폭은 상기 CS_S의 하이레벨 구간의 폭보다 클 수 있다

- [0095] 노출 구간(EIT)에 OGS의 토글링 횟수 또는 각 토글링시 하이레벨 지속 시간을 조정하여 SPD에서 생성되는 전하들 중에 OT를 통해 제거되는 상기 제1 부분의 양을 조정할 수 있다. 노출 구간(EIT)에 CCS의 토글링 횟수, 각 토글링시 하이레벨 지속 시간 및 STG의 토글링 중첩시간을 조정하여 SPD에서 생성되는 전하들 중에 OFC에 저장되는 상기 제2 부분의 양을 조정할 수 있다. 노출 구간(EIT)에 CS_S의 토글링 횟수, 각 토글링시 하이레벨 지속 시간 및 STG의 토글링 중첩시간을 조정하여 SPD에서 생성되는 전하들 중에 추가플로팅노드(FD2_S)에 저장되는 상기 제3 부분의 양을 조정할 수 있다. 또한 STG의 하이레벨 구간 중 CCS와 CS_S의 하이레벨과 중첩되지 않는 구간을 조절하여 FD2에 저장되는 전하량을 조절할 수 있다.
- [0096] 리드 아웃 구간(RDO)은 도 6의 리드 아웃 구간과 동일하게 RD_L, RD_L1 및 RD_S를 포함한다. RD_L, RD_L1 구간의 제어신호들은 CS_S를 로우레벨로 유지하는 것을 제외하고는 도 6의 제어신호들의 움직임과 동일하다. t7 시점에 FD1과 FD3에 전송된 LPD에서 생성된 전하들을 제거한다. t7 이후에 CS, CS_S를 하이레벨로 전환하여 노출 구간(EIT)에 SPD로부터 FD2와 FD2_S에 전송된 전하들과 STG를 토글링하여 EIT 구간 이후에 SPD에서 생성된 전하들을 FD3와 FD1에 공유한다. 이후 t8 시점에 제3 컨버전게인으로 제3 출력신호(SO3)를 출력한다. 제3 출력신호(SO3)를 출력한 후 CCS를 하이레벨로 전환하여 저장커패시터(OFC)에 저장된 전하들과 STG를 토글링하여 SPD에 생성된 전하들을 FD3와 FD1에 공유한다. t9 시점에 제4 컨버전게인으로 제4 출력신호(SO4)를 출력한다. 제4 출력신호(SO4)를 출력한 이후에 RS를 토글링하여 저장커패시터(OFC)와 제1 내지 제3플로팅노드(FD1~FD3)와 추가플로팅노드(FD2_S)를 모두 리셋한다. t10 시점에 제4 출력신호(SO4)에 대응하는 제4 리셋신호(R4)를 출력한다. 제4 리셋신호(R4)가 출력된 이후에 CCS를 로우레벨로 전환하여 저장커패시터(OFC)를 제2 플로팅노드(FD2)로부터 분리한다. t11 시점에 제3 출력신호(SO3)에 대응하는 제3 리셋신호(R3)를 출력한다.
- [0097] 이후 ADC 블록에서 서브디지털신호들(SD1~SD5)를 생성하는 것은 도 6의 설명과 동일하므로 생략한다.
- [0098] 도 8의 추가리드구간(RD_L1)은 모드설정레지스터(도 1의 160)가 제1 모드로 설정된 경우에는 생략될 수 있다.
- [0099] 도 9는 실시예에 따른 이미지 센서에 적용 가능한 단위 픽셀의 회로도이다.
- [0100] 도 9를 참조하면, 픽셀(900)은 도 2의 픽셀(200)과 비교해서, 제2 전송트랜지스터(STT)가 생략된 것을 제외하고는 동일한 구조를 갖는다.
- [0101] 도 10은 도 9의 픽셀의 제1 모드의 동작 타이밍도이다.
- [0102] 도 10을 참조하면, 픽셀의 동작 구간은 도 5 및 도 6과 같이 리셋 구간(Reset), 노출 구간(EIT)과 리드 아웃 구간(RDO)을 포함한다.
- [0103] 리셋구간(Reset)은 RS와 CGS가 하이레벨을 유지한 상태에서 LTG를 토글링하는 LPD 서터 구간(t0~t1)과 연결트랜지스터들(CT)의 제어신호 CS와 커패시터연결트랜지스터(CCT)의 제어신호 CCS를 토글링하는 SPD 서터 구간(t1~t2)을 포함한다. SPD 서터 구간에서 제1 플로팅노드(FD1), 제3 플로팅노드(FD3), 저장커패시터(OFC) 및 SPD들이 리셋 된다.
- [0104] 노출 구간(EIT)에는 RS 및 CGS는 하이레벨로 LTG를 로우레벨로 유지한 상태에서 OGS, CCS 및 CS를 각각 복수회 토글링 할 수 있다. SPD에서 노출 구간(EIT)에 수신된 빛에 의해 생성된 전하들의 제1 부분은 OGS의 토글링의 하이구간에 OT를 통해 제거되고, 제2 부분은 CCS가 토글링하는 구간에서는 CCT를 통해 OFC에 저장되고, 제3 부분은 CS가 토글링하는 구간에 연결트랜지스터(CT)을 통해 제3플로팅노드(FD3)에 전송된 후 RT를 통해 제거된다. 상기 CS 토글링 시점과 상기 CCS 토글링 시점은 중복되지 않을 수도 있다.
- [0105] 노출 구간(EIT)에 OGS의 토글링 횟수 또는 각 토글링시 하이레벨 지속 시간을 조정하여 SPD에서 생성되는 전하들 중에 제거되는 상기 제1 부분의 양을 조정할 수 있다. 노출 구간(EIT)에 CCS의 토글링 횟수, 각 토글링시 하이레벨 지속 시간 및 STG의 토글링 중첩시간을 조정하여 SPD에서 생성되는 전하들 중에 OFC에 저장되는 상기 제2 부분의 양을 조정할 수 있다. 노출 구간(EIT)에 CS의 토글링 횟수, 각 토글링시 하이레벨 지속 시간을 조정하여 SPD에서 생성되는 전하들 중에 제3플로팅노드(FD3)를 통해 제거되는 상기 제3 부분의 양을 조정할 수 있다.
- [0106] 리드 아웃 구간(RDO)은 도 5의 리드 아웃 구간과 동일하게 RD_L 및 RD_S를 포함하고, RD_L 구간의 제어신호들의 움직임도 동일하다. RD_S 구간에서 연결트랜지스터(CT)의 제어신호 CS는 하이레벨을 유지한다. t8에서는 제3 컨버전게인으로 SPD에 축적된 전하들을 변환하여 SO3를 출력하고 t9에서는 OFC에 저장된 전하들과 SPD에서 생성된 전하들을 제4 컨버전게인으로 변환하여 SO4를 출력한다. SO4를 출력한 후에 SO4에 대응하는 R4와 SO3에 대응하

는 R3을 출력한다.

- [0107] 이후 ADC 블록에서 서브디지털신호들(SD1~SD4)를 생성하는 것은 도 5의 설명과 동일하므로 생략한다.
- [0108] 도 9의 픽셀(900)이 적용되는 이미지 센서의 모드설정레지스터(160)가 제2 모드로 설정된 경우에는 도 10의 타이밍도에서 RD_L과 RD_S 사이에 도 6의 RD_L1과 같이 LPD에서 생성된 전하를 한 번 더 읽는 동작이 추가될 수 있다.
- [0109] 도 11은 실시예에 따른 픽셀들간의 연결 상태를 나타낸다.
- [0110] 도 11을 참조하면, 서로 열 방향으로 인접한 두개의 픽셀들(PX0, PX1)이 동일한 컬럼 라인에 연결되고 두개의 픽셀들(PX0, PX1)은 픽셀연결트랜지스터(PCT)에 의해 연결될 수 있다. 제1 픽셀(PX0)은 제1 행(N)에 배치되고 제2 픽셀(PX1)은 제2 행(N-1)에 배치될 수 있다. 상기 제2 행(N-1)은 상기 제1 행(N)보다 먼저 리드 동작이 일어나는 행들 중에서 어느 하나 일 수 있다.
- [0111] 상기 픽셀 각각은, 도 2의 픽셀(200)과 비교해서, 커패시터연결트랜지스터(CCT)가 제2 플로팅노드(FD2)에 연결되는 것을 제외하고는 동일한 구조이다. 그러나 제2 포토다이오드(SPD)와 커패시터연결트랜지스터(CCT)의 연결은 도 2와 같이 커패시터연결트랜지스터(CCT)가 제2 포토다이오드(SPD)의 음극에 연결될 수 있다.
- [0112] 픽셀연결트랜지스터(PCT)는 제1 픽셀(PX0)의 제3 플로팅노드(FD3)와 제2 픽셀(PX1)의 제3 플로팅노드(FD3) 사이에 배치되고, 픽셀연결제어신호(PCS)에 의해 응답해서 제어될 수 있다. 즉, 픽셀연결트랜지스터(PCT)가 턴-온되면 두 픽셀의 플로팅 노드들의 정전용량이 더해져 더 큰 정전용량으로 컨버전 계인을 조절 할 수 있다.
- [0113] 도 12는 도 11의 픽셀들의 연결 구조에서 N번째 행의 픽셀을 위한 제2모드의 동작 타이밍도이다.
- [0114] 도 12를 참조하면, 리셋 구간, 노출 구간, 제1 포토다이오드(LPD) 리드 구간(RD_L), 제1 포토다이오(LPD)의 신호를 한 번 더 출력하는 추가리드구간(RD_L1)과 제2 포토다이오드(SPD)의 리드 구간(RD_S)을 포함한다. 리셋 구간과 노출 구간은 도 5의 동작과 동일할 수 있다. 특히, 노출 구간에서는 OGS, CCS, STG의 반복적인 토글링 하이구간에 따라 SPD에서 생성된 전하들 중 OT를 통해 제거되는 전하들, OFC에 저장되는 전하들 및 STT를 통해 제2 플로팅노드(FD2)에 저장되는 전하들의 양을 조절 할 수 있다.
- [0115] 제1 포토다이오드(LPD) 리드(RD_L) 구간(t3~t6)의 제어신호들이 도 5의 구간과 동일하게 제어되어 LPD에서 생성된 전하들을 제1 컨버전계인, 제2 컨버전계인으로 R2, R1, S01 및 S02를 생성한다. 이 구간에 픽셀연결제어신호(PCS)는 로우레벨로 PCT는 턴-오프 된다.
- [0116] t6 시점 이후에 픽셀연결제어신호(PCS)는 하이레벨로 전환되어 PCT를 턴-온 한다. PCT가 턴-온된상태에서 N-1번째 픽셀(PX1)의 CGS, CS가 하이레벨이므로 PX1의 FD2, FD3, FD1이 PX0의 FD3에 연결된다. t11 시점에 LPD에서 생성된 전하들을 더 큰 커패시턴스로 컨버전계인 변환하여 S05과 t12 시점에 S05에 대응하는 R5을 출력한다. 즉, 제2 컨버전계인보다 더 낮은 컨버전계인으로 S05과 R5를 생성하여 LPD에서 더 밝은 이미지를 센싱 할 수 있다.
- [0117] t7 시점에 PX0의 FD1과 FD3의 LPD의 전하들과 PX1의 FD3, FD2, FD1에 공유된 전하들을 모두 리셋한다. t8 시점에 CS는 하이레벨, CCS는 로우레벨 상태에서 SPD의 전하들과 FD2에 축적된 전하들을 제3 컨버전계인으로 변환하여 S03를 출력한다. S03 출력 이후에 CCS와 PCS를 하이레벨로 전환하여 PX0의 FD2, FD3, FD1에 공유된 전하들과 PX0의 OFC에 저장된 전하들을 N-1번째의 PX1의 FD3, FD2, FD1에 공유한 후 t9 시점에 제4 컨버전계인으로 변환하여 S04를 출력한다. 이후 t10에 S04와 대응하는 R4와 t11에 S03에 대응하는 R3 신호를 출력한다.
- [0118] 이후 ADC 블록에서 서브디지털신호들(SD1~SD5)를 생성하는 것은 도 6의 설명과 동일하므로 생략한다.
- [0119] 도 11의 픽셀들의 연결관계가 적용되는 이미지 센서의 모드설정레지스터(160)가 제1 모드로 설정된 경우에는 도 12의 타이밍도에서 RD_L1의 구간이 생략될 수 있다.
- [0120] 본 발명의 이미지 픽셀은 노출 구간에 수광 면적인 더 작은 포토다이오드에서 생성된 전하들 중 오버플로우트랜지스터를 통해서 제거하는 양과 저장커패시터에 저장하는 양을 조절하여, 더 높은 고조도에서 포토다이오드에서 생성된 전하들의 포화를 방지하여 높은 다이내믹 레인지(High Dynamic Range)를 확보할 수 있다.
- [0121] 또한 본 발명의 이미지 픽셀은 노출 구간에 수광 면적인 더 작은 포토다이오드에서 생성된 전하들 중 픽셀 내부 플로팅 노드에 전송된 전하들을 리셋하지 않고 이미지 신호로 변환하여 컨버전계인 변화에 따른 SNR(Signal to Noise) 저하를 최소화 할 수 있다.

[0122] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0123] PX: 픽셀 PA : 픽셀어레이

LPD : Large PD, SPD : Small PD

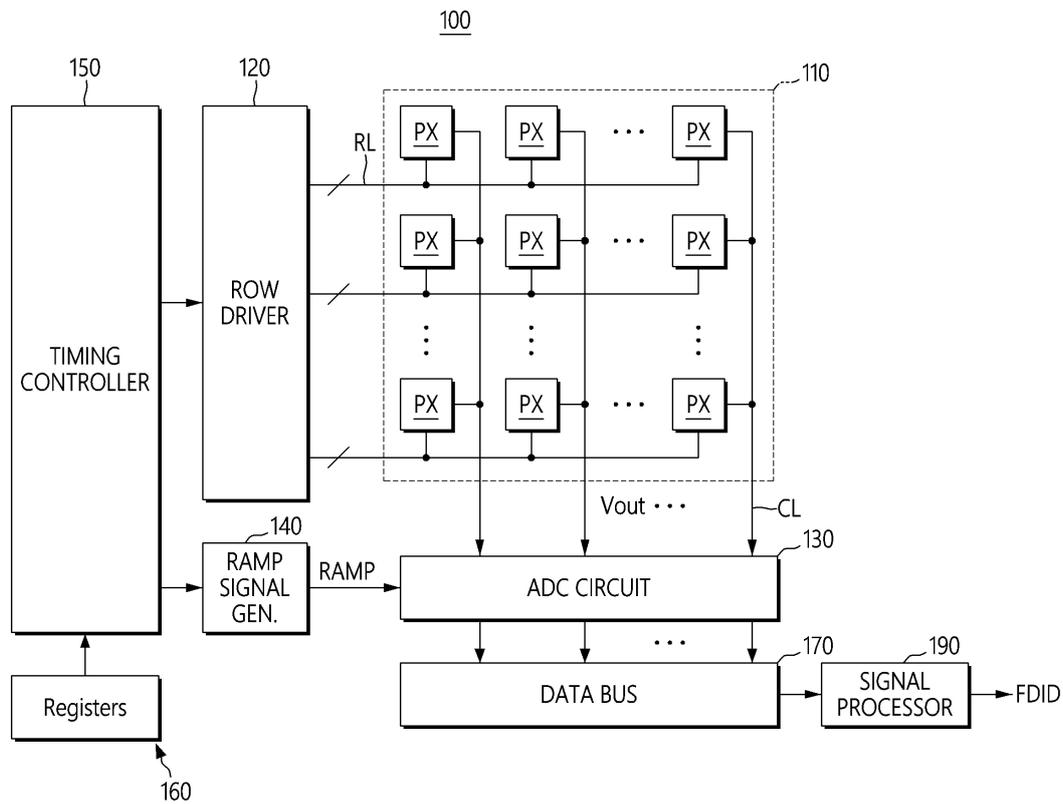
100, 100-1, 100-2 : 이미지 센서

FD : 플로팅 노드

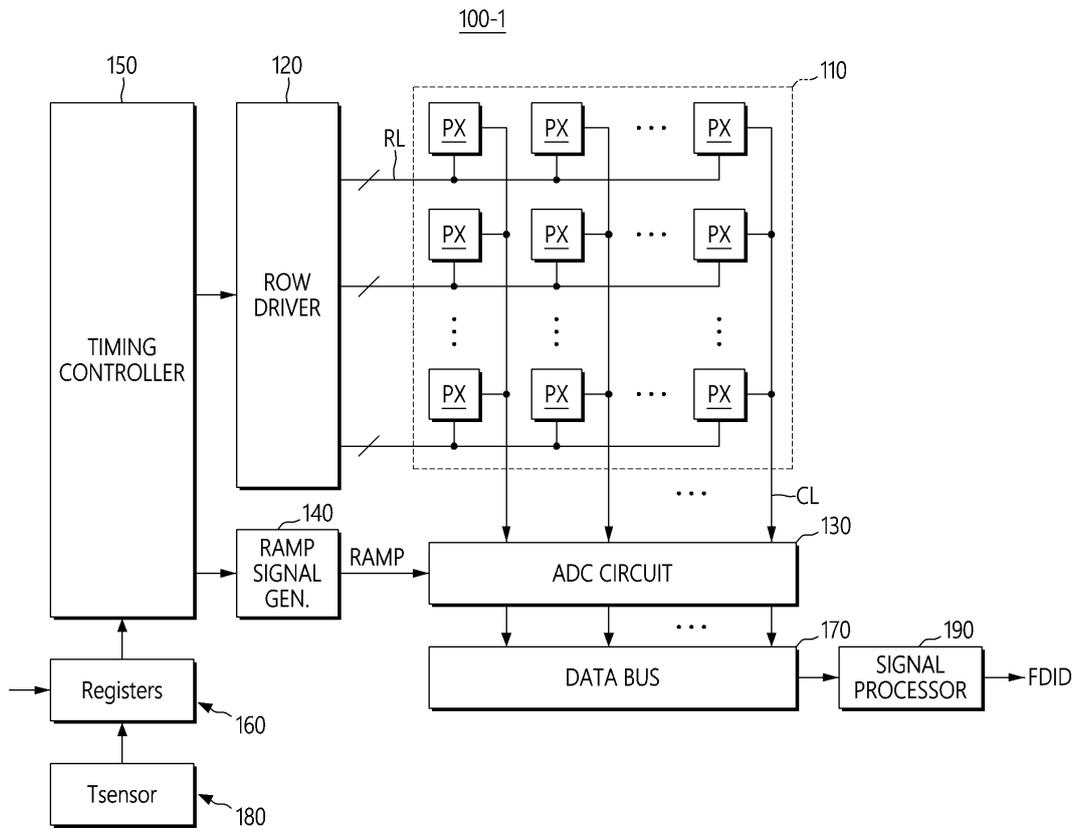
OFC : 저장커패시터

도면

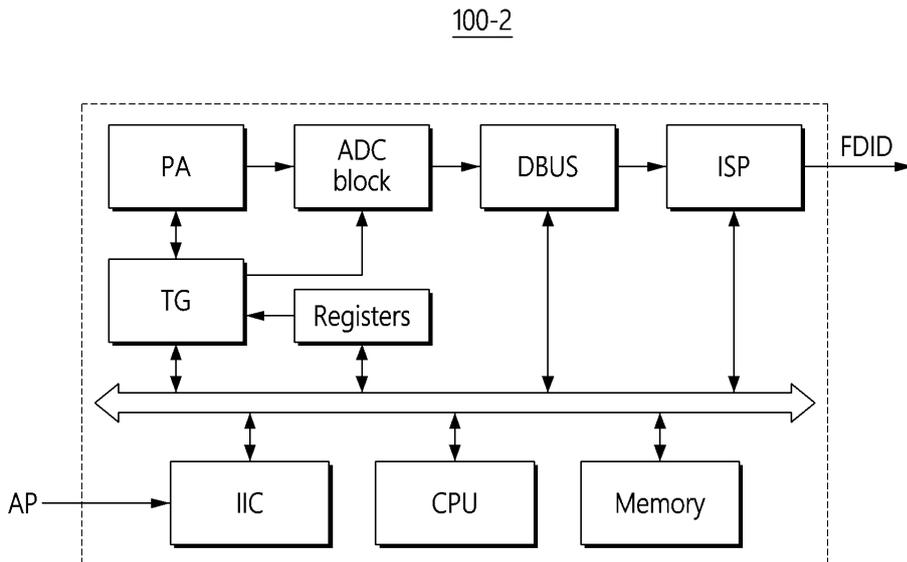
도면1a



도면1b

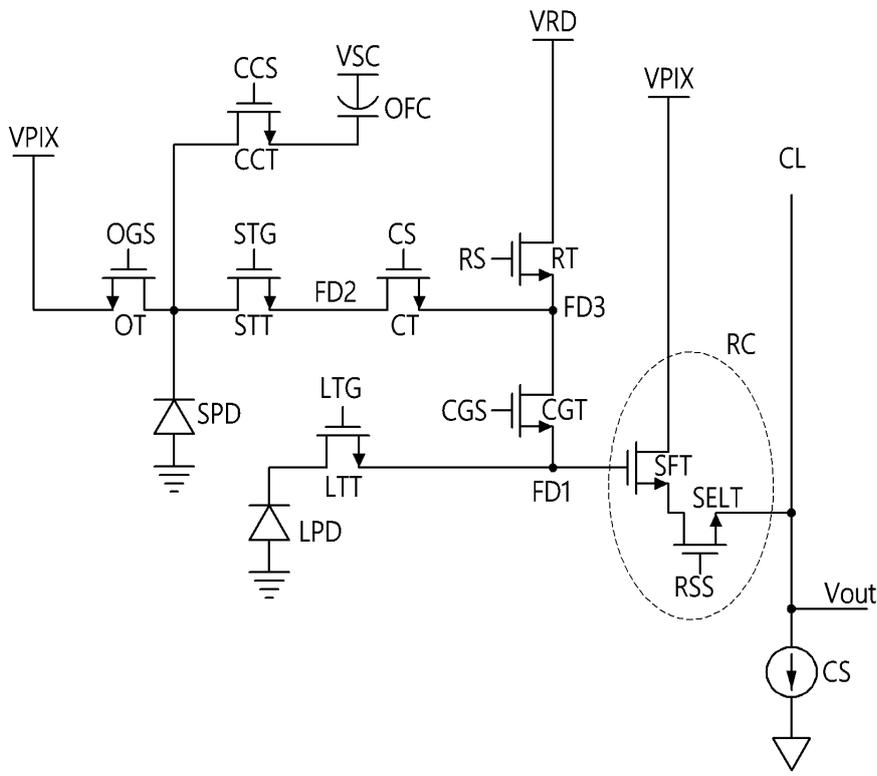


도면1c

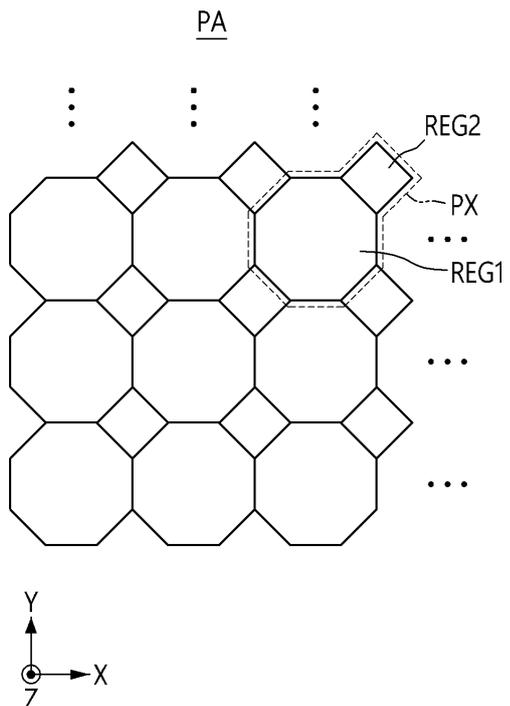


도면2

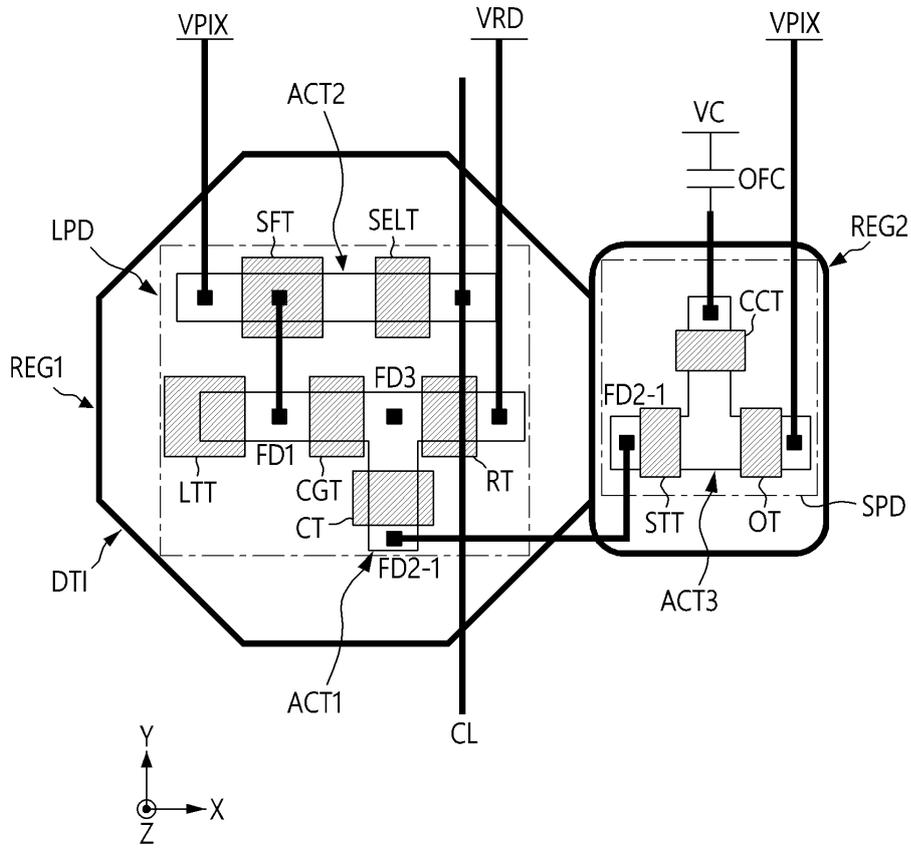
200



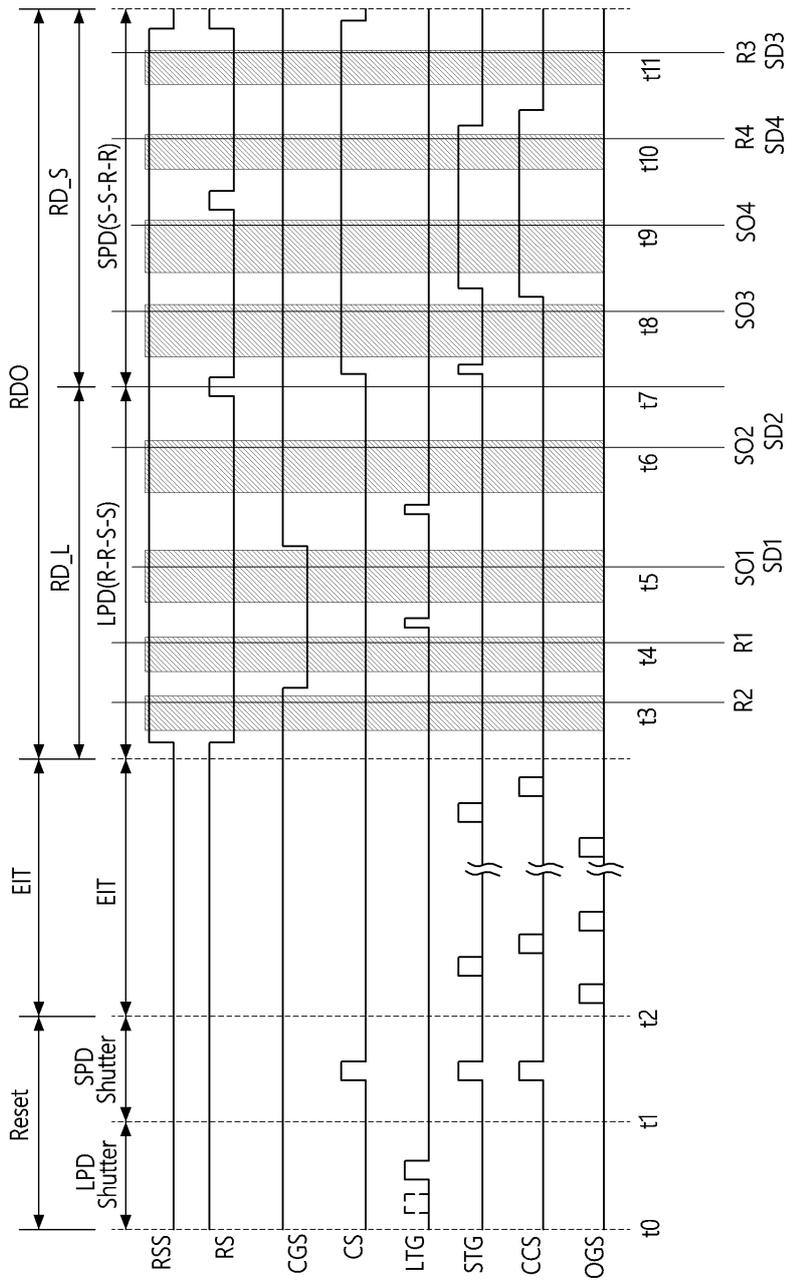
도면3



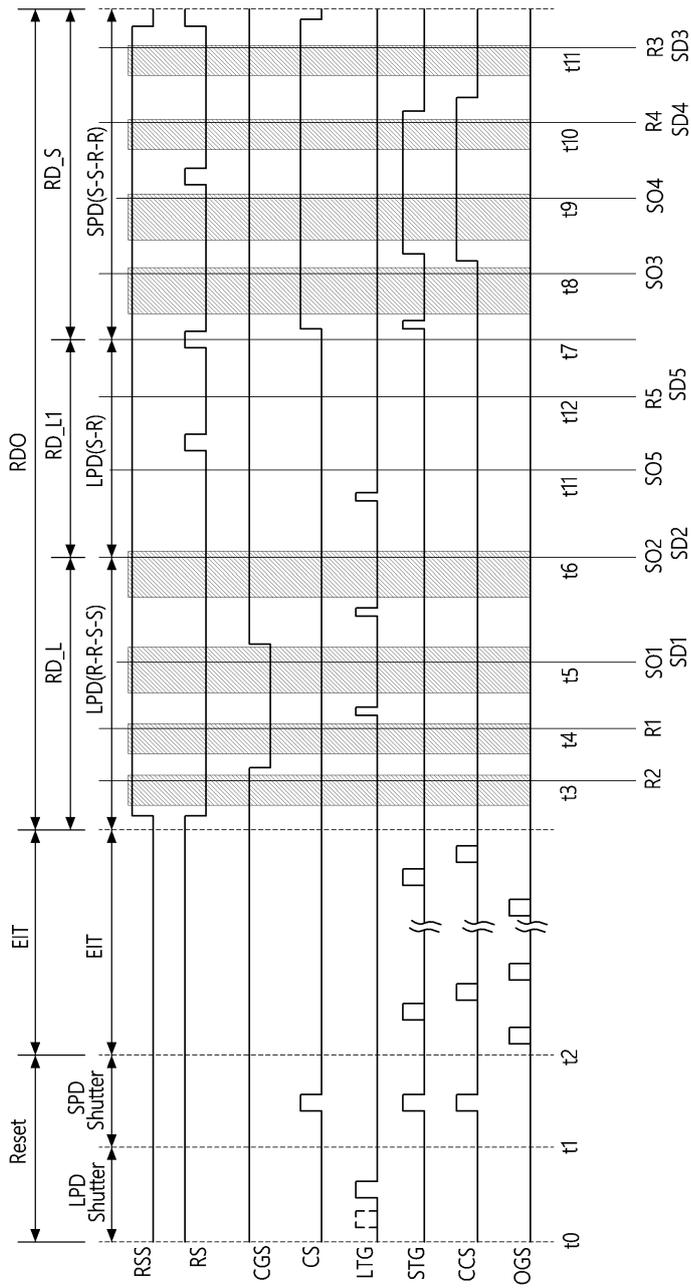
도면4



도면5

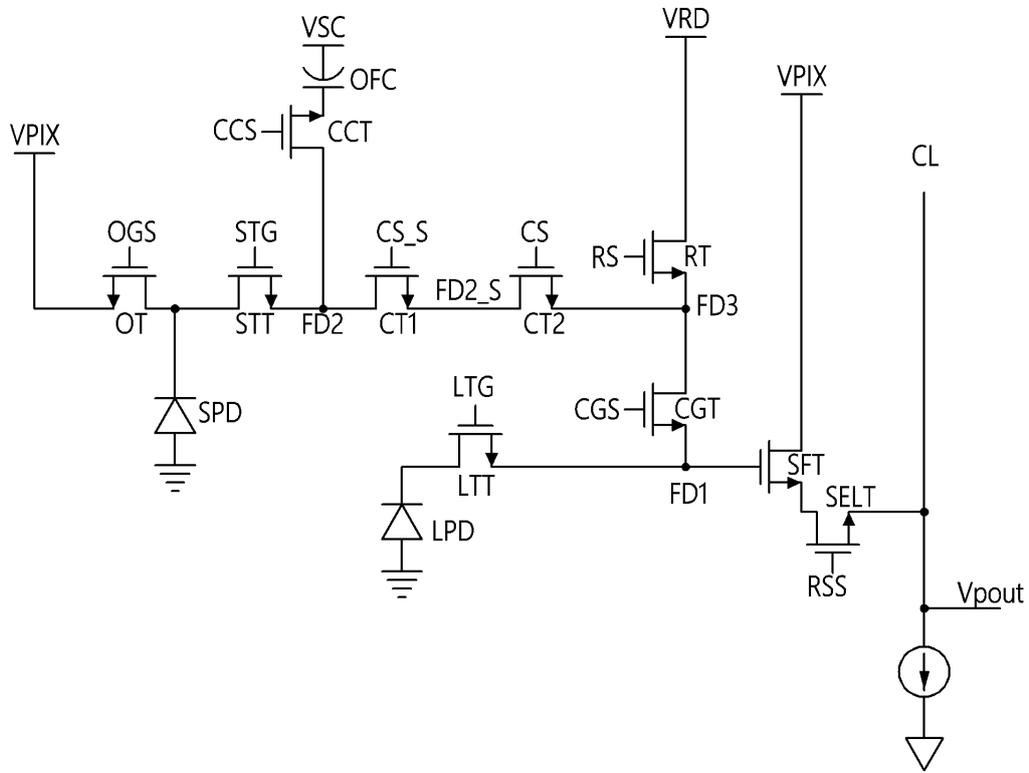


도면6



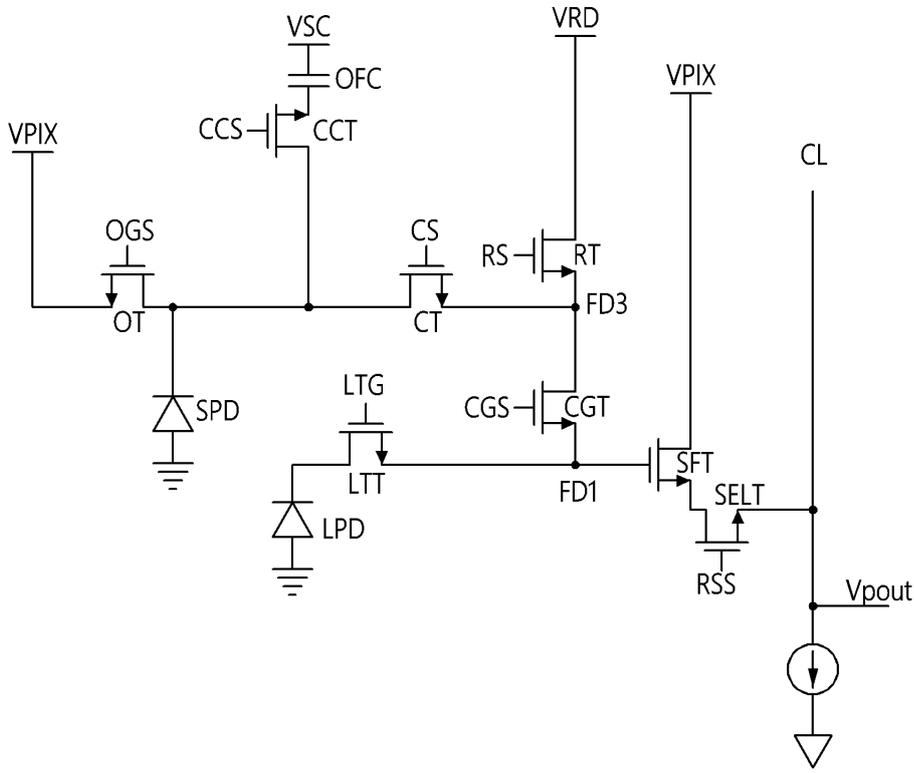
도면7

700

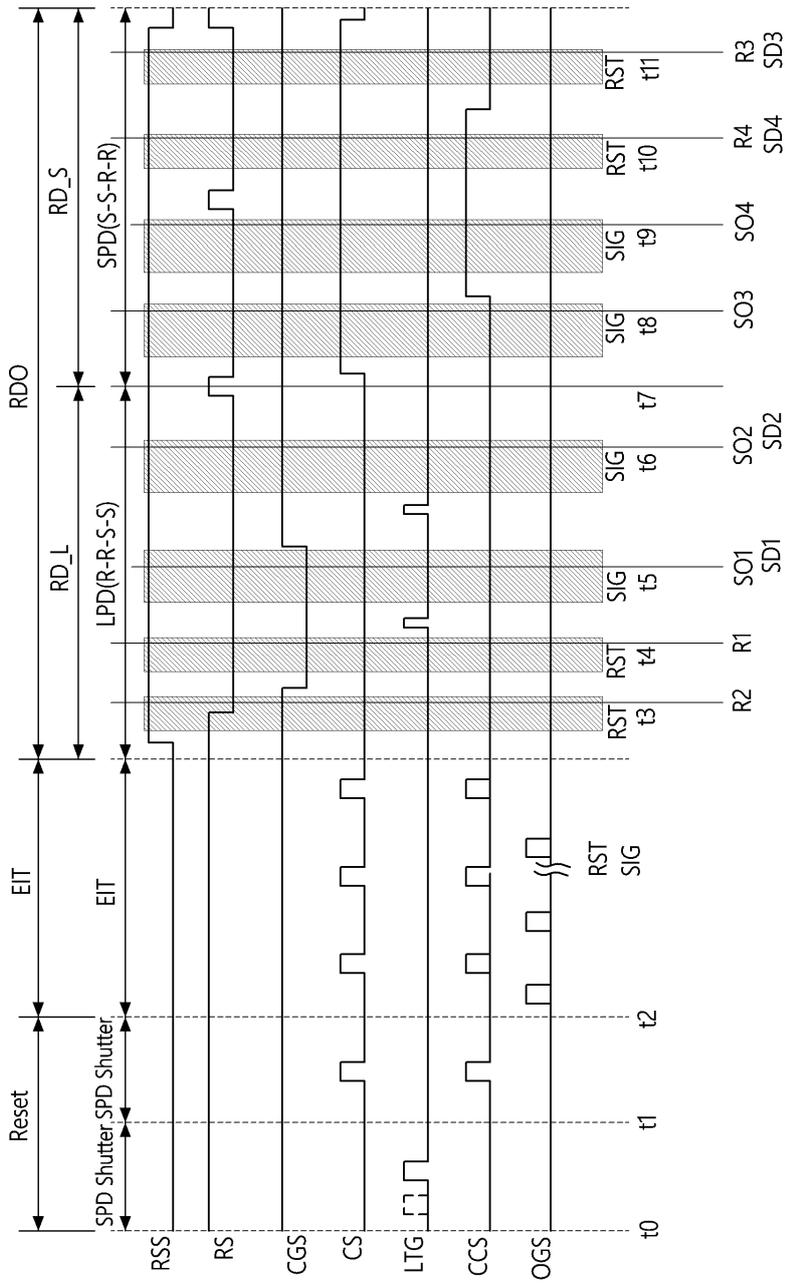


도면9

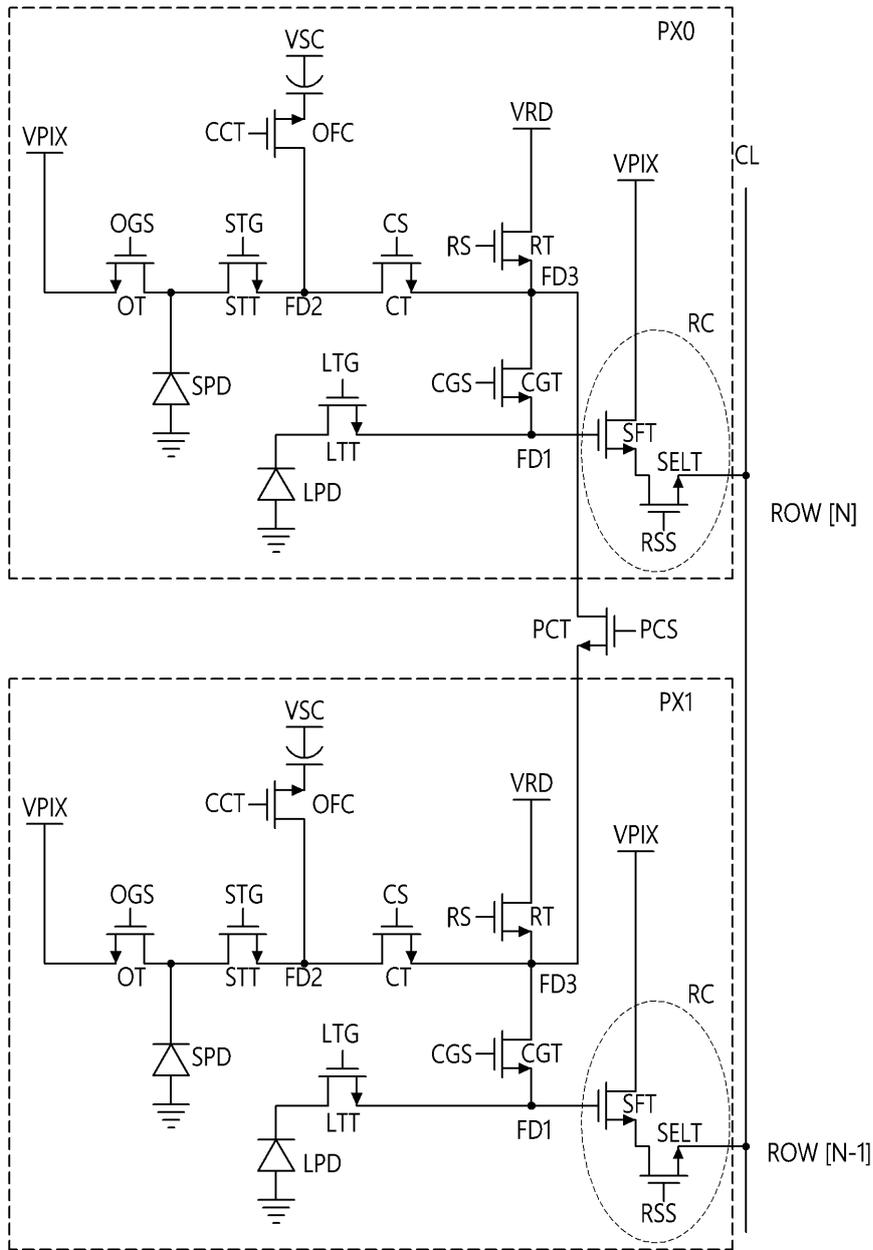
900



도면10



도면11



도면12

