

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 10-2006-0010704
H01L 29/78 (2006.01) (43) 공개일자 2006년02월02일

(21) 출원번호 10-2005-0135573
(22) 출원일자 2005년12월30일

(71) 출원인 안도열
경기 안양시 동안구 비산3동 354-10 삼호뉴타운아파트 1동309호
황성우
서울특별시 강남구 대치동 한보미도맨션 105동 1407호
황종승
서울 종로구 통의동 7-20

(72) 발명자 손승훈
경기 용인시 성북동 LG3차빌리지 301-315
안도열
경기 안양시 동안구 비산3동 354-10 삼호뉴타운아파트 1동309호
황종승
서울 종로구 통의동 7-20
황성우
서울특별시 강남구 대치동 한보미도맨션 105동 1407호

심사청구 : 있음

(54) 동일 평면 게이트 양자점 트랜지스터 제작

요약

본 발명은 소스와 드레인 채널 사이에 양자점이 있는 트랜지스터의 제작에 관한 것으로서 채널과 동일 평면에 구현한 게이트를 사용하여 채널과 양자점의 포텐셜을 조절한다. 상기 트랜지스터는 양자점, 소스, 드레인과 두 개의 포텐셜 조절 게이트로 구성되어있다. 제작된 양자점 트랜지스터는 두 개의 게이트에 적절하게 플러스 또는 마이너스 전압을 인가하여 동작한다. 인가되는 게이트 전압에 따라 공명 터널링 현상이 나타나는 특성이 있으며, 두 개의 조절 게이트 전압 합이 일정한 전압 이상에서는 단일 전자 터널링 현상이 나타나는 특성이 있으므로 일반적인 트랜지스터에 비하여 다양한 기능을 제공할 수 있는 트랜지스터를 제작할 수 있다.

대표도

도 2

색인어

양자점, 단일 전자, 공명 터널링, 트랜지스터, 나노, 전자소자

명세서

도면의 간단한 설명

도 1은 발명에 사용되는 이차원 전자층이 포함된 웨이퍼와 메사(mesa) 구조의 도면

도 2는 본 발명의 실시 완성된 양자점 소자의 도면

(도면의 주요부분에 대한 부호의 설명)

1: 반도체 기판

10: 메사 11: 이차원 전자층

21: 소스 22: 드레인

23: 채널 제어 게이트 24: 양자점 제어 게이트

25: 양자점

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 동일 평면 게이트 방식을 이용하여 양자점이 포함된 채널과 포텐셜을 조절하는 게이트를 구현한 양자점 전자 소자 제작 분야에 관한 것이다. 본 발명으로 제작된 트랜지스터는 소스와 드레인 사이의 양자점의 포텐셜(potential)을 조절하는 양자점 제어 게이트(24)와 채널의 포텐셜을 조절하는 채널 제어 게이트(23)로 구성되는 두 개의 포텐셜 조절 게이트에 일정한 전압을 인가하여 동작시킨다. 인가된 게이트 전압에 의하여 공명 터널링(resonance tunneling) 현상이 폭 넓은 게이트 전압 영역에 걸쳐 나타난다. 뿐만 아니라 두 개의 포텐셜 조절 게이트 합이 특정 전압 이상에서는 단일 전자 터널링(single electron tunneling) 효과가 잘 나타나는 것을 볼 수 있는 양자점 트랜지스터이다.

종래의 양자점을 이용한 나노 전자 소자는 이차원 전자층(two-dimensional electron system)을 가지고 있는 이중 접합 웨이퍼를 사용하는 것이 일반적이다. 이중 접합 웨이퍼를 사용한 양자점 소자의 일반적인 구조는 이중 접합 웨이퍼 위에 분리된 메탈 게이트를 올린 후 게이트에 음의 전압을 인가하여 양자점을 형성하는 분리 게이트 구조, 분자 빔 에피택시로 성장한 웨이퍼를 사용하여 수직방향의 양자점을 형성한 구조, 분자 빔 에피택시로 자발 형성 양자점을 성장한 후에 양자점 사이에 전극을 올린 구조 또는 동일평면 게이트로 구현한 양자점 구조(AFM)를 이용한 표면 산화, ion implantation을 이용한 절연)가 제작 연구되고 있다.

상기한 split gate 소자, 또는 vertical 구조의 소자를 포함하는 기존의 소자들은 채널을 미리 만들어 놓고 음의 바이어스(negative bias)를 인가하여 채널과 양자점의 크기를 조절하면서 동작하며, 기존의 in-plane-gate transistor도 마찬가지로 채널의 폭이 넓으므로 음의 바이어스를 인가하여 채널과 양자점의 크기를 조절하므로 채널을 지나가는 전류를 off 시키기 위해서는 별도의 바이어스가 필요한 단점이 있다. 그리고 상기와 같은 양자점 소자구조가 복잡하여 여러 단계의 공정을 거쳐야 하므로 제작 과정이 어려운 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 달리 전자빔 리소그래피와 산 용액으로 간단하게 구현할 수 있는 양자점 소자 제작에 관한 것이다. 발명된 양자점 소자는 외부에서 전압을 인가하여야만 채널 폭이 조절되는 기존 양자점 소자와 달리 표면 축퇴에 의하여 별도의 외부 바이어스가 없어도 채널이 오프된 상태에서 게이트 전압을 인가시키며 동작하는 구조이다. 소자의 특성으로는 공명 터널링 현상과 단일 전자 터널링 나타나는 것이며 제작과정 또한 간결하여 단순한 프로세스 공정으로 양자점 소자 제작이 가능하다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 양자점 소자의 제조는, 포토 리소그래피와 황산을 이용 전류층으로 쓰이는 이차원 전자층(11)을 내포한 메사(10); 전자빔 리소그래피와 산을 이용한 습식 에칭으로 구현한 소스(21), 드레인(22), 채널 제어 게이트(23), 양자점 제어 게이트(24)와 양자점(25)을 구비하는 것을 특징으로 한다.

본 발명에서 제공하는 동일 평면 게이트 양자점 트랜지스터의 제작 방법은 동일한 평면에 채널과 게이트를 구성하는 방법에 관한 것으로,

소자의 제작을 위해서는 이차원 전자층(10)이 있는 웨이퍼를 제작하는 단계; 와,

웨이퍼에 포토 리소그래피와 산을 이용하여 메사(11) 구조를 제작하는 단계; 와,

상기 메사(11)에 전자빔 리소그래피 방법을 사용하여 소스(21), 드레인(22), 채널 제어 게이트(23), 양자점 제어 게이트(24), 양자점(25)을 형성하는 단계; 와.

소스(21), 드레인(22)과 채널 제어 게이트(23), 양자점 제어 게이트(24)에 배선을 위한 패드 전극을 형성하는 단계를 포함하여 이루어진다.

이때, 이차원 전자층을 형성하기 위한 기술로는 분자선 에피택시(Molecular Beam Epitaxy), 화학 기상 에피택시(Chemical Vapour Epitaxy) 기술이 사용되는 것이 바람직하며, 이와 유사한 특성이 있는 기술도 사용될 수 있다.

또한, 메사(11) 구조를 형성하기 위한 방법으로는 황산을 사용하여 식각하는 것이 바람직하지만 이와 유사한 습식식각(wet etching)과 건식식각(dry etching)이 다양하게 사용될 수 있다.

또한, 본 발명에 있어서, 상기 양자점(25)이 포함된 전자가 흐르는 채널과 동일 평면에 구현된 채널 제어 게이트(23)와 양자점 제어 게이트(24)가 전기적으로 연결되어 전도되는 것을 방지하는 것이 무엇보다 중요하다. 따라서 전류층으로 쓰이는 이차원 전자층(10)과 다른 전극과의 분리를 위해 충분한 시간의 습식 식각을 요한다.

또한, 상기 소스(20), 드레인(21), 게이트(22,23)로 구성되는 금속 박막을 증착하는 기술로는 열 증착, 전자선 증착, RF 유도 가열 증착, 스퍼터링, 또는 이와 동일한 기능이 있는 방법을 사용하는 것이 바람직하다.

또한, 상기 금속 박막은 금(Au), 은(Ag), 알루미늄(Al), 구리(Cu) 또는 이와 유사한 전기 전도가 용이한 금속 재료가 사용될 수 있다.

이하, 첨부된 도 2 내지 도 3을 참조하면서 본 발명에 따른 동일 평면 게이트 양자점 트랜지스터 제작의 바람직한 실시 예를 당업자가 용이하게 실시할 수 있도록 상세하게 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정하는 것은 아니다.

도 1은 본 발명에 따르는 이차원 전자층이 포함된 웨이퍼와 메사(mesa) 구조의 도면이다.

도시한 바와 같이 박막 성장법으로 성장된 웨이퍼를 사용하여 이차원 전자층(11)을 포함하는 메사(10)를 포토 리소그래피와 산 용액을 이용한 습식식각 공정으로 제작한다.

상기 식각 공정에서 식각 시간이 부족하면 메사(10) 구조가 얇게 형성되어 이차원 전자층이 다른 전극과 완전히 분리되지 않게 되고, 식각 시간이 과도하면 채널의 폭이 지나치게 좁거나 없어지게 되므로 소정의 식각 시간을 정밀하게 제어하는 것이 바람직하다.

도 2는 본 발명의 실시 완성된 양자점 소자의 도면으로서,

도시된 바와 같이 상기 형성된 메사(10) 위에 전자빔 리소그래피와 습식 식각을 이용하여 소스(20), 드레인(21), 채널 제어 게이트(23)와 양자점 제어 게이트(24)를 만든다.

상기 메사(10) 구조를 제작하기 위하여 소스(21), 드레인(22), 게이트(23, 24), 양자점(25)의 모양과 배치가 구성되어 있는 마스크를 제작하고 포토 리소그래피 공정으로 식각할 부분을 노출하며, 표면에 남아 있는 감광제가 마스크의 역할을 하여 식각 공정을 수행한다.

기존의 소자들인 split gate 소자, 또는 vertical 구조의 소자는 채널을 미리 만들어 놓고 음의 바이어스를 인가하여 채널과 양자점의 크기를 조절하면서 동작 시키며, 이전에 나와 있는 in-plane-gate transistor도 채널의 폭이 넓어서 음의 바이어스를 인가하여 채널과 양자점의 크기를 조절한다.

본 발명으로 제작된 동일 평면 게이트 양자점 트랜지스터는 채널이 매우 좁아서 표면 축퇴(surface depletion)로 인하여 채널이 off 된 것과 동일한 효과가 있다. 따라서 본 발명으로 제작된 동일 평면 게이트 양자점 트랜지스터는 게이트에 양의 바이어스를 인가하여 축퇴된 채널을 on 시키는 형태이므로 off 상태를 유지하기 위한 바이어스가 필요 없는 단순한 구조를 특징으로 하고 있다.

본 발명으로 제작된 동일 평면 게이트 양자점 트랜지스터는 두 개의 게이트에 소정의 양 또는 음의 전압을 인가하여 동작 하게 되는데, 인가되는 게이트 전압에 따라 공명 터널링 현상이 나타나는 특성이 있으며, 두 개의 조절 게이트 전압 합이 일정한 전압 이상에서는 단일 전자 터널링 현상이 나타나는 특성이 있으므로 일반적인 트랜지스터에 비하여 다양한 기능을 제공할 수 있는 트랜지스터를 제작할 수 있는 특징이 있다.

공명 터널링이 일어나는 과정은, 채널 제어 게이트(23)에 소정의 바이어스를 가하여 채널을 부분적으로 on 상태로 만들고, 양자점 제어 게이트(24)를 제어하여 양자점의 에너지 준위를 이동시키게 되면 소스(21)와 양자점(25)의 에너지 준위의 일치로 인한 공명터널링(resonant tunneling) 현상이 일어나게 된다.

본 발명으로 제작된 동일 평면 게이트 양자점 트랜지스터는 수직 구조의 양자점에서 나타나는 공명 터널링 현상을 넓은 게이트 전압 영역에 걸쳐 볼 수 있으며, 이를 이용한 스위치 소자와 메모리 소자에 응용이 가능하다.

단일 전자 터널링이 일어나는 과정은, 채널 제어 게이트(23)에 가하여지는 바이어스가 어떤 전압 이상일 경우에는 축퇴되어 있던 채널이 모두 on 되면서 리소그래피로 제작한 물리적인 터널 배리어만 존재하게 되는데, 이때부터는 소스(21), 양자점(25), 드레인(22)로 구성된 단일 전자 트랜지스터와 동일한 상태이며 이 구조에서 단일 전자 터널링(single electron tunneling) 현상이 나타나게 된다.

이상을 통해 본 발명의 바람직한 실시 예를 설명하였으나, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 내에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 포함 하도록 구성되고자 한다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 양자점 트랜지스터의 제조 방법에 있어서는 다음과 같은 효과가 있다.

기존의 소자에 비해 단순한 공정을 통해 양자점 트랜지스터의 제작이 가능하다. 제작된 양자점 트랜지스터는 수직 구조의 양자점에서 나타나는 공명 터널링 현상을 넓은 게이트 전압 영역에 걸쳐 볼 수 있으며 이를 이용한 스위치 소자와 메모리 소자에 응용이 가능하다. 또한, 인가되는 조절 게이트 합이 특정 전압 이상에서는 단일 전자 터널링 효과를 볼 수 있다. 따라서 상기의 여러 물리적 효과를 이용한 다양한 양자 소자에 적용할 수 있다.

(57) 청구의 범위

청구항 1.

이차원 전자층; 이차원 전자층의 메사 구조; 메사 구조에 형성된 소스, 드레인, 게이트 금속 전극과 양자점; 을 구비하는 것을 특징으로 하는 평면 게이트 양자점 트랜지스터 소자의 제작 방법.

청구항 2.

제1항에 있어서,

양자점과 채널을 두 개의 조절 게이트를 사용하여 조절하는 것을 특징으로 하는 평면 게이트 양자점 트랜지스터 소자의 제작 방법.

청구항 3.

제1항에 있어서,

상기 양자점 소자는 양의 게이트 전압을 인가하여 채널을 형성시키는 것을 특징으로 하는 평면 게이트 양자점 트랜지스터 소자의 제작 방법.

청구항 4.

제1항에 있어서,

상기 양자점 소자는 인가하는 조절 게이트에 의해 공명 터널링이 광범위하게 나타나는 것을 특징으로 하는 평면 게이트 양자점 트랜지스터 소자의 제작 방법.

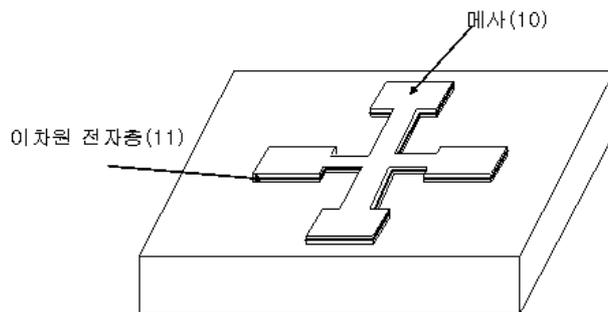
청구항 5.

제1항에 있어서,

두 개의 게이트 전압 합이 어떤 전압 이상에서는 단일 전자 터널링 효과가 나타나는 것을 특징으로 하는 평면 게이트 양자점 트랜지스터 소자의 제작 방법.

도면

도면1



도면2

