

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4479736号
(P4479736)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月26日(2010.3.26)

(51) Int.Cl.		F I		
HO 1 L 27/146 (2006.01)		HO 1 L 27/14		A
HO 4 N 5/335 (2006.01)		HO 4 N 5/335		E
		HO 4 N 5/335		U

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2007-52935 (P2007-52935)	(73) 特許権者	000002185
(22) 出願日	平成19年3月2日(2007.3.2)		ソニー株式会社
(65) 公開番号	特開2008-218648 (P2008-218648A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年9月18日(2008.9.18)	(74) 代理人	100094053
審査請求日	平成20年3月13日(2008.3.13)		弁理士 佐藤 隆久
		(72) 発明者	工藤 義治
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	柴山 将隆

最終頁に続く

(54) 【発明の名称】 撮像装置およびカメラ

(57) 【特許請求の範囲】

【請求項1】

入射光を信号電荷に変換する複数の光電変換部と、
 上記複数の光電変換部の各々で共有され、各光電変換部で得られた上記信号電荷を電圧に変換して出力するための複数のトランジスタと、
 を含む複数の共有ブロックを有し、
上記複数のトランジスタは、
上記光電変換部の上記電圧をリセットするリセットトランジスタと、
上記光電変換部の上記電圧を増幅する増幅トランジスタと、
 を含み、
各共有ブロック内におけるトランジスタ配置領域は、
上記リセットトランジスタが配置された第1配置領域と、上記増幅トランジスタが配置された第2配置領域とに分割され、かつ、配線され、
上記複数の共有ブロックは、
第1共有ブロックと、
上記第1共有ブロック内の配線方向に対して直交する方向に、上記第1共有ブロックに隣接して配置された第2共有ブロックと、
 を含み、
上記第1共有ブロックおよび上記第2共有ブロックは、
上記第1共有ブロック内の上記第1配置領域と上記第2共有ブロック内の上記第2配

10

20

置領域とが隣接し、互いに隣接した上記第 1 配置領域のゲート長方向の幅と上記第 2 配置領域のゲート長方向の幅との和が各配線方向の列間で合致するように、配線方向にずらして配列されている

撮像装置。

【請求項 2】

対角方向に隣接するように配置された上記複数の光電変換部は、

上記複数のトランジスタを共有する

請求項 1 記載の撮像装置。

【請求項 3】

配線方向に隣接するように配置された上記複数の光電変換部は、

上記複数のトランジスタを共有する

請求項 1 記載の撮像装置。

10

【請求項 4】

請求項 1 から 3 のいずれかに記載の撮像装置と、

上記撮像装置の撮像エリアに対して入射光を導く光学系と、
を有するカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CCD (Charge Coupled Device)、CMOS (Complementary Metal Oxide Semiconductor) センサなどの撮像素子を備えた撮像装置およびカメラに関するものである。

20

【背景技術】

【0002】

CMOS を利用した CMOS 撮像装置は、カメラ等の撮像素子として使われ、CCD 撮像装置では困難な一部読み出し等の機能を有し、撮像装置の低消費電力化や小型化に有利である。

【0003】

近年の CMOS 撮像装置の多画素化に伴い、画素の微細化が要求されている。しかしながら、CMOS 撮像装置は画素回路内にフォトダイオード、転送トランジスタ、リセットトランジスタ、増幅トランジスタやセレクトトランジスタ等の多くの駆動素子を有するため、画素寸法の縮小が難しい。

30

【0004】

画素の微細化に関する解決策の一つに、画素内のトランジスタを共有し、1画素あたりのトランジスタ数を低減させ、画素寸法を縮小させる方法がある（たとえば、特許文献 1 を参照）。たとえば、複数のフォトダイオードに対して転送トランジスタがそれぞれ配置され、これら複数のフォトダイオードと転送トランジスタに対してセレクトトランジスタ、リセットトランジスタおよび増幅トランジスタが共有される構成をとる。

トランジスタを共有しない場合には、一般的に 1 画素あたり 4 個のトランジスタを有するのに対し、4 画素で 3 個のトランジスタを共有すれば、トランジスタ数を 1 画素あたり 1.75 個に低減できる。なお、トランジスタの駆動方法等により、セレクトトランジスタを有しない構成もある。（たとえば、特許文献 2 を参照）。

40

【0005】

【特許文献 1】特開 2001 - 298177 号公報

【特許文献 2】特開 2006 - 54276 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

以上に述べた解決策は、複数の構成要素を共有するため構成要素数が低減されるが、各構成要素の形状、大きさ等によって各画素内のレイアウトは不均一となる。

50

【 0 0 0 7 】

次に、レイアウトの不均一性について説明する。

【 0 0 0 8 】

図 1 は、複数の構成要素を共有した場合のレイアウトの不均一性を説明するための図である。

図 1 に示すレイアウトでは、電荷電圧変換部 2 に対して対角方向に隣接する 2 個の光電変換部 1 が電荷電圧変換部 2 を共有し、これら光電変換部 1 がゲート長方向の幅がそれぞれ異なるトランジスタ領域 3 a (ゲート長方向の幅 L_{3a}) とトランジスタ領域 3 b (ゲート長方向の幅 L_{3b}) を共有するように配線 4 によって接続されている。ここで言うトランジスタ領域とは、画素を構成するトランジスタで形成される回路であり、たとえば、トランジスタ領域 3 a はリセットトランジスタで、トランジスタ領域 3 b は増幅トランジスタおよびセレクトトランジスタで形成されている。

10

【 0 0 0 9 】

画素を微細化した時、画素内のトランジスタがすべて配置されると、トランジスタのゲート長方向の幅 L が 1 画素の一辺の幅よりも長くなる。このような理由により、図 1 に示す配置レイアウトでは、トランジスタ領域が分割されて配置されている。

図 1 に示すような配置レイアウトの場合、共有するトランジスタの組み合わせによってトランジスタ領域の占有寸法が異なる。トランジスタ領域 3 a より占有寸法の大きいトランジスタ領域 3 b は、配置レイアウト上互いに干渉しやすく、このような干渉を防ぐためのトランジスタの配置は困難である。また、トランジスタ領域の占有寸法は、雑音特性に影響しやすく、占有寸法は大きいほど雑音特性がよい。

20

【 0 0 1 0 】

この占有寸法と雑音特性との関係について、次式を用いて説明する。

【 0 0 1 1 】

(数 1)

$$V_n^2 \propto 1 / (WL) \dots (1)$$

【 0 0 1 2 】

(1) 式は、電荷電圧変換部の電圧を増幅する増幅トランジスタについての $1/f$ 雑音量の一般式であり、電圧の雑音分散 V_n における 2 乗の平均値 V_n^2 が、増幅トランジスタの幅 W とゲート長 L の積によるゲート面積 WL に反比例することを示している。

30

【 0 0 1 3 】

したがって、(1) 式によれば、トランジスタ領域の占有寸法、たとえば増幅トランジスタのゲート面積 WL が大きいほど $1/f$ 雑音量は減少し、ランダム雑音の影響を受けにくい。

【 0 0 1 4 】

しかしながら、多画素化に伴って画素を縮小化する場合にはトランジスタ領域の占有寸法を縮小化する必要がある。この場合、特に増幅トランジスタの雑音特性は悪化し、また、ゲート界面における電荷のトラップ等によるランダム雑音も増加する。さらには、構成要素の寸法は、構成要素の配置レイアウトにも影響を与える。

【 0 0 1 5 】

構成要素の寸法により配置レイアウトが制限される場合には、製造プロセスの改善が制限要因の解消に有効な手段である。しかし、この制限要因解消のためには微細プロセスへの移行が必要とされる。それは、設備投資が前提であり、製造工程数が増加するという問題が発生する。さらに、CCD や CMOS 撮像装置では、画素部は画素部周辺の回路と異なる構造を有する場合が多く、開発コストが増加するという問題もある。

40

【 0 0 1 6 】

制限要因を解消するための別の手段として、前に述べた構成要素を共有して画素数を増加させる手段がある。しかしながら、この手段では、前述のレイアウトの不均一性が増すのに加え、離れた画素同士を配線するため配線のレイアウトが混雑し、さらには増幅トランジスタ入力部の浮遊ノード容量が増大して変換効率低下に繋がる。

50

【 0 0 1 7 】

したがって、構成要素の配置レイアウトを最適化することで、半導体基板上の面積利用率を上げ、可能な限りトランジスタ領域の占有寸法を大きくとる必要がある。

【 0 0 1 8 】

本発明は、半導体基板上の面積利用効率を上げ、トランジスタ領域の占有寸法を大きくとることが可能な撮像装置およびカメラを提供することにある。

【課題を解決するための手段】

【 0 0 1 9 】

本発明の第 1 の観点の撮像装置は、入射光を信号電荷に変換する複数の光電変換部と、上記複数の光電変換部の各々で共有され、各光電変換部で得られた上記信号電荷を電圧に変換して出力するための複数のトランジスタと、を含む複数の共有ブロックを有し、上記複数のトランジスタは、上記光電変換部の上記電圧をリセットするリセットトランジスタと、上記光電変換部の上記電圧を増幅する増幅トランジスタと、を含み、各共有ブロック内におけるトランジスタ配置領域は、上記リセットトランジスタが配置された第 1 配置領域と、上記増幅トランジスタが配置された第 2 配置領域とに分割され、かつ、配線され、上記複数の共有ブロックは、第 1 共有ブロックと、上記第 1 共有ブロック内の配線方向に対して直交する方向に、上記第 1 共有ブロックに隣接して配置された第 2 共有ブロックと、を含み、上記第 1 共有ブロックおよび上記第 2 共有ブロックは、上記第 1 共有ブロック内の上記第 1 配置領域と上記第 2 共有ブロック内の上記第 2 配置領域とが隣接し、互いに隣接した上記第 1 配置領域のゲート長方向の幅と上記第 2 配置領域のゲート長方向の幅との和が各配線方向の列間で合致するように、配線方向にずらして配列されている。

10

20

【 0 0 2 0 】

好適には、対角方向に隣接するように配置された上記複数の光電変換部は、上記複数のトランジスタを共有する。

【 0 0 2 1 】

好適には、配線方向に隣接するように配置された上記複数の光電変換部は、上記複数のトランジスタを共有する。

【 0 0 2 8 】

本発明の第 2 の観点のカメラは、請求項 1 から 3 のいずれか一に記載の撮像装置と、上記撮像装置の撮像エリアに対して入射光を導く光学系と、を有する。

30

【 0 0 2 9 】

本発明によれば、複数の光電変換部と複数のトランジスタで構成された共有ブロックにおいて、光電変換部を複数のトランジスタで共有し、複数のトランジスタにける占有寸法の大小が相違う位置に配置された複数の共有ブロックが交互に配列されている。

【発明の効果】

【 0 0 3 0 】

本発明によれば、半導体基板上の面積利用効率を上げ、トランジスタ領域の占有寸法を大きくとることができる。

【発明を実施するための最良の形態】

【 0 0 3 1 】

以下、本発明の実施形態を図面に関連づけて説明する。

40

【 0 0 3 2 】

図 2 は、本発明の実施形態に係る撮像装置の要部の一構成例を示すブロック図である。

【 0 0 3 3 】

図 2 に示す撮像装置 1 0 は、画素回路 (P I X E L) 1 1、画素アレイ部 (本発明の撮像エリアに対応) 1 2、水平スキャン回路 (H S C N) 1 3、アナログデジタル変換器 (A D) 1 3 1、垂直スキャン回路 (V S C N) 1 4、アナログフロントエンド部 1 5、出力バッファ 1 6、およびタイミングジェネレータ (T G) 1 7 によって構成されている。

【 0 0 3 4 】

画素アレイ部 1 2 は、たとえば光電変換部を含む画素回路 1 1 が所定の配列形態をもつ

50

てマトリクス状に配列されており、垂直スキャン回路14と画素配列の各行(ロウ)にリセット線RSTL、転送選択線TRFL、およびセレクト線SELLがそれぞれ接続され、画素配列の各行(カラム)に垂直信号線VSNLが配置されている。画素アレイ部12の各画素回路11は、垂直スキャン回路14によって制御される。また、画素回路11が有する光電変換部(図示していない)は、入射光をその光量に応じて電気信号に変換し、この電気信号を垂直信号線VSNLを介して水平スキャン回路13に出力する。

【0035】

垂直スキャン回路14は、画素アレイ部12の各画素回路11とリセット線RSTL、転送選択線TRFL、およびセレクト線SELLで接続され、また、垂直スキャン回路14の外部に配置されているタイミングジェネレータ17と接続されている。垂直スキャン回路14は、タイミングジェネレータ17からの所定のクロックに同期して、リセット線RSTL、転送選択線TRFL、およびセレクト線SELLに、リセット信号、転送信号、およびセレクト信号をそれぞれ伝搬させ、画素回路11を制御する。

10

【0036】

また、水平スキャン回路13は、その内部に各垂直信号線VSNLに接続されたアナログデジタル変換器(単にAD変換器と記す)131を有し、アナログフロントエンド部15と水平信号線HSCNLで接続され、また、タイミングジェネレータ17と接続されている。水平スキャン回路13は、タイミングジェネレータ17からの所定のクロックに同期して、入力された電気信号をAD変換器131にてデジタル信号に変換し、水平信号線HSCNLを介してアナログフロントエンド部15に出力する。なお、撮像装置の構成によっては、AD変換器131の代わりに増幅器を用いることができる。

20

【0037】

アナログフロントエンド部15は、入力側が水平スキャン回路13と水平信号線HSCNLで接続され、出力側が出力バッファ16と接続されている。また、アナログフロントエンド部15は、タイミングジェネレータ17と接続されている。このアナログフロントエンド部15は、タイミングジェネレータ17からの所定のクロックに同期して、水平スキャン回路13から入力されたデジタル信号の信号レベル等を調整して出力バッファ16に出力する。なお、撮像装置の構成により、アナログフロントエンド部15の代わりに、増幅器もしくはアナログデジタル変換器等が用いることができる。

【0038】

出力バッファ16は、入力側がアナログフロントエンド部15に、出力側がたとえば、信号処理回路にそれぞれ接続されている。この出力バッファ16は、入力されたデジタル信号を信号処理回路に出力する。

30

【0039】

なお、タイミングジェネレータ17は、所定のクロックを生成し、水平スキャン回路13、垂直スキャン回路14、およびアナログフロントエンド部15を制御する。

【0040】

次に、本実施形態に係る撮像装置の一構成例について回路図を用いて説明する。なお、以降の説明において、CMOS撮像装置を一例として示す。

【0041】

図3は、本実施形態に係る撮像装置の一構成例を示す等価回路図である。

40

【0042】

本実施形態に係る撮像装置10の画素アレイ部12は、図3に示すように共有ブロックBLK10を有し、共有ブロックBLK10は、光電変換部(PD)111と、転送トランジスタ(TTR)112から構成される4つの画素回路11と、リセットトランジスタ(RTR)121、増幅トランジスタ(ATR)122、セレクトトランジスタ(STR)123、およびノードND121で構成されている。以後、このような構成を共有ブロックと呼ぶ。なお、光電変換部111には、たとえばフォトダイオードが用いられる(図3では光電変換部111にフォトダイオードの記号を用いており、以後フォトダイオードとして説明を行う)。

50

【 0 0 4 3 】

図3に示すように、画素回路11の光電変換部(フォトダイオード)111は、アノードが接地され、カソードが転送トランジスタ112のソースに接続されている。そして、転送トランジスタ112は、ソースが光電変換部111のカソードに、ドレインが共通にノードND121に、ゲートが転送選択線TRFLにそれぞれ接続されている。

【 0 0 4 4 】

そして、リセットトランジスタ121は、ソースがノードND121に、ドレインが電源電位VDDに、ゲートがリセット線RSTLにそれぞれ接続されている。また、増幅トランジスタ122とセレクトトランジスタ123は、ソース・ドレイン間で直列に接続されている。増幅トランジスタ122はドレインが電源電位VDDに、ゲートがノードND121にそれぞれ接続されている。また、セレクトトランジスタ123は、ソースが垂直信号線VSGNLに、ゲートがセレクト線SELLにそれぞれ接続されている。

10

【 0 0 4 5 】

上記に述べた構成例において、光電変換部111は、入射光の光量に応じた信号電荷を光電変換により発生させ蓄積する。

また、リセット線RSTLの状態が、たとえばローレベルからハイレベルに切り替わると、リセットトランジスタ121はオン(導通状態)に切り替わり、ノードND121の電位は電源電位VDDにリセットされる。

また、転送選択線TRFLの状態がハイレベルに切り替わると、転送トランジスタ112はオンに切り替わり、光電変換部111に蓄積された信号電荷はノードND121に転送される。

20

増幅トランジスタ122は、転送トランジスタ112がオンに切り替わっている期間、ノードND121の電位を増幅する。

また、セレクト線SELLの状態がハイレベルに切り替わると、セレクトトランジスタ123はオンに切り替わり、信号電荷は垂直信号線VSGNLに出力される。

【 0 0 4 6 】

以上説明したように、各画素回路11における転送トランジスタ112のドレインが共通にノードND121に接続され、4組の画素回路11がリセットトランジスタ121、増幅トランジスタ122、およびセレクトトランジスタ123を共有している。

【 0 0 4 7 】

このような構成の撮像装置を採用することで、本実施形態は画素回路中の素子数や配線数を低減させ、画素の微細化や撮像装置の高速化を行っている。

30

【 0 0 4 8 】

(第1の配置レイアウト例)

次に、図3で説明した等価回路の各構成要素が半導体基板上にレイアウトされた第1の配置レイアウト例について説明する。

【 0 0 4 9 】

図4は、本実施形態に係る第1の配置レイアウト例を示す図である。

【 0 0 5 0 】

本実施形態に係る撮像装置は、図3で説明した構成の等価回路が半導体基板上にレイアウトされている。

40

具体的には、共有ブロックBLK10は、光電変換部111、転送トランジスタ112、電荷電圧変換部FD121、配線SGNL、トランジスタ領域TRGN1、およびTRGN2で構成されている。また、転送トランジスタ112は転送ゲート1121を有する。このトランジスタ領域TRGN1は、リセットトランジスタ121で形成され、そのゲート長方向の幅はL1である。なお、リセットトランジスタ121は、そのソース1212とリセットゲート1211を有する。さらに、トランジスタ領域TRGN2は、増幅トランジスタ122およびセレクトトランジスタ123で形成され、そのゲート長方向の幅はL2である。なお、増幅トランジスタ122は増幅ゲート1221を、セレクトトランジスタ123はセレクトゲート1231を有する。

50

【 0 0 5 1 】

本実施形態に係る第1の配置レイアウトでは、光電変換部111と転送トランジスタ112から構成される2つの画素回路11が電荷電圧変換部FD121を共有し、2つの光電変換部111が電荷電圧変換部FD121を挟んで対角方向に配置されている。さらに、単一の共有ブロックBLK10内において、2つの電荷電圧変換部FD121は、その電極FD121Eと増幅ゲート1221のゲート電極1221Eおよびリセットトランジスタ121のソース電極1212Eが、分散配置されているトランジスタ領域TRGN1およびTRGN2を共有するように配線SGNLでそれぞれ接続されている。したがって、単一の共有ブロックBLK10は、4つの光電変換部111を有する。

【 0 0 5 2 】

また、図4に示すように、本第1の配置レイアウトでは、複数の共有ブロックBLK10が交互に配列され、ゲート長方向の幅が異なるトランジスタ領域TRGN1およびTRGN2が相違うように配置されている。このとき、トランジスタ領域TRGN1およびTRGN2のゲート長方向の占有寸法の合計(L1+L2)は一定である。

【 0 0 5 3 】

次に、本実施形態に採用した撮像装置10の動作について、タイミングチャートを用いて説明する。なお、説明を簡単にするために、図3に示す画素回路の内、単一の画素回路11について説明する。

【 0 0 5 4 】

図5は、本実施形態に係る等価回路の動作を説明するためのタイミングチャートである。

【 0 0 5 5 】

図5(a)は、セレクト線SELLに伝搬されるセレクト信号SELのタイミングチャートで、図5(b)は、リセット線RSTLに伝搬されるリセット信号RSTのタイミングチャートで、図5(c)は、転送選択線TRFLに伝搬される転送選択信号TRFのタイミングチャートである。

【 0 0 5 6 】

時刻t1において、入射光が光電変換部111に入射される。この時、転送トランジスタ112、リセットトランジスタ121およびセレクトトランジスタ123は、オフ(非導通状態)である。

【 0 0 5 7 】

時刻t1から時刻t2において、光電変換部111は、入射光を光電効果によって信号電荷に変換する。そして、リセットトランジスタ121がオンに切り替わる時刻t2まで、光電変換部111は、信号電荷を蓄積する。この時刻t1から時刻t2までの期間が信号電荷の蓄積時間である。

【 0 0 5 8 】

時刻t2において、垂直スキャン回路14からハイレベルのセレクト信号SELがセレクト線SELLに伝搬され、セレクトトランジスタ123はオンに切り替わる。時刻t2から時刻t10まで、セレクトトランジスタ123はオンの状態が保持される。

【 0 0 5 9 】

また、時刻t2において、ノードND121の電圧リセットが行われる。リセットトランジスタ121は、垂直スキャン回路14からハイレベルのリセット信号RSTがリセット線RSTLに伝搬され、オンに切り替わり、ノードND121の電位を電源電位VDDにリセットする。

【 0 0 6 0 】

時刻t3において、垂直スキャン回路14からローレベルのリセット信号RSTがリセット線RSTLに伝搬され、リセットトランジスタ121がオフに切り替わり、ノードND121の電圧リセットが完了する。

【 0 0 6 1 】

時刻t4から時刻t5において、ノードND121の電位は基準信号として読み出しさ

10

20

30

40

50

れる。この基準信号の読み出し期間を $Read 1$ とする。

【0062】

時刻 t_6 において、垂直スキャン回路 14 からハイレベルの転送選択信号 TRF が転送選択線 $TRFL$ に伝搬され、転送トランジスタ 112 は、オンに切り替わり、光電変換部 111 に蓄積された信号電荷をノード $ND121$ に転送する。

また、転送トランジスタ 112 は、時刻 t_6 から時刻 t_7 まで、オンの状態が保持される。

【0063】

時刻 t_7 において、垂直スキャン回路 14 からローレベルの転送選択信号 TRF が転送選択線 $TRFL$ に伝搬され、転送トランジスタ 112 はオフに切り替わる。

10

【0064】

時刻 t_8 から時刻 t_9 において、ノード $ND121$ の電圧と読み出し期間 $Read 1$ で読み出しされた基準信号の電圧との差分は、ノード $ND121$ から転送された信号電荷による信号として読み出しされる。この信号読み出し期間を $Read 2$ とする。また、この信号読み出し時において、増幅トランジスタ 122 は、オンに切り替わり、ノード $ND121$ の電位を増幅し、増幅された電圧信号を信号出力端子 211b を介して垂直信号線 $VSGNL$ に出力する。

【0065】

時刻 t_{10} において、垂直スキャン回路 14 からローレベルのセレクト信号 SEL がセレクト線 $SELL$ に伝搬され、セレクトトランジスタ 123 がオフに切り替わり、水平スキャン回路 13 への電圧信号の出力が終了する。

20

【0066】

本実施形態では、このようなレイアウトを採用することにより、光電変換部 111 等周辺の空き領域が低減し、半導体基板表面を効率よく使用できる。そのため、本実施形態では、トランジスタ領域等の構成要素の使用領域を縮小させる必要がない。また、本実施形態では、トランジスタのゲート長を大きくとることができるため、同一プロセス世代での最小画素寸法が小さくできる。さらに、本実施形態では、増幅トランジスタのゲート長を大きくとることができるためゲート面積を大きくでき、ランダムな雑音を低減できる。

【0067】

(第2の配置レイアウト例)

30

次に、図3で説明した等価回路の各構成要素が半導体基板上にレイアウトされた第2の配置レイアウト例について説明する。

【0068】

図6は、本実施形態に係る第2の配置レイアウト例を示す図である。

【0069】

本配置レイアウト例は、図6に示すように、第1の配置レイアウト例と同様の構成の共有ブロック $BLK10$ を有している。さらに、複数の共有ブロック $BLK10$ が交互に配列され、ゲート長方向の幅が異なるトランジスタ領域 $TRGN1$ および $TRGN2$ が相違うように配置されているが、光電変換部 111 の配置形態が異なる。

【0070】

40

具体的には、図6に示すように、2つの光電変換部 111 が電荷電圧変換部 $FD121$ を挟んで配線 $SGNL$ 方向に対して垂直に配置されている。

図6に示すように、本第2の配置レイアウトは、共有ブロック $BLK10$ がゲート長方向の幅が異なるトランジスタ領域 $TRGN1$ および $TRGN2$ が隣あうように組合わさるようレイアウトされている。このとき、トランジスタ領域 $TRGN1$ および $TRGN2$ のゲート長方向の占有寸法の合計 ($L1 + L2$) は一定である。

【0071】

本配置レイアウト例においても、半導体基板表面を効率よく使用でき、トランジスタのゲート長を大きくとることができるため、本実施形態に係る第1の配置レイアウト例と同様の効果を得ることができる。

50

【 0 0 7 2 】

(第 3 の 配 置 レイアウト例)

次に、図 3 で説明した等価回路の各構成要素が半導体基板上にレイアウトされた第 3 の配置レイアウト例について説明する。

【 0 0 7 3 】

図 7 は、本実施形態に係る第 3 の配置レイアウト例を示す図である。

【 0 0 7 4 】

本配置レイアウト例は、図 7 に示すように、光電変換部 1 1 1 の配置形態が第 1 の配置レイアウト例と同様の共有ブロック B L K 1 0 を有するが、複数の共有ブロック B L K 1 0 による配置形態が異なる。

10

【 0 0 7 5 】

具体的には、図 7 に示すように、共有ブロック B L K 1 0 が列毎にずれて配置されている。本配置レイアウト例では、共有ブロック B L K 1 0 を列毎にずらし、同一列のトランジスタ領域 T R G N 1 および T R G N 2 のゲート長方向の幅の合計 (L 1 + L 2 + ...) が一定となるように配置されている。

【 0 0 7 6 】

ところが、図 7 のように共有ブロック B L K 1 0 が列毎にずれてレイアウトされるため、隣接する列間では共有ブロック B L K 1 0 の属する行が異なる。

【 0 0 7 7 】

次に、共有ブロック B L K 1 0 の属する行のずれについて、図 8 を参照しながら説明する。

20

【 0 0 7 8 】

図 8 は、共有ブロック B L K 1 0 の属する行のずれを説明するための図である。

【 0 0 7 9 】

図 8 において、共有ブロック B L K 1 0 の V S L は光電変換部 1 1 1 を、 T R F 1 ~ T R F 4 はそれぞれ第 1 ~ 第 4 の転送ゲート 1 1 2 1 を、 R S T はリセットゲート 1 2 1 1 を、 S E L はセレクトゲート 1 2 3 1 をそれぞれ示している。

図 8 に示す単一の共有ブロック B L K 1 0 において、電荷電圧変換部 F D 1 2 1 を共有する 2 つの光電変換部 1 1 1 が配線 S G N L で接続されている。したがって、単一の共有ブロック B L K 1 0 は、4 つの光電変換部 1 1 1 を有する。

30

このような構成の共有ブロック B L K 1 0 が、列毎にずれて、同一列のトランジスタ領域 T R G N 1 および T R G N 2 のゲート長方向の幅の合計が一定となるようにレイアウトされている。

【 0 0 8 0 】

具体的には、同一行にあるリセットゲート 1 2 1 1 がリセット線 R S T L で共通に接続され、同一行にあるセレクトゲート 1 2 3 1 がセレクト線 S E L L で共通に接続されている。ただし、リセットゲート 1 2 1 1 およびセレクトゲート 1 2 3 1 は、列によって異なるリセット線 R S T L およびセレクト線 S E L L にそれぞれ接続されている。たとえば、図 7 のように、リセット線 R S T L あるいはセレクト線 S E L L の配置を行とすると、 i 行 j 列と i 行 $(j + 2)$ 列のリセットゲート 1 2 1 1 およびセレクトゲート 1 2 3 1 が共通に接続され、 $(i + 1)$ 行 $(j + 1)$ 列と $(i + 1)$ 行 $(j + 3)$ 列のリセットゲート 1 2 1 1 およびセレクトゲート 1 2 3 1 が共通に接続されている。

40

また、同一行にある第 1 の転送ゲート 1 1 2 1 (T R F 1) と第 3 の転送ゲート 1 1 2 1 (T R F 3) が転送選択線 T R F L で共通に接続され、同一行にある第 2 の転送ゲート 1 1 2 1 (T R F 2) と第 4 の転送ゲート 1 1 2 1 (T R F 4) が転送選択線 T R F L で共通に接続されている。

【 0 0 8 1 】

図 8 に示すように、同一行方向の第 1 ~ 第 4 の転送ゲート 1 1 2 1 は、共通に転送選択線 T R F L で接続されているため、行毎に第 1 ~ 第 4 の転送トランジスタ 1 1 2 を制御可能である。しかし、各列のリセットゲート 1 2 1 1 およびセレクトゲート 1 2 3 1 は、1

50

行分ずれて異なるリセット線 R S T L およびセレクト線 S E L L にそれぞれ接続されている。したがって、垂直スキャン回路 1 4 (図 2 を参照) は、リセットトランジスタ 1 2 1 およびセレクトトランジスタ 1 2 3 をそれぞれ制御するリセット信号およびセレクト信号を、列に応じて行を一行分ずらしてリセット線 R S T L およびセレクト線 S E L L に伝搬させる。

【 0 0 8 2 】

本配置レイアウト例においても、半導体基板表面を効率よく使用でき、トランジスタのゲート長を大きくとることができるため、本実施形態に係る第 1、第 2 の配置レイアウト例と同様の効果を得ることができる。

【 0 0 8 3 】

なお、本配置レイアウト例で採用した光電変換部 1 1 1 の配置形態は、第 1 の配置レイアウトと同様であるが、第 2 の配置レイアウトと同様の配置形態を採用してもよい。

この場合においても、本実施形態に係る第 1、第 2 あるいは第 3 の配置レイアウト例と同様の効果を得ることができる。

【 0 0 8 4 】

次に、本発明の実施形態に係るカメラについて説明する。図 9 は、本発明の実施形態に係るカメラの構成の概略を示すブロック図である。

【 0 0 8 5 】

本カメラ 2 0 は、撮像装置 1 0 と、この撮像装置 1 0 の画素アレイ部 1 2 に入射光を導く光学系、たとえば入射光 (像光) を撮像面上に結像させるレンズ 2 1 と、撮像装置 1 0 の出力信号を処理する信号処理回路 2 2 などをも有する構成となっている。

【 0 0 8 6 】

このカメラ 2 0 において、撮像装置 1 0 は、上記実施形態に係る撮像装置が用いられている。信号処理回路 2 2 は、撮像装置 1 0 の出力バッファ 1 6 からの出力信号 V o u t に対して種々の信号処理を施して映像信号を出力する。

【 0 0 8 7 】

本カメラ 2 0 によれば、先述した実施形態に係る撮像装置 1 0 を採用することで、多画素化に対応した高品質の撮像画像を得ることができる。

【 0 0 8 8 】

なお、本発明の撮像装置 1 0 は、1 チップとして形成された撮像装置であっても、複数のチップの集合体として形成されたモジュールタイプの撮像装置であってもよい。複数のチップの集合体として形成された撮像装置である場合には、撮像を行うセンサチップ、デジタル信号処理を行う信号処理チップなどに分かれて形成され、さらに光学系を含むことがある。

【 0 0 8 9 】

以上説明したように、本実施形態は、リセットトランジスタで形成されるトランジスタ領域と、セレクトトランジスタおよび増幅トランジスタで形成されるトランジスタ領域を有し、さらに複数の光電変換部でこれらのトランジスタ領域を共有する共有ブロックを形成する。この共有ブロックは、トランジスタ領域におけるゲート長方向の占有寸法の合計が一定となるように、各トランジスタ領域が隣あって組合わさるようにレイアウトされている。

【 0 0 9 0 】

そのため、光電変換部等周辺の空き領域が低減し、半導体基板表面を効率よく使用できる。さらには、増幅トランジスタのゲート長を大きくとることができるため、ゲート面積が大きくなり、増幅トランジスタが雑音の影響を受けにくくなる利点がある。

【 0 0 9 1 】

なお、本実施形態では、リセットトランジスタで形成されるトランジスタ領域と、セレクトトランジスタおよび増幅トランジスタで形成されるトランジスタ領域を有する。共有要素が複数の箇所に配置されるレイアウトであれば、トランジスタ領域を形成する構成要素の組み合わせは限定されない。また、本実施形態で採用した構成要素のトランジスタは

10

20

30

40

50

nチャンネル型、pチャンネル型のいずれでもよい。

【図面の簡単な説明】

【0092】

【図1】複数の構成要素を共有した場合のレイアウト不均一性を説明するための図である。

【図2】本発明の実施形態に係る撮像装置の要部の一構成例を示すブロック図である。

【図3】本実施形態に係る撮像装置の一構成例を示す等価回路図である。

【図4】本実施形態に係る第1の配置レイアウト例を示す図である。

【図5】本実施形態に係る等価回路の動作を説明するためのタイミングチャートである。

【図6】本実施形態に係る第2の配置レイアウト例を示す図である。

【図7】本実施形態に係る第3の配置レイアウト例を示す図である。

【図8】本実施形態に係る共有ブロックBLK10の属する行のずれを説明するための図である。

【図9】本発明の実施形態に係るカメラの構成の概略を示すブロック図である。

【符号の説明】

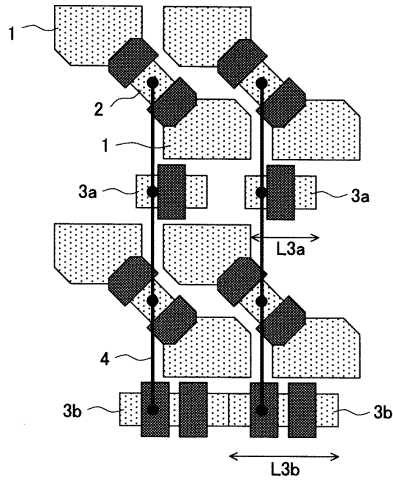
【0093】

11...画素回路(P I X E L)、12...画素アレイ部、13...水平スキャン回路(H S C N)、131...AD変換器、14...垂直スキャン回路(V S C N)、15...アナログフロントエンド部、16...出力バッファ、17...タイミングジェネレータ(T G)、BLK10...共有ブロック、111...光電変換部(P D)、112...転送トランジスタ(T T R)、121...リセットトランジスタ(R T R)、122...増幅トランジスタ(A T R)、123...セレクトトランジスタ(S T R)、FD121...電荷電圧変換部、TRGN1、TRGN2...トランジスタ領域、1121...転送ゲート、1212...リセットトランジスタのソース、1211...リセットゲート、1221...増幅ゲート、1231...セレクトゲート、L1、L2...ゲート長方向の幅、S G N L...配線、R S T L...リセット線、R S T L...転送選択線、S E L L...セレクト線、V S G N L...垂直信号線、H S C N L...水平信号線。

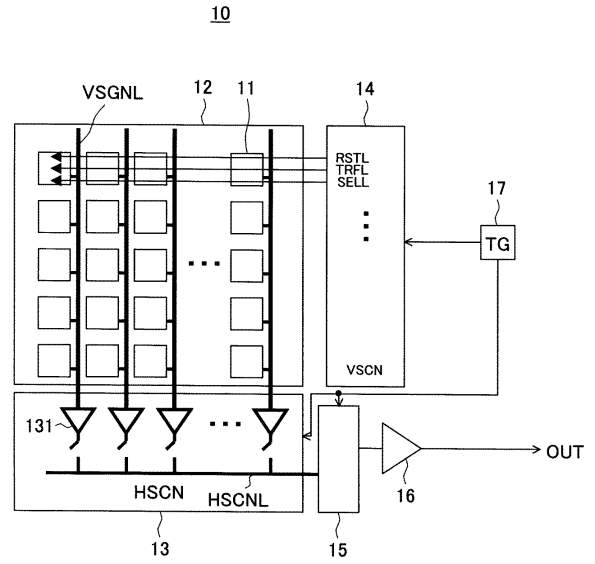
10

20

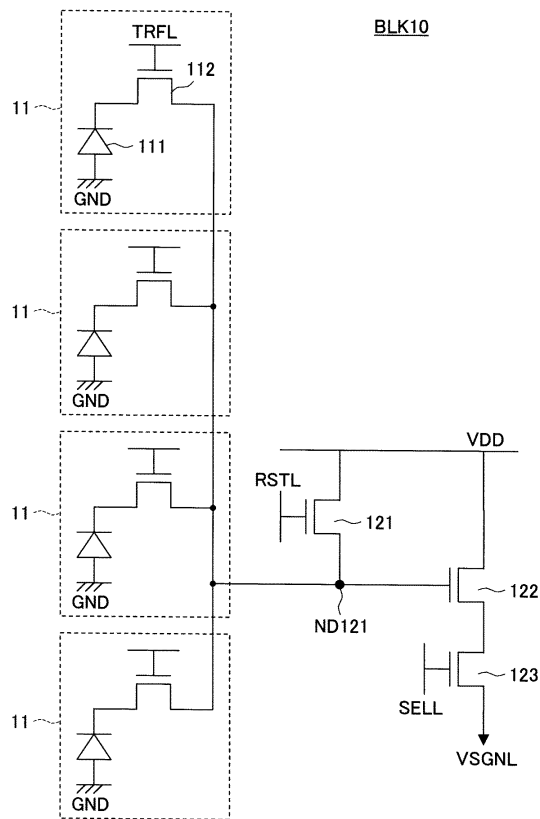
【 図 1 】



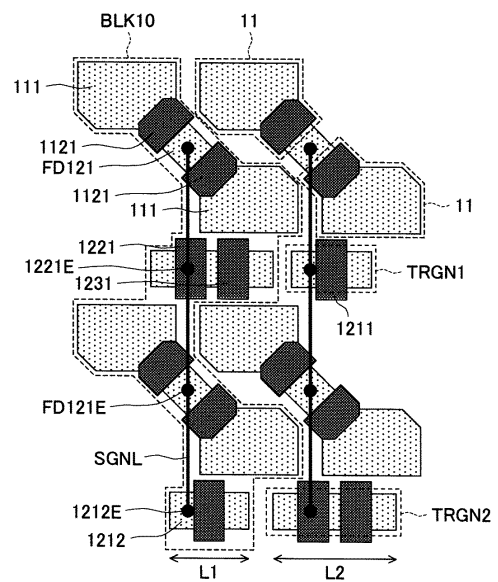
【 図 2 】



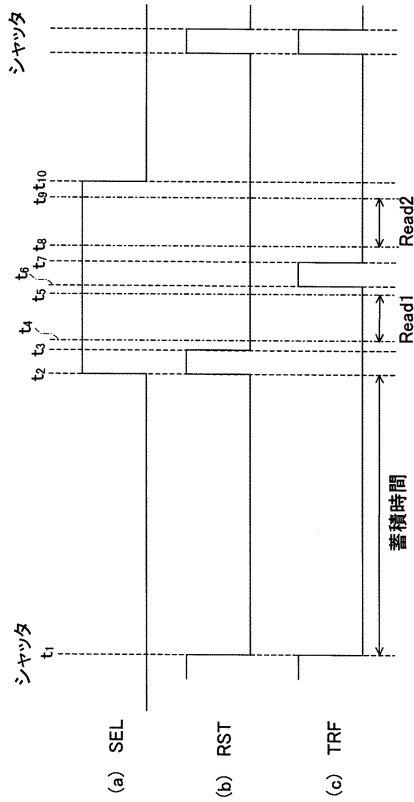
【 図 3 】



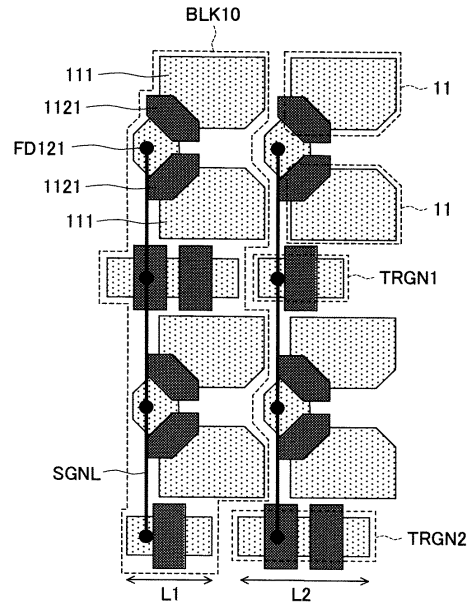
【 図 4 】



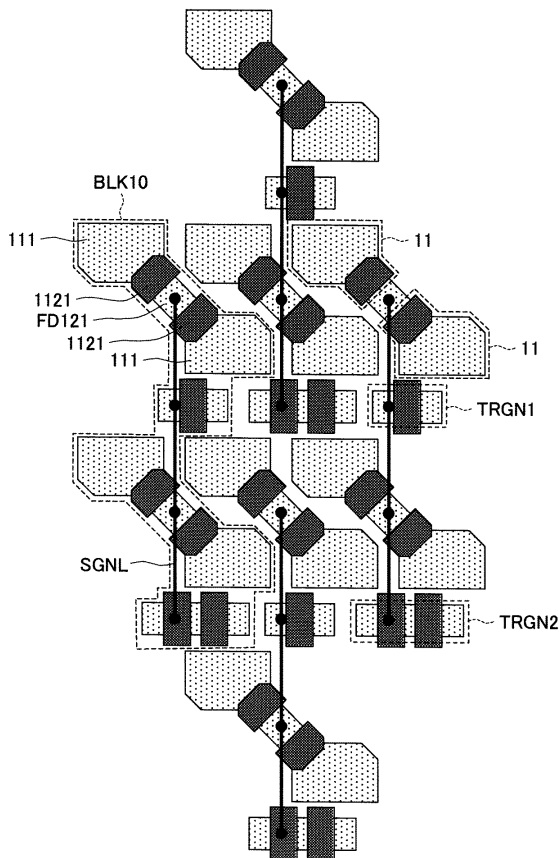
【図5】



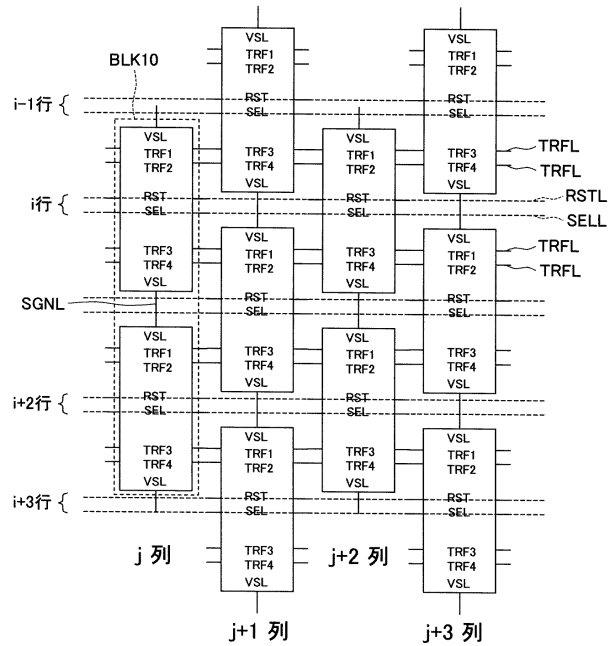
【図6】



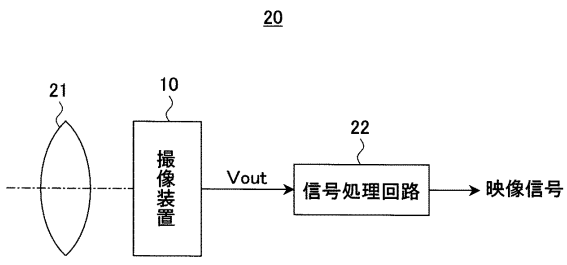
【図7】



【図8】



【图9】



フロントページの続き

(56)参考文献 特開2006-303468(JP,A)
特開2007-19521(JP,A)
特開2008-147600(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/146
H04N 5/335