

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-49508  
(P2006-49508A)

(43) 公開日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 4 N 5/335 (2006.01)	HO 4 N 5/335 U	5 C O 2 4

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2004-227025 (P2004-227025)	(71) 出願人	000004112 株式会社ニコン 東京都千代田区丸の内3丁目2番3号
(22) 出願日	平成16年8月3日(2004.8.3)	(74) 代理人	100072718 弁理士 古谷 史旺
		(74) 代理人	100116001 弁理士 森 俊秀
		(72) 発明者	大河内 直紀 東京都千代田区丸の内3丁目2番3号 株式会社ニコン内
		Fターム(参考)	4M118 AA10 AB01 BA14 CA04 CA20 DD09 DD12 EA01 FA06 FA33 GB15 5C024 CX41 GX02 GX16 GY39 HX01 HX40

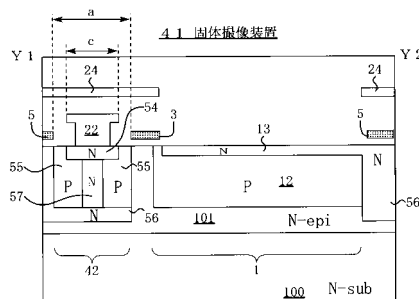
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 固体撮像装置において、受光素子の占有面積拡大に有効な単位画素の素子構造を提供する。

【解決手段】 本発明の固体撮像装置は、複数の単位画素を半導体基板に形成する。この単位画素は、入射光に応じて信号電荷を生成する受光素子と、受光素子で生成された信号電荷を取り込み、信号電荷に応じた画素信号を出力するJFET（接合型電界効果トランジスタ）とを備える。特に、このJFETは、縦型JFETであり、半導体基板の基板深さ方向に電流経路を形成するチャネル領域と、このチャネル領域を挟み込むように深さ方向に形成され、信号電荷によってチャネル領域のチャネル幅を制御するゲート領域とを備える。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

入射光に応じて信号電荷を生成する受光素子と、  
前記受光素子で生成された前記信号電荷を取り込み、前記信号電荷に応じた画素信号を出力する J F E T (接合型電界効果トランジスタ)と  
を有する単位画素を半導体基板に複数形成した固体撮像装置であって、  
前記 J F E T は、  
前記半導体基板の基板深さ方向に電流経路を配置したチャンネル領域と、  
前記チャンネル領域を挟み込むように前記基板深さ方向に形成され、前記信号電荷を蓄積し、蓄積した前記信号電荷によって前記チャンネル領域のチャンネル幅を制御するゲート領域と  
を有する縦型 J F E T である  
ことを特徴とする固体撮像装置。

## 【請求項 2】

請求項 1 に記載の固体撮像装置において、  
前記チャンネル領域の底に位置するドレイン部は、前記半導体基板と同一の導電型であり、  
前記半導体基板と電氣的に接触して基板電位が印加される  
ことを特徴とする固体撮像装置。

## 【請求項 3】

請求項 1 または請求項 2 に記載の固体撮像装置において、  
前記 J F E T に縦型構造を採用したことにより、横型 J F E T よりも単位画素内における占有面積を縮小し、その縮小分によって前記単位画素内に隙間箇所を確保し、  
前記 J F E T に隣接する前記受光素子は、前記隙間箇所に受光領域を拡張して形成される  
ことを特徴とする固体撮像装置。

## 【請求項 4】

請求項 3 に記載の固体撮像装置において、  
前記隙間箇所に受光領域を拡張することにより、前記受光領域は略十字形状または略 T 字形状をなす  
ことを特徴とする固体撮像装置。

## 【請求項 5】

請求項 3 ないし請求項 4 のいずれか 1 項に記載の固体撮像装置において、  
前記隙間箇所を挟んで前記 J F E T の反対側に、前記ゲート領域の電荷をリセットするリセットドレインを配置し、  
前記リセットドレインの電荷排出線を基板垂直方向に配線することにより、前記電荷排出線を階段状に配線する場合よりも、前記リセットドレインの単位画素内における占有面積を縮小し、  
前記 J F E T および前記リセットドレイン双方の面積縮小に伴って前記隙間箇所を拡大し、前記隙間箇所に延在する前記受光領域を更に広げた  
ことを特徴とする固体撮像装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、単位画素内に J F E T (接合型電界効果トランジスタ)を備えた固体撮像装置に関する。

## 【背景技術】

## 【0002】

従来、単位画素内に増幅素子を個別に備え、信号電荷を増幅素子で増幅(例えば電流増幅)してから出力するタイプの固体撮像装置が提案されている。

10

20

30

40

50

下記の特許文献 1 には、このような増幅素子として、J F E T を単位画素内に備えた固体撮像装置が開示されている。

【 0 0 0 3 】

図 8 は、この固体撮像装置 9 9 の画素構造を示す上面図である。

図 9 は、図 8 中に示す Y 1 - Y 2 の断面図である。

図 1 0 は、図 8 中に示す X 1 - X 2 の断面図である。

これらの図において、固体撮像装置 9 9 は、N 型半導体基板 1 0 0 を土台に形成される。この N 型半導体基板 1 0 0 の表面には、N 型エピタキシャル層 1 0 1 が設けられる。この N 型エピタキシャル層 1 0 1 の表面には、複数の単位画素が形成される。これらの単位画素は、受光素子 9 1、J F E T 9 2、およびリセットドレイン 9 4 を備えて概略構成される。

10

【 0 0 0 4 】

この内、J F E T 9 2 は、半導体面に平行して横向きに電流経路を形成する N 型チャネル領域 1 7 と、その N 型チャネル領域 1 7 を挟む P 型ゲート領域 1 5 と、N 型ソース領域 1 4 と、N 型ドレイン領域 1 6 とによって構成される。(以下、本明細書では、この J F E T 9 2 のように、チャネル領域が半導体面に沿って主として横向きに形成された J F E T を、横型 J F E T と呼ぶ。)

【 0 0 0 5 】

一方、リセットドレイン 9 4 は、P 型電荷排出領域 1 8 と、遮光配線 2 4 とを、接続線 2 3 で接続することによって構成される。この接続線 2 3 による接続経路は、図 1 0 に示すようにコンタクトホール 3 0、3 1 の位置をずらすことによって、階段状にレイアウトされる。

20

また、J F E T 9 2 とリセットドレイン 9 4 との間には、リセット電極 2 5 が設けられる。このリセット電極 2 5 の電圧制御により、P 型ゲート領域 1 5 内の不要電荷を、P 型電荷排出領域 1 8 に排出することができる。

【特許文献 1】特開平 1 1 - 8 7 6 8 0 号公報 ( 図 1 ~ 3 )

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

図 8 に示した固体撮像装置 9 9 の例では、J F E T 9 2 およびリセットドレイン 9 4 が、単位画素のほぼ半分の面積を占有する。そのため、受光素子 9 1 の占有面積は、単位画素の残り半分程度の矩形範囲まで狭められる。その結果、固体撮像装置 9 9 の受光効率が低下するという点で改善の余地があった。

30

そこで、本発明では、固体撮像装置において、受光素子の占有面積拡大に有効な単位画素の素子構造を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

《 1 》

本発明の固体撮像装置は、複数の単位画素を半導体基板に形成する。この単位画素は、入射光に応じて信号電荷を生成する受光素子と、この受光素子で生成された信号電荷を取り込み、信号電荷に応じた画素信号を出力する J F E T ( 接合型電界効果トランジスタ ) とを備える。

40

特に、この J F E T は、下記構成を備えた縦型 J F E T である。

( a ) 半導体基板の基板深さ方向に電流経路を配置したチャネル領域。

( b ) このチャネル領域を挟み込むように深さ方向に形成され、信号電荷を蓄積し、蓄積した信号電荷によってチャネル領域のチャネル幅を制御するゲート領域。

【 0 0 0 8 】

《 2 》

なお好ましくは、J F E T のドレイン部は、チャネル領域の底に位置する。このドレイン部は半導体基板と同一の導電型であり、半導体基板と電氣的に接触することにより基板

50

電位が印加される。

【0009】

《3》

また好ましくは、J F E Tに縦型構造を採用することにより、横型J F E Tよりも単位画素内における占有面積を縮小する。その縮小分によって単位画素内に隙間箇所を確保する。J F E Tに隣接する受光素子は、この隙間箇所に受光領域を拡張して形成される

【0010】

《4》

なお好ましくは、この隙間箇所に受光領域を拡張することにより、受光領域を略十字形状または略T字形状とする。

【0011】

《5》

また好ましくは、この隙間箇所を挟んでJ F E Tの反対側に、ゲート領域の電荷をリセットするリセットドレインを配置する。このリセットドレインの電荷排出線を基板垂直方向に配線することにより、電荷排出線を階段状に配線する場合よりも、単位画素内における占有面積を縮小する。このようにして、J F E Tおよびリセットドレイン双方の面積縮小によって、隙間箇所を拡大する。その結果、隙間箇所に延在する受光領域を更に広げる。

【発明の効果】

【0012】

(1)

本発明では、単位画素内に縦型J F E Tを配置する。すなわち、J F E Tのチャンネル領域は、半導体基板の基板深さ方向に配置される。また、J F E Tのゲート領域は、このチャンネル領域を挟み込むように、主として深さ方向に形成される。

この縦型J F E Tは、素子構造が基板深さ方向にレイアウトされるため、従来の横型J F E Tに比べて横の拡がり小さくなり、占有面積を縮小できる。

例えば、このJ F E Tの面積縮小分で、受光素子の受光領域を拡大することにより、固体撮像装置の受光効率向上(例えば感度向上)を実現することができる。

また例えば、このJ F E Tの面積縮小分だけ単位画素を面積縮小することにより、固体撮像装置の受光効率(例えば感度)を維持したまま、固体撮像装置の画素数を増やすことが可能になる。

【0013】

(2)

ところで、従来の横型J F E Tでは、横向きに延びるチャンネル領域の端にドレイン領域(図9中のN型ドレイン領域16)を設けている。そのため、横型J F E Tのドレイン領域も横に拡がることになり、この点からも横型J F E Tの占有面積は大きくなった。

そこで、本発明では、縦型J F E Tのドレイン部を、チャンネル領域の底に位置させることが好ましい。この場合、チャンネル領域の底に、ドレイン部の全部または一部を収めることが可能になり、縦型J F E Tの占有面積を更に縮小できる。

さらに、このドレイン部は基板の深奥部に位置するため、ドレイン部を半導体基板と一体化させることが容易である。そこで、本発明では、半導体基板からドレイン部に基板電位を印加することが好ましい。この場合、基板表面側からドレイン部に電圧供給する配線構造などを省くことが可能になり、単位画素内における縦型J F E Tの占有面積を更に縮小することができる。

【0014】

(3)

上述したように、縦型J F E Tは、従来の横型J F E Tよりも単位画素内における占有面積を縮小することが可能になる。そこで、本発明では、この縮小分によって単位画素内に隙間箇所を確保し、受光素子の受光領域を拡張することが好ましい。この場合、固体撮像装置の受光効率を高めることが可能になる。

10

20

30

40

50

## 【0015】

(4)

なお、本発明では、受光領域を拡張して略十字形状または略T字形状にすることが好ましい。この場合、受光領域の縦横比を等方に近づけることが可能になる。その結果、オンチップマイクロレンズの集光効率が改善され、撮像エリア周辺におけるシェーディングを抑制できる。

## 【0016】

(5)

また、本発明では、リセットドレインの電荷排出線を基板垂直方向に配線することにより、リセットドレインの占有面積を縮小することが好ましい。この場合、縦型JFETとリセットドレインの中間に隙間箇所を大きく確保できる。その結果、その隙間箇所に延在する受光領域を更に広げ、固体撮像装置の受光効率を一段と高めることができる。

10

## 【発明を実施するための最良の形態】

## 【0017】

## 《第1実施形態》

図1は、第1実施形態における固体撮像装置41の画素構造を示す上面図である。

図2は、図1中に示すY1-Y2箇所の断面図である。

図3は、図1中に示すX1-X2箇所の断面図である。

これら図において、固体撮像装置41は、高濃度のN型半導体基板100を土台に形成される。このN型半導体基板100の受光面側には、低濃度のN型エピタキシャル層101が設けられる。このN型エピタキシャル層101の表面は、複数の単位画素に区分される。これらの単位画素の1つ1つは、縦型JFET42、受光素子1、およびリセットドレイン4から概略構成される。

20

## 【0018】

まず、縦型JFET42は、下記の素子構造を有する。

(a) N型ソース領域54・・・N型エピタキシャル層101の表面側に形成される。

(b) N型チャネル領域57・・・N型ソース領域54の底から基板深さ方向に形成される。このN型チャネル領域57の長さは、例えば3 $\mu$ m以上に設定することが好ましい。

(c) P型ゲート領域55・・・N型チャネル領域57の周囲を対称に取り囲むように形成される。

30

(d) N型ドレイン領域56・・・N型チャネル領域57の底に位置する。なお、単位画素の境界域にN型ドレイン領域56を延在させることにより、N型ドレイン領域56を単位画素の分離領域に兼用してもよい。

## 【0019】

一方、受光素子1は、N型エピタキシャル層101および埋込P型領域12のPN接合と、受光素子1の表面空乏化を阻止する表面N型層13とによって構成される。

また、リセットドレイン4は、P型電荷排出領域18と、遮光配線24とを、接続線23で接続することによって構成される。

## 【0020】

その他、固体撮像装置41には、転送電極3、垂直信号線22、およびリセット電極5などが設けられる。

40

この転送電極3は、絶縁膜を介して、埋込P型領域12とP型ゲート領域55との間に電位を印加する。この転送電極3の電位制御により、埋込P型領域12からP型ゲート領域55へ信号電荷が転送される。

転送された信号電荷は、P型ゲート領域55において蓄積される。この信号電荷の蓄積量に応じて、N型チャネル領域57内のチャネル幅が変化する。

## 【0021】

一方、N型ソース領域54は、垂直信号線22を介して、不図示の定電流源に接続される。また、N型ドレイン領域56には、定電位が印加される。その結果、縦型JFET42は、一種のソースホロワ回路として作用し、信号電荷の蓄積量に応じた画素信号を垂直

50

信号線 22 に出力する。

【0022】

また、リセット電極 5 は、絶縁膜を介して、P 型ゲート領域 55 と P 型電荷排出領域 18 との間に電位を印加する。このリセット電極 5 の電位制御により、P 型ゲート領域 55 の不要電荷を、P 型電荷排出領域 18 に排出することができる。

さらに、固体撮像装置 41 には、オーバーフロー制御領域 1a が設けられ、受光素子 1 から溢れた過剰電荷を、リセットドレイン 4 へ排出する。

【0023】

[ 発明との対応関係 ]

以下、発明と第 1 実施形態との対応関係について説明する。なお、ここでの対応関係は、参考のために一解釈を例示するものであり、本発明を徒らに限定するものではない。 10

請求項記載の受光素子は、受光素子 1 に対応する。

請求項記載の縦型 J F E T は、縦型 J F E T 42 に対応する。

請求項記載のチャネル領域は、N 型チャネル領域 57 に対応する。

請求項記載のゲート領域は、P 型ゲート領域 55 に対応する。

【0024】

[ 縦型 J F E T 42 の製造方法 ]

次に、縦型 J F E T 42 の製造方法を説明する。なお、ここでは説明を簡明にするため、公知のフォトリソ工程などは説明から省略する。

図 4 [ A ] ~ [ C ] は、縦型 J F E T 42 の製造工程の一例を示す図である。 20

【0025】

まず、この図 4 [ A ] に示すように、高濃度の N 型半導体基板 100 の表面に、低濃度の N 型エピタキシャル層 101 を 3 ~ 10  $\mu\text{m}$  程度の厚さでエピタキシャル成長させる。この N 型エピタキシャル層 101 に対して、リンなどを 3  $\mu\text{m}$  以上の深さまでイオン注入することにより、N 型ドレイン領域 56 を形成する。

【0026】

続いて、図 4 [ B ] に示すように、ボロンなどをイオン注入することにより、P 型ゲート領域 55 および埋込 P 型領域 12 を形成する。このとき、P 型ゲート領域 55 の中央部分をマスクで覆うことにより、P 型ゲート領域 55 の中央部分に N 型領域を残し、N 型チャネル領域 57 とする。なお、この中心箇所に改めて N 型不純物をイオン注入することにより、N 型チャネル領域 57 を確実に形成してもよい。 30

【0027】

さらに、図 4 [ C ] に示すように、ヒ素などをイオン注入することにより、N 型ソース領域 54 および表面 N 型層 13 を形成する。

続いて、図 2 に示すように、リセット電極 5 および垂直信号線 22 などの配線構造を形成することにより、縦型 J F E T 42 が完成する。

【0028】

[ 第 1 実施形態の効果など ]

第 1 実施形態では、縦型 J F E T 42 を単位画素内に設ける。この縦型 J F E T 42 では、N 型ソース領域 54、N 型チャネル領域 57、および N 型ドレイン領域 56 を基板深さ方向に配置するため、従来の横型 J F E T よりも横の拡がり小さく、占有面積を縮小できる。例えば、縦型 J F E T 42 の占有面積 ( 図 2 , 図 3 に示す  $a \times b$  ) を、垂直信号線 22 のコンタクトホール 22 の面積 ( 図 2 , 図 3 に示す  $c \times d$  ) 近くまで縮小することが可能になる。 40

【0029】

第 1 実施形態では、図 2 に示す長さ a の縮小分だけ、受光素子 1 の受光領域の短辺側を拡幅する ( 図 1 参照 ) 。その結果、固体撮像装置 41 の受光効率 ( 例えば感度 ) を高めることが可能になる。

【0030】

更に、第 1 実施形態では、N 型チャネル領域 57 に対して軸対称に P 型ゲート領域 55 50

を設ける。その結果、N型チャネル領域57にはほぼ対称な電界が作用し、ほぼ軸対称なチャネル(電流経路)を形成することができる。

【0031】

このチャネルの断面は、P型ゲート領域55内の信号電荷の量に応じて、ほぼ軸対称性に拡大縮小する。したがって、チャネル断面が局地的に狭くなってピンチオフするといった不具合が殆どなくなり、ピンチオフ余裕を拡げることができる。その結果、ピンチオフ電圧のバラツキが小さくなり、ピンチオフ余裕が極端に狭いために生じる欠陥画素の数を低減することができる。

【0032】

さらに、チャネルの断面がほぼ軸対称に拡大縮小することから、ドレイン電圧-電流特性などによる信号歪みが小さくなり、(例えばソースホロワの帰還ゲインを小さくしても)歪みの少ない良質な画素信号を得ることができる。

次に、別の実施形態について説明する。

【0033】

《第2実施形態》

図5は、第2実施形態における固体撮像装置71の画素構造を示す上面図である。

図6は、図5中に示すX1-X2箇所の断面図である。

固体撮像装置71の単位画素は、縦型JFET42、受光素子1、およびリセットドレイン74を備える。

このリセットドレイン74は、P型電荷排出領域88と、遮光配線94とを、接続線83で接続することによって構成される。このとき、接続線83のコンタクトホール83aと、遮光配線94のコンタクトホール94aとの位置を縦に揃える。その結果、P型電荷排出領域88の電荷排出線は、基板垂直方向にほぼ一直線となる。したがって、従来の階段状接続(図10参照)に比べて配線スペースの無駄が少なくなり、リセットドレイン74の占有面積を縮小することができる。

【0034】

一方、縦型JFET42については、第1実施形態と同様の縦型構造にすることにより、占有面積を縮小する。

さらに、縦型JFET42およびリセットドレイン74との中間には、リセット電極(図10に示すリセット電極25)を形成しない。代わりに、単位画素の境界域にリセット電極75が設けられる。このリセット電極75の電位制御により、P型ゲート領域55内の不要電荷は、単位画素の境界域を超えて、隣接画素のP型電荷排出領域88に排出される。

【0035】

上述した構成により、縦型JFET42とリセットドレイン74との中間には、図6に示すような大きな隙間箇所を無理なく確保することができる。

この隙間箇所をなるべく基板表面に露出させるように、遮光配線94、リセット電極75、および転送電極73に、図5に示すような凹状部分を設ける。受光素子1の受光領域は、この凹状部分まで拡張してレイアウトできる。

【0036】

このとき、図5[A]に示すように、受光領域の両方の側辺を拡張することにより、十字型の受光領域を得ることができる。

また、図5[B]に示すように、受光領域の片側の側辺のみを拡張することにより、T字型の受光領域を得ることができる。

【0037】

[発明との対応関係]

以下、発明と第2実施形態との対応関係について説明する。なお、ここでの対応関係は、参考のために一解釈を例示するものであり、本発明を徒らに限定するものではない。

請求項記載の受光素子は、受光素子1に対応する。

請求項記載の縦型JFETは、縦型JFET42に対応する。

10

20

30

40

50

請求項記載のチャネル領域は、N型チャネル領域57に対応する。

請求項記載のゲート領域は、P型ゲート領域55に対応する。

請求項記載のリセットドレインは、リセットドレイン74に対応する。

請求項記載の電荷排出線は、接続線83および遮光配線94に対応する。

#### 【0038】

[第2実施形態の効果など]

以上説明した構成により、第2実施形態においても、第1実施形態と同一の効果を得ることができる。

#### 【0039】

さらに、第2実施形態では、縦型JFET42およびリセットドレイン74の双方を、それぞれコンタクトホール1個分の面積まで最小化する。したがって、単位画素内において、最大限まで受光領域を拡大できる。これにより、現行の固体撮像装置はもとより、今後、高画素化、画素縮小が進んでも、本発明による方法を用いることによって、高い受光効率を維持しつつ、固体撮像装置に画質向上をもたらすことができる。

10

#### 【0040】

また、第2実施形態では、受光領域を十字型またはT字型に拡大する。その結果、受光領域の縦横比を等方に近づけることができる。この場合、不図示のオンチップマイクロレンズの集光効率が向上し、撮像エリア周辺におけるシェーディングを抑制できる。

次に、別の実施形態について説明する。

#### 【0041】

20

《第3実施形態》

図7は、第3実施形態における固体撮像装置の画素断面図である。

第3実施形態の構成上の特徴は、縦型JFET42のN型ドレイン領域56が、高濃度のN型半導体基板100まで到達している点である。なお、その他の構成については、第1実施形態または第2実施形態と同一のため、重複説明を省略する。

#### 【0042】

このような構成は、例えば、N型ドレイン領域56のイオン注入深さをコントロールすることにより実現できる。また例えば、N型エピタキシャル層101を若干薄く形成することによっても実現できる。

#### 【0043】

30

このN型ドレイン領域56は、高濃度のN型半導体基板100と電気的に接触することにより、N型半導体基板100の基板電位が印加される。その結果、基板表面側からN型ドレイン領域56に電圧供給する配線を省くことが可能になり、単位画素内における縦型JFET42の占有面積を更に縮小することができる。

#### 【0044】

《実施形態の補足事項》

なお、上述した実施形態では、縦型JFETの面積縮小分を用いて受光領域を拡大し、固体撮像装置の受光効率の向上を達成している。しかしながら、本発明はこれに限定されるものではない。例えば、縦型JFET42の面積縮小分を用いて単位画素を縮小することにより、固体撮像装置の受光効率を維持したまま、高画素化を達成してもよい。

40

#### 【0045】

また、上述した第3実施形態では、縦型JFET42のN型ドレイン領域56に基板電位を印加する場合について説明した。しかしながら、本発明はこれに限定されるものではない。例えば、基板裏面側からの配線によりN型ドレイン領域56に電位を印加してもよい。また、撮像エリア外の周辺回路から、N型ドレイン領域56に電位を印加してもよい。また、N型チャネル領域57の片端(ドレイン)をN型半導体基板100と直に接触させてもよい。この場合、図7に示すN型ドレイン領域56の形成工程を省略することができる。

#### 【0046】

なお、上述した実施形態では、説明を簡明にするため、半導体の導電型を明記した。し

50



かしながら、本発明はこれらの導電型に限定されるものではない。例えば、導電型の一部または全部を逆にすることも容易である。

【0047】

また、上述した実施形態で上げた素子構造のサイズは特定の画素サイズの場合についての例示であり、画素サイズやデザインルールに応じてそのサイズも拡大・縮小することが好ましい。

【0048】

なお、上述した実施形態では、純粹に縦型チャンネル領域のみで構成する場合について説明した。しかしながら、本発明はこれに限定されるものではない。例えば、主たる縦型チャンネル領域の一部を屈曲するなどして、占有面積拡大が実質的に問題とならない範囲で、部分的に横型チャンネル領域を設けるなどしても勿論かまわない。

10

【0049】

さらに、本発明は、その精神またはその主要な特徴から逸脱することなく、他のいろいろな形で実施することができる。そのため、上述した実施形態は、あらゆる点で単なる例示に過ぎず、限定的に解釈してはならない。本発明は、特許請求の範囲によって示されるものであって、本発明は明細書本文にはなんら拘束されない。さらに、特許請求の範囲の均等範囲に属する変形や変更は、全て本発明の範囲内である。

【産業上の利用可能性】

【0050】

以上説明したように、本発明は、固体撮像装置などに利用可能な技術である。

20

【図面の簡単な説明】

【0051】

【図1】第1実施形態における固体撮像装置41の画素構造を示す上面図である。

【図2】図1中に示すY1 - Y2箇所の断面図である。

【図3】図1中に示すX1 - X2箇所の断面図である。

【図4】縦型JFET42の製造工程の一例を示す図である。

【図5】第2実施形態における固体撮像装置71の画素構造を示す上面図である。

【図6】図5中に示すX1 - X2箇所の断面図である。

【図7】第3実施形態における固体撮像装置の画素断面図である。

【図8】従来の固体撮像装置の画素構造を示す上面図である。

30

【図9】従来の固体撮像装置の画素断面図である。

【図10】従来の固体撮像装置の画素断面図である。

【符号の説明】

【0052】

1 受光素子

3 転送電極

5 リセット電極

12 埋込P型領域

13 表面N型層

18 P型電荷排出領域

40

22 垂直信号線

23 電荷排出線

24 遮光配線

25 リセット電極

30 コンタクトホール

31 コンタクトホール

41 固体撮像装置

42 縦型JFET

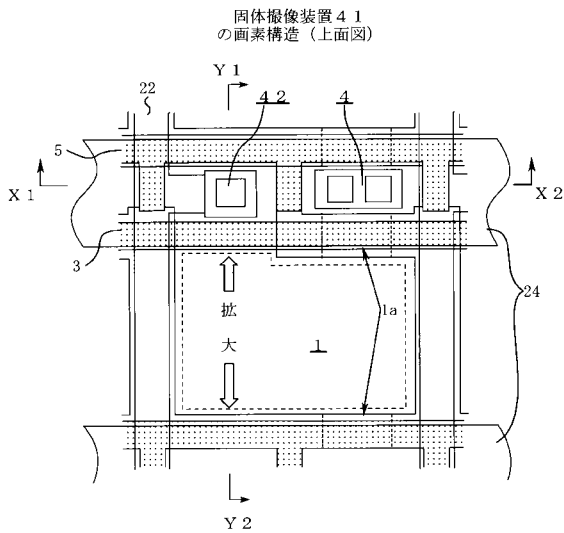
42 縦型JFET

54 N型ソース領域

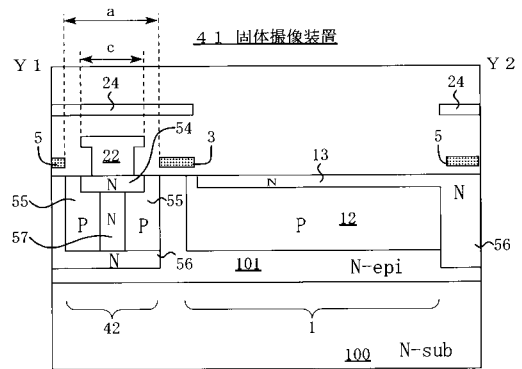
50

- 5 5 P型ゲート領域
- 5 6 N型ドレイン領域
- 5 7 N型チャネル領域
- 7 1 固体撮像装置
- 7 4 リセットドレイン
- 7 5 リセット電極
- 8 3 接続線
- 8 8 P型電荷排出領域
- 9 4 遮光配線
- 9 9 固体撮像装置
- 1 0 0 N型半導体基板
- 1 0 1 N型エピタキシャル層

【図1】

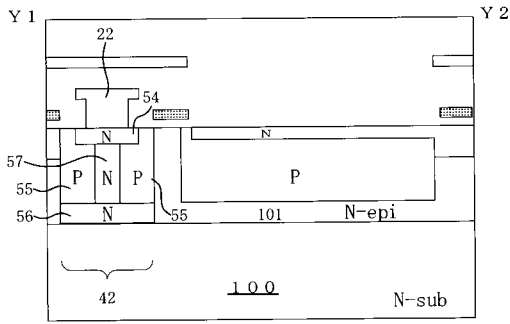


【図2】

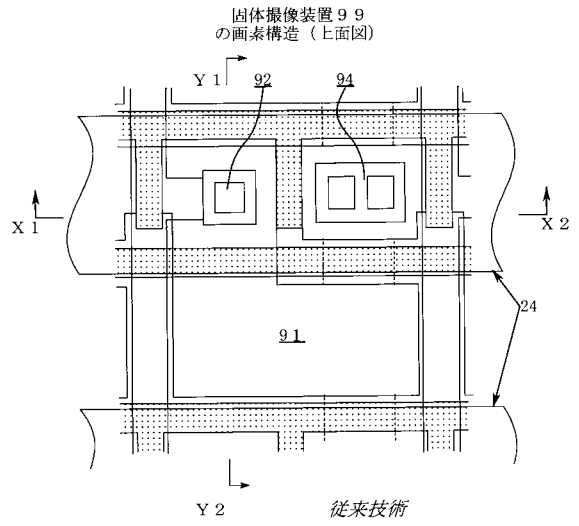




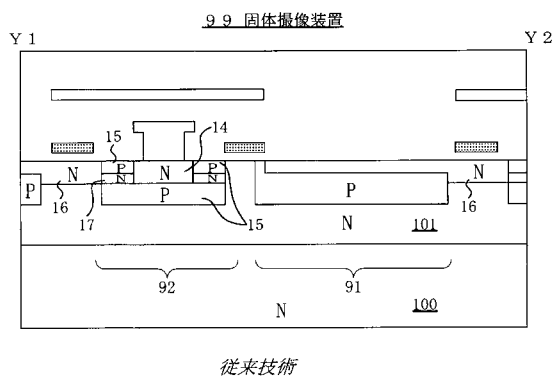
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

