



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월12일
(11) 등록번호 10-1927991
(24) 등록일자 2018년12월05일

<p>(51) 국제특허분류(Int. Cl.) H01L 27/108 (2006.01) H01L 21/8242 (2006.01)</p> <p>(21) 출원번호 10-2012-0077259</p> <p>(22) 출원일자 2012년07월16일 심사청구일자 2017년07월10일</p> <p>(65) 공개번호 10-2014-0010272</p> <p>(43) 공개일자 2014년01월24일</p> <p>(56) 선행기술조사문헌 US20110127605 A1* (뒷면에 계속)</p>	<p>(73) 특허권자 에스케이하이닉스 주식회사 경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자 유승완 경기도 용인시 기흥구 강남동로 42 강남마을6단지 써밋빌아파트 606-1801</p> <p>유민수 경기도 이천시 갈산로 42 신한아파트 105-201</p> <p>(74) 대리인 특허법인태평양</p>
--	--

전체 청구항 수 : 총 8 항

심사관 : 김종호

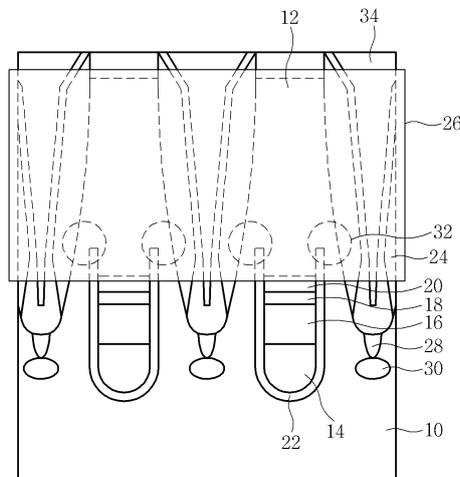
(54) 발명의 명칭 수직형 반도체 소자, 그 소자를 갖는 모듈과 시스템, 및 그 소자의 제조 방법

(57) 요약

본 발명은 수직 채널영역을 갖는 수직형 반도체 소자를 개시한다.

본 발명의 수직형 반도체 소자는 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트 라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함하며, 이러한 구조를 통해 보다 효과적으로 수직형 반도체 소자의 플로팅 바디 효과를 효과적으로 제거할 수 있다.

대표도 - 도1



(56) 선행기술조사문헌

US20120021575 A1*

KR101082108 B1*

KR1020110136298 A*

KR1020070116145 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

수직 채널영역을 포함하는 필라;

제 1 방향으로 진행하며, 상기 필라 하부의 반도체 기판에 매립된 비트라인;

상기 제 1 방향과 교차되는 제 2 방향으로 진행하며, 상기 필라의 측벽과 연결되는 게이트; 및

상기 제 2 방향을 따라 상기 필라의 양측에 위치하며, 상기 필라의 양측의 측벽들을 상기 반도체 기판과 연결시켜 주는 바디 연결부를 포함하는 수직형 반도체 소자.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 필라와 상기 비트라인 사이에 위치한 하부 접합영역; 및

상기 필라의 상부에 위치한 상부 접합영역을 더 포함하는 것을 특징으로 하는 수직형 반도체 소자.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 2항에 있어서,

상기 하부 접합영역과 상기 비트라인 사이에 베리어 메탈층이 더 포함되는 것을 특징으로 하는 수직형 반도체 소자.

청구항 4

삭제

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 비트라인 하부에 위치하는 절연막을 더 포함하는 것을 특징으로 하는 수직형 반도체 소자.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 바디 연결부는

상기 필라의 양측벽에 대칭적으로 위치하는 것을 특징으로 하는 수직형 반도체 소자.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 바디 연결부는

상기 필라의 일측벽에 위치하는 것을 특징으로 하는 수직형 반도체 소자.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 필라는
에피택셜 성장층인 것을 특징으로 하는 수직형 반도체 소자.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 8항에 있어서, 상기 바디 연결부는
상기 필라와 동일한 물질로 형성된 것을 특징으로 하는 수직형 반도체 소자.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,
인접한 상기 비트라인들 사이에 위치하는 에어갭을 더 포함하는 것을 특징으로 하는 수직형 반도체 소자.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제 10항에 있어서,
상기 에어갭 하부에 불순물이 주입된 필드 스탑(field stop)층을 더 포함하는 것을 특징으로 하는 수직형 반도체 소자.

청구항 12

반도체 기관을 식각하여 제 1 리세스를 형성하는 단계;
상기 제 1 리세스 하부에 비트라인을 형성하는 단계;
상기 비트라인이 매립되도록 상기 반도체 기관 및 상기 비트라인 상부에 실리콘층을 형성하는 단계;
상기 비트라인 사이의 상기 실리콘층과 상기 반도체 기관을 식각하여 제 2 리세스를 형성하되, 상기 실리콘층이 상기 반도체 기관에 연결되도록 하는 단계;
상기 비트라인과 교차하는 방향으로 상기 실리콘층을 식각하여 필라를 형성하는 단계; 및
상기 필라의 측벽에 게이트를 형성하는 단계를 포함하는 수직형 반도체 소자의 제조 방법.

청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서,
상기 비트라인을 형성하기 전에 상기 제 1 리세스의 내면에 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서,
상기 비트라인을 형성한 후 상기 비트라인 상부에 하부 접합영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 14항에 있어서,

상기 하부 접합영역을 형성하기 전에 상기 비트라인 상에 베리어 메탈을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서, 상기 실리콘층을 형성하는 단계는

상기 반도체 기판 및 상기 비트라인 상부에 언도프드(undoped) 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층을 열처리하여 결정화시키는 단계; 및

상기 결정화된 실리콘층을 에피택셜 성장시키는 단계를 포함하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서, 상기 제 2 리세스를 형성하는 단계는

상기 실리콘층과 상기 반도체 기판을 경사 식각하여 제 3 리세스를 형성하는 단계;

상기 제 3 리세스의 측벽에 스페이서를 형성하는 단계; 및

상기 스페이서를 식각 마스크로 상기 제 3 리세스의 바닥면을 식각하여 제 4 리세스를 형성하는 단계를 포함하는 수직형 반도체 소자의 제조 방법.

청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제 17항에 있어서,

상기 제 3 리세스는 상기 비트라인의 바닥면 보다 높은 깊이까지 식각되며, 상기 제 4 리세스는 상기 비트라인의 바닥면 보다 낮은 깊이까지 식각되는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 19

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제 17항에 있어서,

상기 필라를 형성하기 전에 상기 비트라인 사이에 에어갭을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 20

◆청구항 20은(는) 설정등록료 납부시 포기되었습니다.◆

제 19항에 있어서, 상기 에어갭을 형성하는 단계는

상기 제 4 리세스는 매립되지 않으면서 상기 제 3 리세스는 매립되도록 절연막을 형성하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 21

◆청구항 21은(는) 설정등록료 납부시 포기되었습니다.◆

제 19항에 있어서,

상기 에어갭을 형성하기 전에

상기 제 4 리세스의 하부에 불순물을 주입하여 필드 스탑층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 22

◆청구항 22은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서, 상기 제 2 리세스를 형성하는 단계는

상기 실리콘층과 상기 반도체 기판을 상기 비트라인의 바닥면 보다 낮은 깊이까지 경사 식각하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 23

◆청구항 23은(는) 설정등록료 납부시 포기되었습니다.◆

제 22항에 있어서,

상기 제 2 리세스의 하부에 불순물을 주입하여 필드 스탑층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 24

◆청구항 24은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서, 상기 제 2 리세스를 형성하는 단계는

식각된 실리콘층 및 반도체 기판이 상기 비트라인을 중심으로 좌우 대칭되도록 식각하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 25

◆청구항 25은(는) 설정등록료 납부시 포기되었습니다.◆

제 24항에 있어서, 상기 제 2 리세스를 형성하는 단계는

상기 실리콘층의 상부에 상기 비트라인의 영역을 정의하는 하드마스크 패턴을 형성하는 단계; 및

상기 하드마스크 패턴을 식각 마스크로 상기 실리콘층과 상기 반도체 기판을 경사 식각하는 단계를 포함하는 수직형 반도체 소자의 제조 방법.

청구항 26

◆청구항 26은(는) 설정등록료 납부시 포기되었습니다.◆

제 12항에 있어서, 상기 제 2 리세스를 형성하는 단계는

식각된 실리콘층 및 반도체 기판이 상기 비트라인을 중심으로 좌우 비대칭되도록 식각하는 것을 특징으로 하는 수직형 반도체 소자의 제조 방법.

청구항 27

◆청구항 27은(는) 설정등록료 납부시 포기되었습니다.◆

제 26항에 있어서, 상기 제 2 리세스를 형성하는 단계는

상기 실리콘층의 상부에 상기 비트라인의 영역보다 폭이 넓게 형성되되, 그 넓어진 부분이 상기 비트라인의 일측 방향으로만 돌출되도록 하는 하드마스크 패턴을 형성하는 단계; 및

상기 하드마스크 패턴을 식각 마스크로 상기 실리콘층과 상기 반도체 기판을 경사 식각하는 단계를 포함하는 수직형 반도체 소자의 제조 방법.

청구항 28

위드라인과 비트라인에 연결되며 매트릭스 형태로 배열된 다수의 메모리 셀들을 포함하는 셀 어레이; 및
 상기 비트라인에 연결되어 상기 메모리 셀에 저장된 데이터를 센싱하는 센스앰프를 포함하며,
 상기 메모리 셀은
 수직 채널영역을 포함하는 필라;
 제 1 방향으로 진행하며, 상기 필라 하부의 반도체 기판에 매립된 비트라인;
 상기 제 1 방향과 교차되는 제 2 방향으로 진행하며, 상기 필라의 측벽과 연결되는 게이트; 및
 상기 제 2 방향을 따라 상기 필라의 양측에 위치하며, 상기 필라의 양측의 측벽들을 상기 반도체 기판과 연결시켜 주는 바디 연결부를 포함하는 것을 특징으로 하는 수직형 반도체 소자.

청구항 29

기판에 탑재된 복수개의 반도체 소자들을 갖는 반도체 모듈에 있어서,
 상기 반도체 소자는
 수직 채널영역을 포함하는 필라;
 제 1 방향으로 진행하며, 상기 필라 하부의 반도체 기판에 매립된 비트라인;
 상기 제 1 방향과 교차되는 제 2 방향으로 진행하며, 상기 필라의 측벽과 연결되는 게이트; 및
 상기 제 2 방향을 따라 상기 필라의 양측에 위치하며, 상기 필라의 양측의 측벽들을 상기 반도체 기판과 연결시켜 주는 바디 연결부를 포함하는 수직형 반도체 소자인 것을 특징으로 하는 반도체 모듈.

청구항 30

기판에 탑재된 복수개의 반도체 소자들을 갖는 반도체 모듈 및 상기 반도체 모듈의 동작을 제어하는 제어기를 포함하는 반도체 시스템에 있어서,
 상기 반도체 소자는
 수직 채널영역을 포함하는 필라;
 제 1 방향으로 진행하며, 상기 필라 하부의 반도체 기판에 매립된 비트라인;
 상기 제 1 방향과 교차되는 제 2 방향으로 진행하며, 상기 필라의 측벽과 연결되는 게이트; 및
 상기 제 2 방향을 따라 상기 필라의 양측에 위치하며, 상기 필라의 양측의 측벽들을 상기 반도체 기판과 연결시켜 주는 바디 연결부를 포함하는 수직형 반도체 소자인 것을 특징으로 하는 반도체 시스템.

청구항 31

적어도 하나의 반도체 모듈을 갖는 반도체 시스템 및 상기 반도체 시스템에 저장된 데이터를 처리하는 프로세서를 포함하는 컴퓨터 시스템에 있어서,
 상기 반도체 모듈은 기판에 탑재된 반도체 소자들을 포함하며,
 상기 반도체 소자는
 수직 채널영역을 포함하는 필라;
 제 1 방향으로 진행하며, 상기 필라 하부의 반도체 기판에 매립된 비트라인;
 상기 제 1 방향과 교차되는 제 2 방향으로 진행하며, 상기 필라의 측벽과 연결되는 게이트; 및
 상기 제 2 방향을 따라 상기 필라의 양측에 위치하며, 상기 필라의 양측의 측벽들을 상기 반도체 기판과 연결시켜 주는 바디 연결부를 포함하는 수직형 반도체 소자인 것을 특징으로 하는 컴퓨터 시스템.

청구항 32

기판에 탑재된 적어도 하나의 반도체 소자를 포함하는 데이터 프로세싱 시스템에 있어서,

상기 반도체 소자는

수직 채널영역을 포함하는 필라;

제 1 방향으로 진행하며, 상기 필라 하부의 반도체 기판에 매립된 비트라인;

상기 제 1 방향과 교차되는 제 2 방향으로 진행하며, 상기 필라의 측벽과 연결되는 게이트; 및

상기 제 2 방향을 따라 상기 필라의 양측에 위치하며, 상기 필라의 양측의 측벽들을 상기 반도체 기판과 연결시켜 주는 바디 연결부를 포함하는 수직형 반도체 소자인 것을 특징으로 하는 데이터 프로세싱 시스템.

청구항 33

적어도 하나의 데이터 프로세싱 시스템을 갖는 전자 시스템에 있어서,

상기 데이터 프로세싱 시스템은 기판에 탑재된 적어도 하나의 반도체 소자를 포함하며,

상기 반도체 소자는

수직 채널영역을 포함하는 필라;

제 1 방향으로 진행하며, 상기 필라 하부의 반도체 기판에 매립된 비트라인;

상기 제 1 방향과 교차되는 제 2 방향으로 진행하며, 상기 필라의 측벽과 연결되는 게이트; 및

상기 제 2 방향을 따라 상기 필라의 양측에 위치하며, 상기 필라의 양측의 측벽들을 상기 반도체 기판과 연결시켜 주는 바디 연결부를 포함하는 수직형 반도체 소자인 것을 특징으로 하는 전자 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 수직형 반도체 소자에 관한 것으로, 보다 자세하게는 플로팅 바디 효과(Floating Body Effect)를 효과적으로 제거할 수 있는 수직형 반도체 소자 및 그 소자를 갖는 모듈 및 시스템 그리고 그 소자를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 집적도가 높아지면서 집적도 향상을 위해 40nm 이하급 DRAM 장치가 요구되고 있다. 그런데, $8F^2$ (F:minimum feature size) 또는 $6F^2$ 셀아키텍처(cell architecture) 형태에서 사용하는 플라나(Planar) 또는 리세스 게이트 트랜지스터(Recessed Gate Transistor)의 경우에는 40nm 이하로 스케일링(scaling) 하기가 매우 어려운 문제가 있다. 따라서 동일 스케일링에서 집적도를 1.5 ~ 2 배 향상시킬 수 있는 $4F^2$ 셀아키텍처를 갖는 DRAM 장치가 요구되고 있다.

[0003] $4F^2$ 셀아키텍처를 구성하기 위해서는 셀 트랜지스터의 소스(source)부와 드레인(drain)부, 즉, 전하가 저장된 캐패시터 형성 영역의 소스부와 전하를 비트라인으로 방출하는 드레인부가 $1F^2$ 에 형성이 가능해야 한다. 이를 위해 최근 $1F^2$ 내에 소스부와 드레인부 형성이 가능한 수직 형상(vertical type)의 셀 트랜지스터 구조에 대한 연구가 검토되고 있다. 수직 형상의 셀 트랜지스터 구조는 셀을 동작시키는 트랜지스터의 소스 영역 및 드레인 영역을 상, 하부로 형성시키고 수직 기둥 형태의 채널로 트랜지스터를 동작시키는 구조이다. 즉, $8F^2$ 에서 수평 형상으로 형성되는 소스 영역 및 드레인 영역 부분을 상, 하부의 수직 형태로 구성함으로써 $4F^2$ 내에서 셀 트랜지스터 동작 구현이 가능하도록 하는 방법이다.

[0004] 그런데 이러한 $4F^2$ 셀아키텍처에서는 비트라인 접합영역이 필라의 하부 측면에 OSC(One Side Contact) 형태로 형성된다.

[0005] 따라서, 비트라인 접합영역의 접합 깊이(junction depth)가 얇게 형성되면, 게이트와 접합영역이 오버랩되지 않아 채널 저항 및 채널 길이가 증가하여 문턱전압이 증가하고 채널 전류는 감소하는 문제가 있다.

[0006] 반면에, 게이트와 접합영역이 오버랩되도록 접합 깊이가 깊게 형성되면, 필라의 폭이 좁기 때문에 접합영역에

의해 채널 영역이 기판으로부터 격리되는 플로팅 바디 효과(floating body effect)가 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 수직 채널영역을 갖는 반도체 소자에서 수직 채널영역이 형성되는 필라의 바디가 플로팅되는 플로팅 바디 효과를 효과적으로 제거하고자 한다.

과제의 해결 수단

- [0008] 본 발명의 일 실시 예에 따른 수직형 반도체 소자는 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함한다.
- [0009] 바람직하게는, 본 발명의 수직형 반도체 소자는 상기 필라와 상기 비트라인 사이에 위치한 하부 접합영역 및 상기 필라의 상부에 위치한 상부 접합영역을 더 포함할 수 있다.
- [0010] 바람직하게는, 본 발명의 수직형 반도체 소자는 상기 비트라인 하부에 위치하는 절연막을 더 포함할 수 있다.
- [0011] 바람직하게는, 본 발명의 수직형 반도체 소자는 상기 하부 접합영역과 상기 비트라인 사이에 베리어 메탈층을 더 포함할 수 있다.
- [0012] 바람직하게는, 본 발명의 수직형 반도체 소자는 상기 필라의 적어도 일측벽에 위치하는 게이트를 더 포함할 수 있다.
- [0013] 바람직하게는, 상기 바디 연결부는 상기 필라의 양측벽에 대칭적으로 위치하거나 상기 필라의 일측벽에 위치할 수 있다.
- [0014] 바람직하게는, 상기 필라는 에피택셜 성장층일 수 있으며, 상기 바디 연결부는 상기 필라와 동일한 물질로 형성될 수 있다.
- [0015] 바람직하게는, 본 발명의 수직형 반도체 소자는 인접한 상기 비트라인들 사이에 위치하는 에어갭을 더 포함할 수 있다.
- [0016] 바람직하게는, 본 발명의 수직형 반도체 소자는 상기 에어갭 하부에 불순물이 주입된 필드 스탑(field stop)층을 더 포함할 수 있다.
- [0017] 본 발명의 일 실시 예에 따른 수직형 반도체 소자의 제조 방법은 반도체 기판을 식각하여 제 1 리세스를 형성하는 단계, 상기 제 1 리세스 하부에 비트라인을 형성하는 단계, 상기 비트라인이 매립되도록 상기 반도체 기판 및 상기 비트라인 상부에 실리콘층을 형성하는 단계, 상기 비트라인 사이의 상기 실리콘층과 상기 반도체 기판을 식각하여 제 2 리세스를 형성하되, 식각된 실리콘층이 상기 반도체 기판과 연결되도록 식각하는 단계, 상기 비트라인과 교차하는 방향으로 상기 실리콘층을 식각하여 필라를 형성하는 단계 및 상기 필라의 측벽에 게이트를 형성하는 단계를 포함한다.
- [0018] 바람직하게는, 상기 비트라인을 형성하기 전에 상기 제 1 리세스의 내면에 절연막을 형성하는 단계를 더 포함할 수 있다.
- [0019] 바람직하게는, 상기 비트라인을 형성한 후 상기 비트라인 상부에 하부 접합영역을 형성하는 단계를 더 포함할 수 있다.
- [0020] 바람직하게는, 상기 하부 접합영역을 형성하기 전에 상기 비트라인 상에 베리어 메탈을 형성하는 단계를 더 포함할 수 있다.
- [0021] 바람직하게는, 상기 실리콘층을 형성하는 단계는 상기 반도체 기판 및 상기 비트라인 상부에 언도프드(undoped) 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층을 열처리하여 결정화시키는 단계 및 상기 결정화된 실리콘층을 에피택셜 성장시키는 단계를 포함할 수 있다.
- [0022] 바람직하게는, 상기 제 2 리세스를 형성하는 단계는 상기 실리콘층과 상기 반도체 기판을 경사 식각하여 제 3 리세스를 형성하는 단계, 상기 제 3 리세스의 측벽에 스페이서를 형성하는 단계 및 상기 스페이서를 식각 마스크로 상기 제 3 리세스의 바닥면을 식각하여 제 4 리세스를 형성하는 단계를 포함할 수 있다. 이때, 상기 제 3

리세스는 상기 비트라인의 바닥면 보다 높은 깊이까지 식각되며, 상기 제 4 리세스는 상기 비트라인의 바닥면 보다 낮은 깊이까지 식각될 수 있다.

- [0023] 바람직하게는, 상기 필라를 형성하기 전에 상기 비트라인 사이에 에어갭을 형성하는 단계를 더 포함할 수 있다. 이때, 상기 에어갭을 형성하는 단계는 상기 제 4 리세스는 매립되지 않으면서 상기 제 3 리세스는 매립되도록 절연막을 형성할 수 있다.
- [0024] 바람직하게는, 상기 에어갭을 형성하기 전에 상기 제 4 리세스의 하부에 불순물을 주입하여 필드 스탑층을 형성하는 단계를 더 포함할 수 있다.
- [0025] 바람직하게는, 상기 제 2 리세스를 형성하는 단계는 상기 실리콘층과 상기 반도체 기판을 상기 비트라인의 바닥면 보다 낮은 깊이까지 경사 식각할 수 있다.
- [0026] 바람직하게는, 상기 제 2 리세스의 하부에 불순물을 주입하여 필드 스탑층을 형성하는 단계를 더 포함할 수 있다.
- [0027] 바람직하게는, 상기 제 2 리세스를 형성하는 단계는 식각된 실리콘층 및 반도체 기판이 상기 비트라인을 중심으로 좌우 대칭되도록 식각할 수 있다.
- [0028] 바람직하게는, 상기 제 2 리세스를 형성하는 단계는 상기 실리콘층의 상부에 상기 비트라인의 영역을 정의하는 하드마스크 패턴을 형성하는 단계 및 상기 하드마스크 패턴을 식각 마스크로 상기 실리콘층과 상기 반도체 기판을 경사 식각하는 단계를 포함할 수 있다.
- [0029] 바람직하게는, 상기 제 2 리세스를 형성하는 단계는 식각된 실리콘층 및 반도체 기판이 상기 비트라인을 중심으로 좌우 비대칭되도록 식각할 수 있다.
- [0030] 바람직하게는, 상기 제 2 리세스를 형성하는 단계는 상기 실리콘층의 상부에 상기 비트라인의 영역보다 폭이 넓게 형성되되, 그 넓어진 부분이 상기 비트라인의 일측 방향으로만 돌출되도록 하는 하드마스크 패턴을 형성하는 단계 및 상기 하드마스크 패턴을 식각 마스크로 상기 실리콘층과 상기 반도체 기판을 경사 식각하는 단계를 포함할 수 있다.
- [0031] 본 발명의 일 실시 예에 따른 수직형 반도체 소자는 워드라인과 비트라인에 연결되며 매트릭스 형태로 배열된 다수의 메모리 셀들을 포함하는 셀 어레이 및 상기 비트라인에 연결되어 상기 메모리 셀에 저장된 데이터를 센싱하는 센스앰프를 포함하며, 상기 메모리 셀은 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함한다.
- [0032] 본 발명의 일 실시 예에 따른 반도체 모듈은 기판에 탑재된 복수개의 반도체 소자들을 갖는 반도체 모듈에 있어서, 상기 반도체 소자는 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함하는 수직형 반도체 소자이다.
- [0033] 본 발명의 일 실시 예에 따른 반도체 시스템은 기판에 탑재된 복수개의 반도체 소자들을 갖는 반도체 모듈 및 상기 반도체 모듈의 동작을 제어하는 제어기를 포함하는 반도체 시스템에 있어서, 상기 반도체 소자는 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함하는 수직형 반도체 소자이다.
- [0034] 본 발명의 일 실시 예에 따른 컴퓨터 시스템에 있어서, 적어도 하나의 반도체 모듈을 갖는 반도체 시스템 및 상기 반도체 시스템에 저장된 데이터를 처리하는 프로세서를 포함하는 컴퓨터 시스템에 있어서, 상기 반도체 모듈은 기판에 탑재된 반도체 소자들을 포함하며, 상기 반도체 소자는 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함하는 수직형 반도체 소자이다.
- [0035] 본 발명의 일 실시 예에 따른 프로세싱 시스템은 기판에 탑재된 적어도 하나의 반도체 소자를 포함하는 데이터 프로세싱 시스템에 있어서, 상기 반도체 소자는
- [0036] 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함하는 수직형 반도체 소자이다.

[0037] 본 발명의 일 실시 예에 따른 전자 시스템은 적어도 하나의 데이터 프로세싱 시스템을 갖는 전자 시스템에 있어서, 상기 데이터 프로세싱 시스템은 기판에 탑재된 적어도 하나의 반도체 소자를 포함하며, 상기 반도체 소자는 수직 채널영역을 포함하는 필라, 상기 필라 하부의 반도체 기판에 매립된 비트라인 및 상기 필라의 적어도 일측벽을 상기 반도체 기판과 연결시켜주는 바디 연결부를 포함하는 수직형 반도체 소자이다.

발명의 효과

[0038] 본 발명은 수직 채널영역을 갖는 반도체 소자에서 필라의 바디가 플로팅되는 문제를 효과적으로 제거할 수 있다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자의 구조를 보여주는 단면도.
 도 2 내지 도 10은 도 1의 구조를 형성하기 위한 제조 공정을 나타내 도면들.
 도 11은 도 10의 평면 구조를 나타내는 평면도.
 도 12는 본 발명의 다른 실시 예에 따른 반도체 소자의 구조를 보여주는 단면도.
 도 13 및 도 14는 도 12의 구조를 형성하기 위한 제조 방법 중 도 2 내지 도 11과 다른 경우에 대해 도시한 도면.
 도 15는 도 1 또는 도 12의 셀 구조가 적용된 반도체 장치의 구성을 주변회로영역까지 나타낸 도면.
 도 16은 본 발명의 일 실시 예에 따른 반도체 모듈의 구성을 나타내는 도면.
 도 17은 본 발명의 일 실시 예에 따른 반도체 시스템의 구성을 나타내는 도면.
 도 18은 본 발명의 일 실시 예에 따른 컴퓨터 시스템의 구조를 나타내는 도면.
 도 19는 본 발명의 일 실시 예에 따른 데이터 프로세싱 시스템의 구성을 나타내는 도면.
 도 20은 본 발명의 일 실시 예에 따른 전자 시스템의 구성을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0040] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.

[0041] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자의 구조를 보여주는 단면도이다.

[0042] 반도체 기판(10)의 상부에는 수직 채널영역을 포함하는 필라(12)가 형성되며, 필라(12)의 하부에는 절연막(14), 비트라인(16), 베리어 메탈(18) 및 하부 접합영역(20)이 순차적으로 적층된다. 절연막(14), 비트라인(16), 베리어 금속층(18) 및 접합영역(20)은 반도체 기판(10)에 매립되도록 형성된다. 이때, 절연막(14)은 비트라인(16)과 기판 사이의 기생 캐패시턴스를 줄이기 위해 형성된다. 비트라인(16), 베리어 금속층(18) 및 하부 접합영역(20)의 측벽에는 절연막(22)이 형성된다. 인접한 비트라인(16) 사이에는 절연막(28)으로서 에어갭이 형성되며, 에어갭(28)의 하부에는 P 타입의 불순물이 주입된 필드 스탑(field stop)층(30)이 형성된다.

[0043] 필라(12)는 비정질 실리콘을 SPE(Solid Phase Epitaxy) 및 SEG(Silicon Epitaxial Growth) 공정을 통해 성장시킨 성장층으로 형성될 수 있다. 그리고, 비트라인(16)은 텅스텐(W)을 포함할 수 있으며, 베리어 금속층(18)은 티타늄(Ti) 및 티타늄질화막(TiN)의 적층구조 또는 코발트(cobalt)를 포함할 수 있다. 하부 접합영역(20)은 N형 불순물이 고농도로 주입된 폴리 실리콘 또는 비정질(amorphous) 실리콘으로 형성될 수 있다.

[0044] 본 실시 예에서는 비트라인(16)을 반도체 기판(10)에 매립시키고 비트라인(16) 사이에 에어갭을 형성함으로써 인접한 비트라인(16)들 간의 기생 캐패시턴스를 감소시켜 센싱마진 및 데이터 리텐션(retention) 특성을 개선할 수 있다. 이때, 에어갭은 다른 절연막으로 대체될 수 있다.

[0045] 필라(12)의 측벽들 중 제 1 방향으로 마주보는 양측벽에는 스페이서(24)가 형성되며, 스페이서(24)가 형성되지 않은 양측벽 즉 제 1 방향과 교차되는 제 2 방향으로 마주보는 양측벽에는 비트라인(16)의 진행방향과 수직인 방향(제 1 방향)으로 진행되는 게이트(26)가 형성된다. 인접한 필라(12) 사이에는 층간 절연막(34)이 형성된다. 층간 절연막(34)은 에어갭(28)을 형성하기 위한 스텝 커버리지 특성이 취약한 절연물을 포함한다.

- [0046] 특히, 본 발명에서는 플로팅 바디 효과를 제거하기 위해 필라(12)의 측벽 중 스페이서(24)가 형성된 측벽의 하부(lower portion)에 필라(12)의 바디를 반도체 기관(10)과 연결시켜주는 바디 연결부(32)를 형성한다. 도 1에서는 바디 연결부(32)가 필라(12)의 양측에 대칭적으로 형성되는 경우를 도시하였으나 필라(32)의 일측에만 형성할 수도 있다.
- [0047] 도 2 내지 도 10은 도 1의 구조를 형성하기 위한 제조 공정을 나타내는 도면들이다.
- [0048] 도 2를 참조하면, 반도체 기관(100) 상부에 산화막(102) 및 하드마스크층(104)을 형성한 후 통상의 사진 식각 공정을 통해 하드마스크층(104) 상에 비트라인이 형성될 영역을 정의하는 감광막 패턴(미도시)을 형성한다. 즉, 비트라인이 형성될 영역을 오픈시키는 감광막 패턴을 형성한다.
- [0049] 다음에, 감광막 패턴을 식각 마스크로 하드마스크층(104)을 식각하여 하드마스크 패턴(104)을 형성한다. 이어서, 하드마스크 패턴(104)을 식각 마스크로 산화막(102) 및 반도체 기관(100)을 식각하여 리세스(R1)를 형성한다. 이때, 리세스(R1)의 깊이는 50nm 내지 300nm인 것이 바람직하다. 리세스(R1)를 형성한 후에는 리세스(R1) 표면의 손상을 치유하기 위하여 트리트먼트를 수행하는 것이 바람직하다. 트리트먼트는 H₂ 를 포함하는 어닐링 공정을 포함하는 것이 바람직하다.
- [0050] 다음에 도 3을 참조하면, 리세스(R1)의 내면에 절연막(106)을 형성한 후 리세스(R1)가 매립되도록 절연막(108)을 형성한다. 이어서, 절연막(108)을 에치백하여 리세스(R) 하부에만 절연막(108)이 형성되도록 한다. 이때, 절연막(108)은 10nm 내지 100nm 정도의 높이로 형성된다. 이러한 절연막(108)은 후속공정에서 형성될 비트라인(110)과 기관 사이에 발생될 수 있는 기생 캐패시턴스를 줄이기 위해 형성된다.
- [0051] 다음에, 절연막(108) 상부에 비트라인 금속물질을 형성한 후 이를 에치백하여 비트라인(110)을 형성하고, 비트라인(110) 상부에 베리어 메탈 물질을 형성한 후 이를 에치백하여 베리어 금속층(112)을 형성한다. 이어서, 베리어 금속층(110) 상부에 고농도의 불순물(N형 불순물)이 도핑된 비정질 실리콘층 또는 폴리 실리콘층을 형성한 후 이를 에치백하여 하부 접합영역(114)을 형성한다.
- [0052] 이때, 비트라인(110)은 금속 계열의 물질을 포함하며, 베리어 금속층(112)은 티타늄 및 티타늄질화막의 적층구조 또는 코발트(cobalt)를 포함한다. 금속 계열의 물질은 텅스텐, 구리 또는 알루미늄을 포함할 수 있다. 비트라인(110), 베리어 금속층(112) 및 하부 접합영역(114)의 적층구조는 10nm 내지 100nm 정도의 높이로 형성된다.
- [0053] 다음에 도 4를 참조하면, 하드마스크 패턴(104) 및 산화막(102)을 제거한다.
- [0054] 다음에, 하부 접합영역(114) 및 반도체 기관(100) 상부에 언도프드 비정질 실리콘층(116)을 형성한 후 이를 열처리하여 결정화시키는 고상 성장법(SPE; Solid Phase Epitaxy) 공정을 수행한다.
- [0055] 다음에 도 5를 참조하면, 결정화된 실리콘층을 시드(seed)로 에피택셜 성장(SEG; Silicon Epitaxial Growth) 공정을 수행하여 하부 접합영역(114) 및 반도체 기관(100) 상부에 실리콘층(118)을 형성한 후 이를 평탄화한다. 이때, 실리콘층(118)은 선택적 에피택셜 성장 방법 이외에 200℃ 내지 1000℃의 온도, H₂ 분위기에서 10분 내지 120분 동안 열처리를 통해 성장될 수도 있다.
- [0056] 다음에 도 6을 참조하면, 실리콘층(118) 상부에 하드마스크층(미도시)을 형성한 후 통상의 사진 식각 공정을 이용하여 하드마스크층 상부에 비트라인 영역을 정의하는 감광막 패턴(미도시)을 형성한다. 이때, 감광막 패턴은 도 2에서의 감광막 패턴과 반대로 감광막이 비트라인 영역은 덮고 나머지 영역은 오픈시키는 형태로 형성된다.
- [0057] 다음에, 감광막 패턴을 식각 마스크로 하드마스크층을 식각하여 하드마스크 패턴(120)을 형성한다. 이어서, 하드마스크 패턴(120)을 식각 마스크로 실리콘층(118) 및 반도체 기관(100)을 경사 식각하여 리세스(R2)를 형성한다. 즉, 실리콘층(118)은 비트라인(110)과 같은 방향으로 진행하며 측면이 경사지게 형성된 라인 타입으로 식각된다. 이때, 리세스(R2)는 비트라인(110)의 바닥면 보다 높은 깊이까지 식각된다.
- [0058] 이처럼, 실리콘층(118)을 식각시, 절연막(106)이 노출되지 않고 절연막(106)의 상부에 실리콘층(118)이 남아 있도록 경사지게 실리콘층(118)을 식각함으로써 식각된 실리콘층(118)이 반도체 기관(100)과 연결되도록 한다. 즉, 식각된 실리콘층(118)이 그 하부에 형성된 베리어 메탈층(112), 비트라인(110) 및 절연막(106, 108)에 의해 반도체 기관(100)과 분리되지 않고 연결될 수 있도록 해주는 바디 연결부(점원으로 표시된 부분)가 형성된다.
- [0059] 다음에 도 7을 참조하면, 리세스(R2)의 측벽에 스페이서(122)를 형성한 후 스페이서(122)를 식각 마스크로 리세스(R2)의 바닥면을 2차 식각하여 리세스(R3)를 형성한다. 이때, 리세스(R3)는 비트라인(110)의 바닥면 이하의

깊이까지 식각되는 것이 바람직하다.

- [0060] 다음에, 리세스(R3)의 하부에 P 타입의 불순물을 주입하여 필드 스탑층(124)을 형성한다.
- [0061] 다음에 도 9를 참조하면, 리세스(R2)에 스텝 커버리지 특성이 취약한 절연물(126)을 주입하여 리세스(R3)에 에어갭(128)을 형성한다. 이처럼, 인접한 비트라인(110)들 사이에 에어갭(128)을 형성함으로써 비트라인들 간의 기생 캐패시턴스를 감소시켜 센싱마진 및 데이터 리텐션(retention) 특성을 개선할 수 있다.
- [0062] 이어서, 리세스(R2)가 매립되도록 층간 절연막(130)을 형성한 후 이를 평탄화한다.
- [0063] 다음에 도 10을 참조하면, 층간 절연막(130) 및 하드마스크 패턴(120) 상부에 필라 영역을 정의하는 라인 타입의 마스크 패턴(미도시)을 형성한다. 즉, 실리콘층(118)을 식각하여 트랜지스터가 형성될 활성 영역인 필라 영역을 형성하기 위해 비트라인(110)과 수직한 방향으로 진행되는 라인 타입의 마스크 패턴(132)을 도 11과 같이 층간 절연막(130) 및 하드마스크 패턴(120) 상부에 형성한다. 이때, 필라가 형성되는 영역은 하드마스크 패턴(120)과 마스크 패턴(132)이 중첩되는 영역(접선의 사각형으로 표시된 영역)이 된다.
- [0064] 다음에, 마스크 패턴(132)을 식각 마스크로 실리콘층(118), 하드마스크 패턴(120) 및 층간 절연막(130)을 식각하여 실리콘층(118)을 소자분리시키는 라인 타입의 리세스(미도시)를 형성함으로써 필라(134)가 형성된다. 이어서, 리세스에 의해 노출된 실리콘층(118)의 양측벽에 게이트 절연막(미도시)을 형성한 후 게이트 절연막 상에 비트라인(110)과 수직한 방향으로 진행되는 게이트(136)를 형성한다. 즉, 필라(134)의 양측에 라인 타입으로 나란하게 진행되는 게이트(136)가 형성된다.
- [0065] 다음에, 게이트(136) 사이의 리세스가 매립되도록 층간 절연막(미도시)을 형성한 후 하드마스크 패턴(120)을 제거한다. 이어서, 하드마스크 패턴(120)이 제거된 필라(134)의 상부에 고농도의 불순물(N형 불순물)이 도프된 비정질 실리콘층 또는 폴리 실리콘층을 형성하여 상부 집합영역(138)을 형성한다.
- [0066] 도 12는 본 발명의 다른 실시 예에 따른 반도체 소자의 구조를 보여주는 단면도이며, 도 13 및 도 14는 도 12의 구조를 형성하기 위한 제조 방법 중 상술한 도 2 내지 도 11과 다른 경우에 대해 도시한 도면이다. 설명의 편의를 위해, 도 12에서 상술한 도 1과 동일한 구성 요소에 대해서는 동일한 참조번호를 사용하였으며, 도 13 및 도 14에서는 상술한 도 2 내지 도 11과 동일한 구성 요소에 대해서는 동일한 참조번호를 사용하였다.
- [0067] 도 1과 도 12를 비교하면, 도 1의 구조에서는 바디 연결부(32)가 필라(12)의 양측에 대칭적으로 형성되었다. 반면에, 도 12에서는 바디 연결부(36)가 필라(12)의 일측에만 비대칭적으로 형성된다.
- [0068] 이러한 비대칭적 바디 연결부(36)를 형성하기 위한 방법으로는 상술한 도 1 내지 도 5와 같은 방법으로 실리콘층(118)을 형성한 후 실리콘층(118) 상부에 도 13과 같이 하드마스크 패턴(120) 보다 폭이 넓으면서 한쪽 방향으로 미스얼라인(misalign)된 하드마스크 패턴(120')을 형성한다. 즉, 하드마스크 패턴(120')은 하드마스크 패턴(120) 보다 폭이 넓게 형성되되 그 넓어진 부분이 비트라인(16)의 일측 방향으로만 돌출되도록 형성된다.
- [0069] 이어서, 하드마스크 패턴(120')을 식각 마스크로 실리콘층(118)을 경사식각하여 리세스(R4)를 형성한다.
- [0070] 이때, 리세스(R4)를 비트라인(110)의 바닥면 보다 깊게 식각함으로써 비트라인(16) 사이에 도 1에서와 같은 에어갭(28)을 형성하지 않을 수 있다.
- [0071] 따라서, 도 12의 구조를 형성하는 경우에는 상술한 도 7에서와 같이 리세스(R4)의 측벽에 스페이서(122)를 형성하거나 리세스(R4)의 바닥면을 2차 식각하지 않고, 도 14에서와 같이 리세스 하부에 바로 P 타입의 불순물을 주입하여 필드 스탑층(124)을 형성한다. 이어서, 리세스(R4)가 매립되도록 절연막(130)을 형성한다.
- [0072] 이후의 공정은 상술한 도 10 및 도 11의 경우와 같은 방법으로 이루어질 수 있으므로 이에 대한 설명은 생략한다.
- [0073] 도 1에 대한 실시 예에서도, 도 6에서 리세스(R2)를 비트라인(110)의 바닥면 보다 낮은 깊이까지 식각하는 경우 비트라인들 사이에 에어갭을 형성하지 않을 수도 있다.
- [0074] 도 15는 도 1 또는 도 12의 셀 구조가 적용된 반도체 소자의 구성을 주변회로영역까지 확장하여 나타낸 도면이다.
- [0075] 반도체 소자(500)는 셀 어레이(Memory Cell Array)(510), 센스 앰프(Sense Amplifier)(520), 로우 디코더(Row Decoder)(530) 및 컬럼 디코더(Column Decoder)(540)를 포함할 수 있다.
- [0076] 셀 어레이(510)는 워드라인(게이트)(26) 및 비트라인(16)에 연결되며 매트릭스 형태로 배열된 다수의 메모리 셀

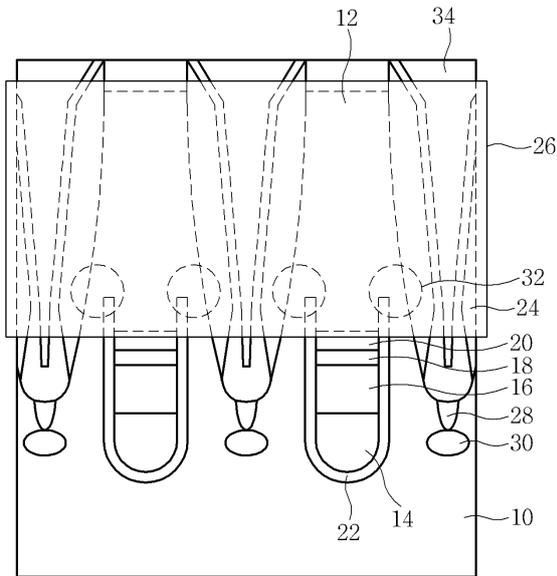
(512)들을 포함한다. 이때, 각 메모리 셀(512)의 트랜지스터는 도 1 또는 도 12와 같이 수직 채널 구조를 가지며, 필라(12)의 양측 또는 일측이 대칭적으로 또는 비대칭적으로 반도체 기판과 연결되는 바디 연결부(32, 36)를 갖는다.

- [0077] 센스앰프(520)는 비트라인(16)과 연결되어 셀 어레이(510)의 메모리 셀(512)에 저장된 데이터를 감지 및 증폭한다.
- [0078] 로우 디코더(530)는 데이터가 리드 또는 라이트 될 메모리 셀(512)을 선택하기 위한 워드라인 선택신호를 발생시켜 워드라인(26)에 인가한다.
- [0079] 컬럼 디코더(540)는 로우 디코더(530)에 의해 선택된 셀(512)과 연결된 센스앰프(520)를 동작시키기 위한 구동신호를 발생시켜 센스앰프(520)에 출력한다.
- [0080] 센스앰프(520) 및 디코더들(530, 540)은 통상의 반도체 소자에 사용되는 것으로, 이들에 대한 구체적인 구조 및 동작 설명은 생략한다.
- [0081] 이러한 반도체 소자는 컴퓨팅 메모리(Computing Memory, 예컨대, DRAM, SRAM, DDR3 SDRAM, DDR2 SDRAM, DDR SDRAM), 컨서머 메모리(Consumer Memory, 예컨대, DDR3 SDRAM, DDR2 SDRAM, DDR SDRAM, SDR SDRAM), 그래픽 메모리(Graphics Memory, 예컨대, DDR3 SDRAM, GDDR3 SDRAM, GDDR4 SDRAM, GDDR5 SDRAM), 모바일 메모리(Mobile Memory, 예컨대, Mobile SDR, Mobile DDR, Mobile DDR2, MCP(Multi Chip Package), PoP(Package on Package), PSRAM, LPDDR), SGRAM(Synchronous Graphics RAM) 등에 사용될 수 있다.
- [0082] 도 16은 본 발명의 일 실시 예에 따른 반도체 모듈의 구성을 나타내는 도면이다.
- [0083] 반도체 모듈(600)은 모듈 기판(610) 상에 탑재된 복수개의 반도체 소자(620)들, 반도체 소자(620)가 외부의 제어기(미도시)로부터 제어신호(어드레스 신호(ADDR), 커맨드 신호(CMD), 클럭 신호(CLK))를 제공받을 수 있도록 해주는 커맨드 링크(630) 및 반도체 소자(620)와 연결되어 입출력되는 데이터를 전송하는 데이터 링크(640)를 포함한다.
- [0084] 이때, 반도체 소자(620)는 예컨대 도 15에 대한 설명에서 예시된 반도체 소자(500)들이 사용될 수 있다. 모듈 기판(610)에 탑재된 반도체 소자(620)는 도 1 및 도 12에서 설명된 바와 같이 수직 채널 구조를 가지며, 필라(12)의 양측 또는 일측이 대칭적으로 또는 비대칭적으로 반도체 기판과 연결되는 바디 연결부(32, 36)를 갖는다.
- [0085] 커맨드 링크(630) 및 데이터 링크(640)는 통상의 반도체 모듈에서 사용되는 것들과 동일 또는 유사하게 형성될 수 있다.
- [0086] 도 16에서는 모듈 기판(610) 전면에 8개의 반도체 소자(620)들이 탑재되어 있는 모습이 도시되었으나 모듈 기판(610)의 후면에도 동일하게 반도체 소자(620)들이 탑재될 수 있다. 즉, 모듈 기판(610)의 일측 또는 양측에 반도체 소자(620)들이 탑재될 수 있으며 탑재되는 반도체 소자(620)의 수는 도 16에 한정되지 않는다. 또한, 모듈 기판(610)의 재료 및 구조도 특별히 제한되지 않는다.
- [0087] 도 17은 본 발명의 일 실시 예에 따른 반도체 시스템의 구성을 나타내는 도면이다.
- [0088] 반도체 시스템(700)은 복수개의 반도체 소자(712)들이 탑재된 적어도 하나의 반도체 모듈(710) 및 반도체 모듈(710)과 외부의 시스템(미도시) 사이에서 양방향 인터페이스를 제공하여 반도체 모듈(710)의 동작을 제어하는 제어기(720)를 포함한다.
- [0089] 이러한 제어기(720)는 통상의 데이터 프로세싱 시스템에서 복수의 반도체 모듈들의 동작을 제어하기 위한 제어기와 그 기능이 동일 또는 유사하게 형성될 수 있다. 따라서, 본 실시 예에서는 이에 대한 상세한 설명은 생략한다.
- [0090] 이때, 반도체 모듈(710)은 예컨대 도 16에 예시된 반도체 모듈(600)이 사용될 수 있다.
- [0091] 도 18은 본 발명의 일 실시 예에 따른 컴퓨터 시스템의 구조를 나타내는 도면이다.
- [0092] 컴퓨터 시스템(800)은 반도체 시스템(810) 및 프로세서(CPU)(820)를 포함한다.
- [0093] 반도체 시스템(810)은 컴퓨터 시스템(800)의 동작을 제어하기 위해 필요한 데이터를 저장한다. 이때, 반도체 시스템(810)은 예컨대 도 17에 예시된 반도체 시스템(700)이 사용될 수 있다.

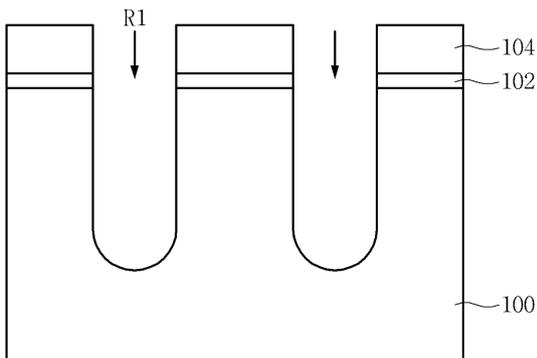
- | | |
|---------------------|--------------------|
| 520 : 센스 앰프 | 530 : 로우 디코더 |
| 540 : 컬럼 디코더 | 600, 710 : 반도체 모듈 |
| 610 : 모듈 기판 | 630 커맨드 링크 |
| 640 : 데이터 링크 | 700, 810 : 반도체 시스템 |
| 720 : 제어기 | 800 : 컴퓨터 시스템 |
| 820 : 프로세서 | 832 : 모니터 |
| 834 : 키보드 | 836 : 프린터 |
| 838 : 마우스 | 900 : 데이터 프로세싱 시스템 |
| 920 : 리드 | 1000 : 전자 시스템 |
| 1010 : 데이터 프로세싱 시스템 | 1020 : 사용자 인터페이스 |

도면

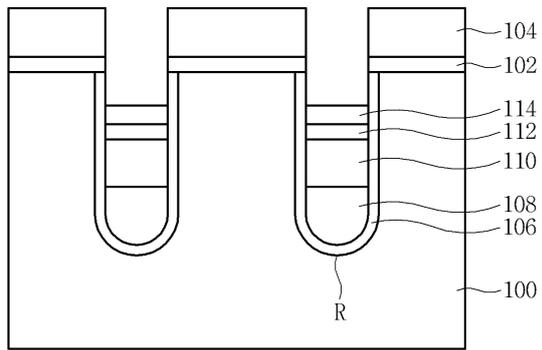
도면1



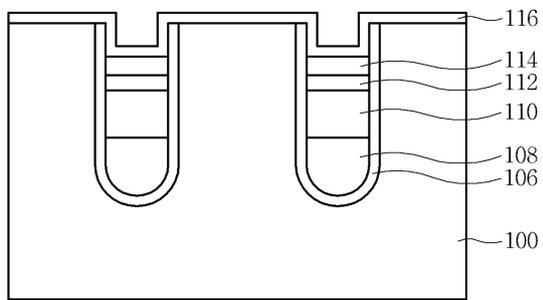
도면2



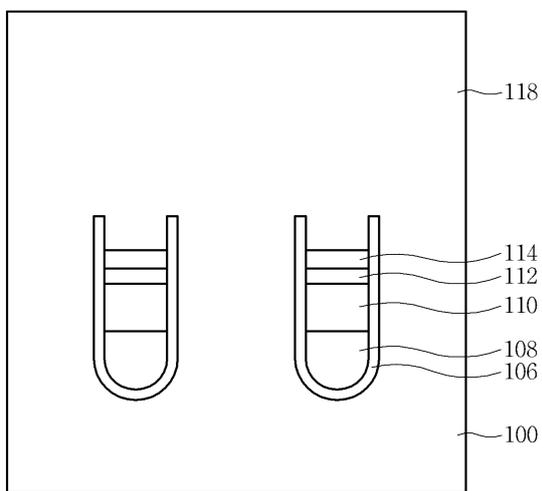
도면3



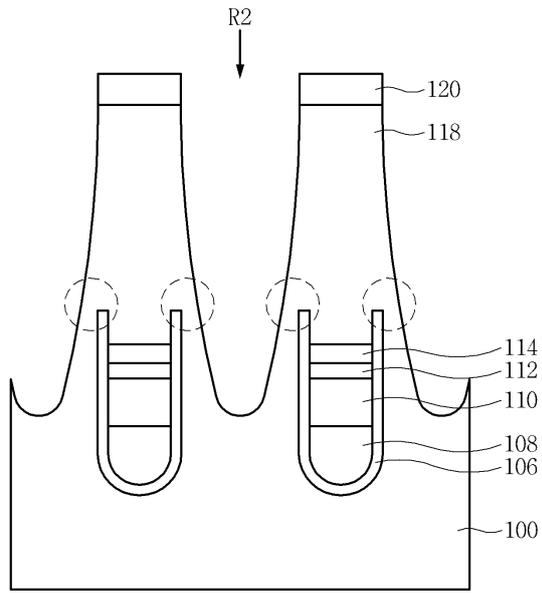
도면4



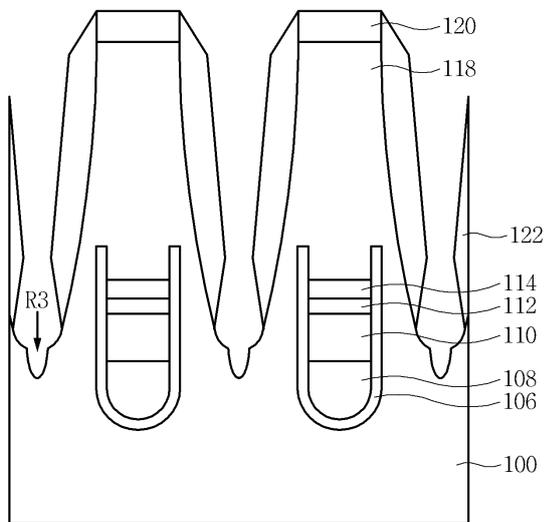
도면5



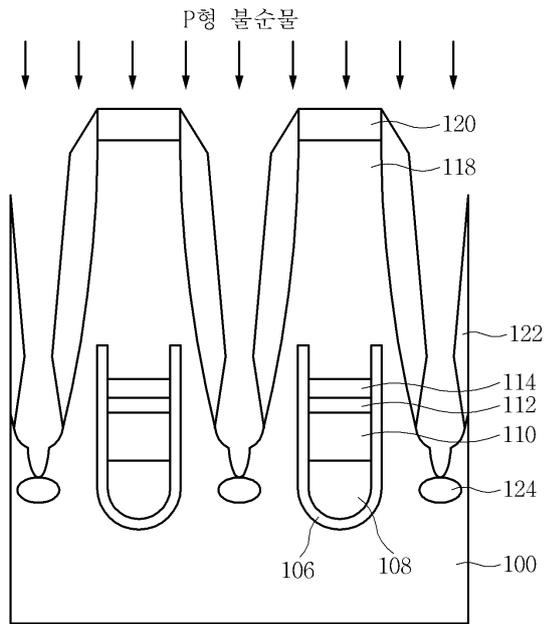
도면6



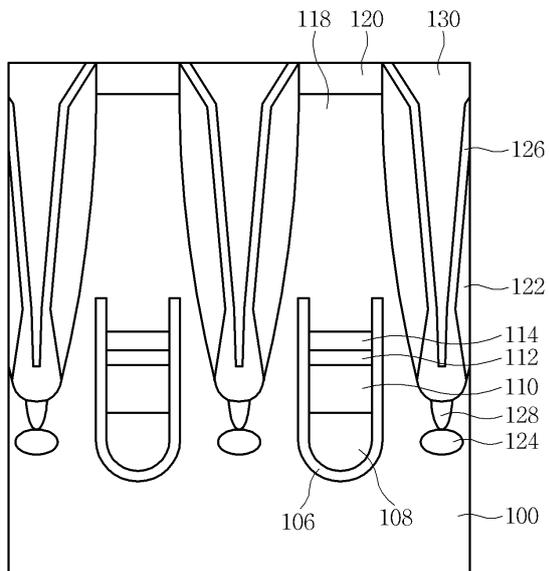
도면7



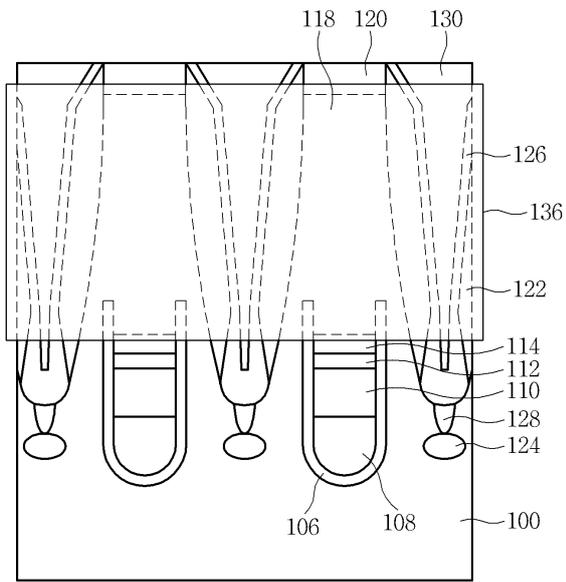
도면8



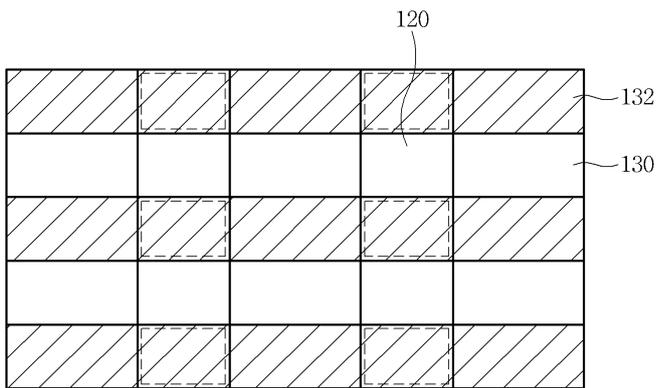
도면9



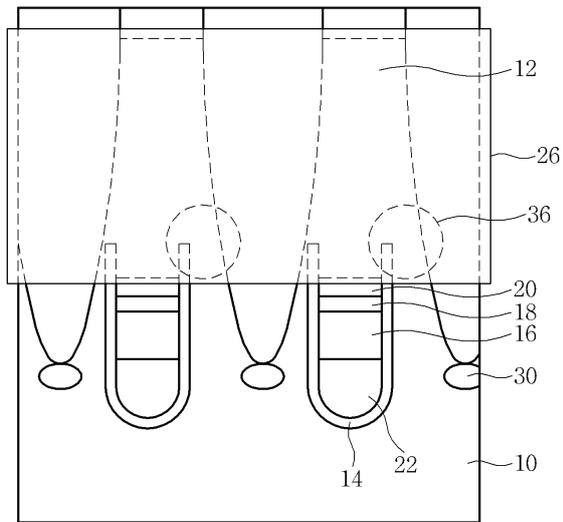
도면10



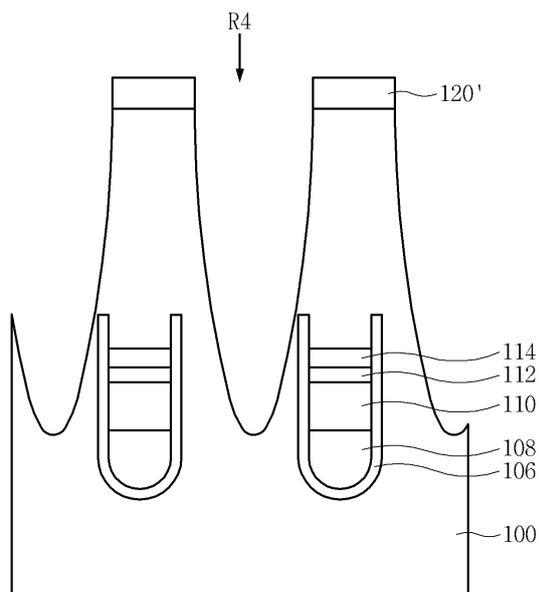
도면11



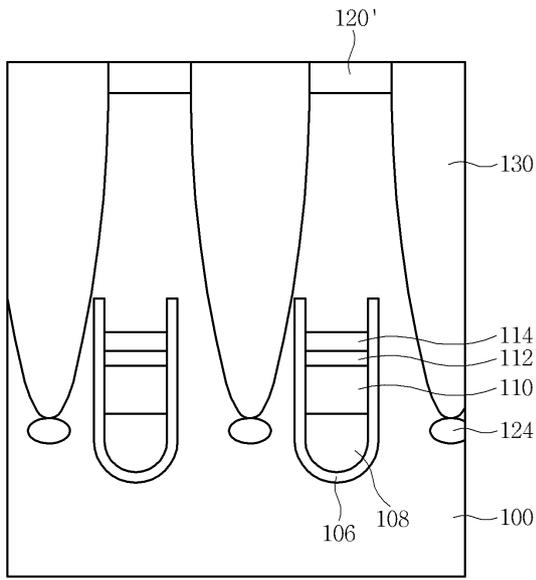
도면12



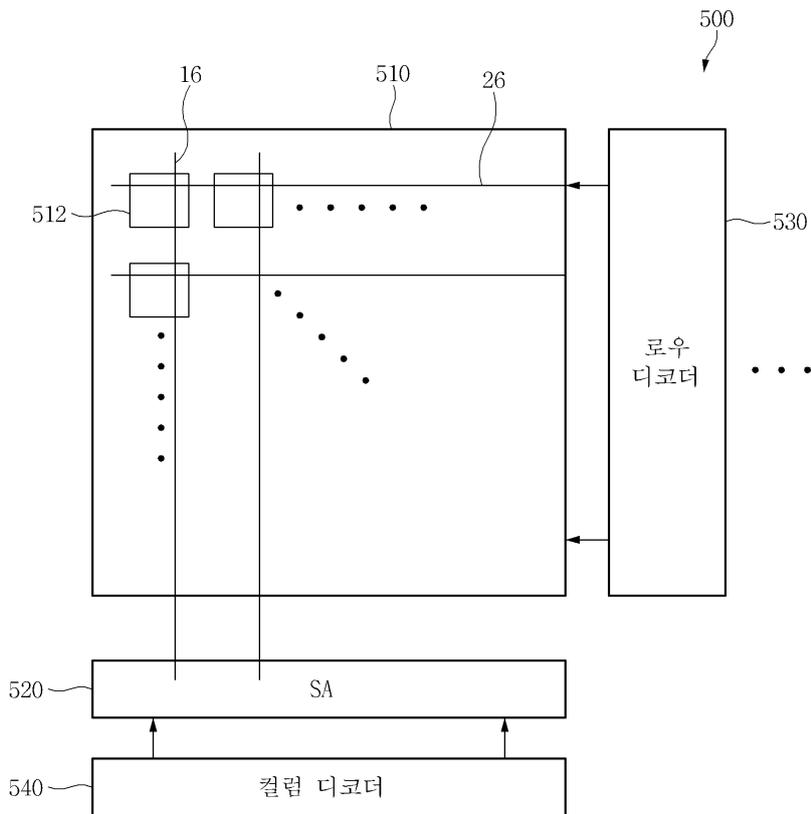
도면13



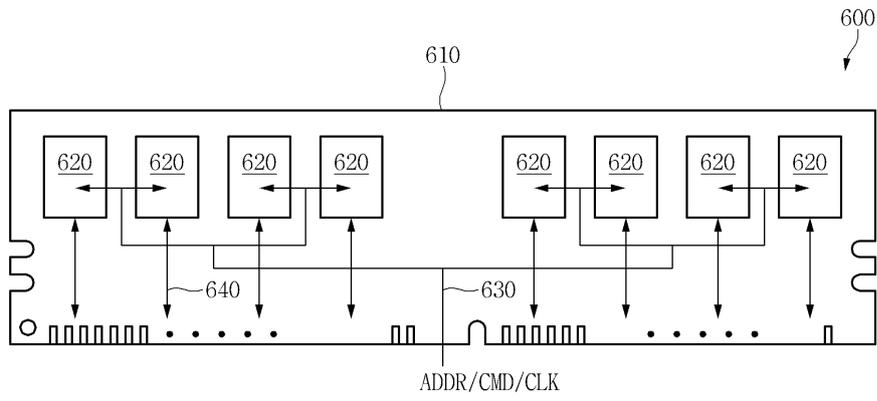
도면14



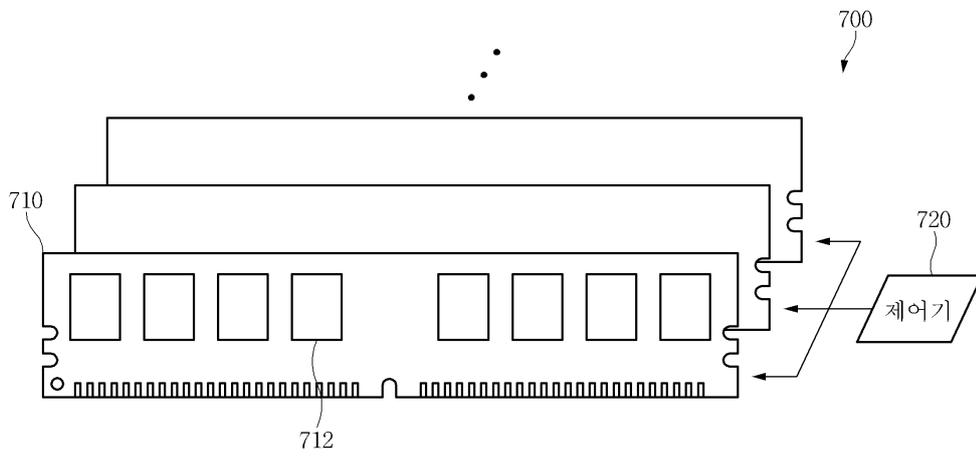
도면15



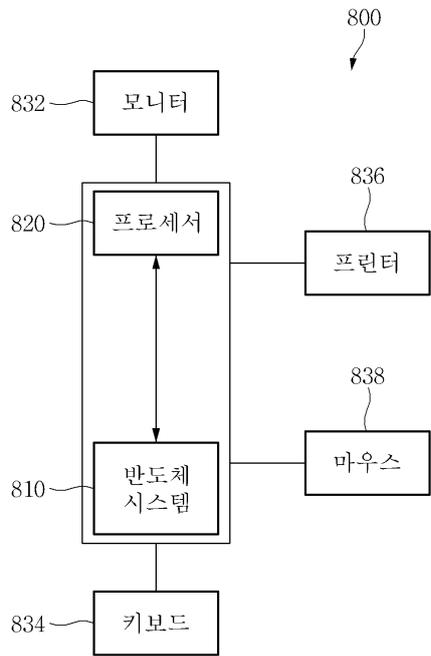
도면16



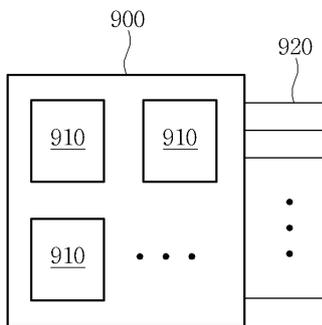
도면17



도면18



도면19



도면20

