

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-196683

(P2006-196683A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 43/08 (2006.01)	HO 1 L 43/08 Z	5 F O 8 3
HO 1 L 29/82 (2006.01)	HO 1 L 29/82 Z	
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 7	
HO 1 L 21/8246 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号	特願2005-6634 (P2005-6634)	(71) 出願人	000003067 T D K 株式会社 東京都中央区日本橋 1 丁目 1 3 番 1 号
(22) 出願日	平成17年1月13日 (2005. 1. 13)	(74) 代理人	100088155 弁理士 長谷川 芳樹
		(74) 代理人	100092657 弁理士 寺崎 史朗
		(74) 代理人	100129296 弁理士 青木 博昭
		(72) 発明者	古賀 啓治 東京都中央区日本橋一丁目13番1号 T D K 株式会社内
		Fターム(参考)	5F083 FZ10 GA15 JA60

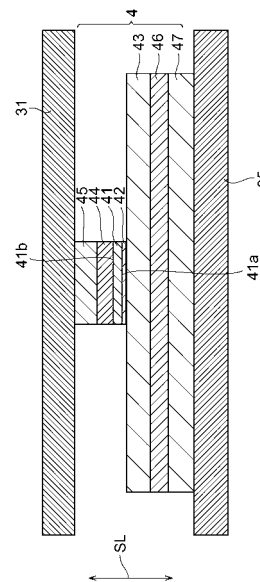
(54) 【発明の名称】 磁気抵抗効果素子及び磁気メモリ

(57) 【要約】

【課題】 誤書き込みを防止でき、且つ高集積化が容易な磁気抵抗効果素子及び磁気メモリを提供する。

【解決手段】 TMR素子4は、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向が変化する第1磁性層41と、第1磁性層41の一方の面41a上に設けられ、磁化方向が一定である第2磁性層43と、第1磁性層41と第2磁性層43との間に設けられた非磁性絶縁層42と、第1磁性層41の他方の面41b上に設けられ、磁化方向が一定である第3磁性層45と、第1磁性層41と第3磁性層45との間に設けられた第1非磁性導電層44とを備え、積層方向と交差する両端間における、積層方向と直交する断面1μm²あたりの電気抵抗値が、1以上100以下であることを特徴とする。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

強磁性材料を含み、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向が変化する第 1 磁性層と、

強磁性材料を含み、前記第 1 磁性層の一方の面上に設けられ、磁化方向が一定である第 2 磁性層と、

非磁性且つ絶縁性の材料を含み、前記第 1 磁性層と前記第 2 磁性層との間に設けられた非磁性絶縁層と、

強磁性材料を含み、前記第 1 磁性層の他方の面上に設けられ、磁化方向が一定である第 3 磁性層と、

非磁性且つ導電性の材料を含み、前記第 1 磁性層と前記第 3 磁性層との間に設けられた第 1 非磁性導電層と

を備え、

前記積層方向と交差する両端間における、前記積層方向と直交する断面 $1 \mu\text{m}^2$ あたりの電気抵抗値が、1 以上 100 以下であることを特徴とする、磁気抵抗効果素子。

【請求項 2】

前記第 2 磁性層の前記積層方向の厚さが、前記第 1 磁性層の前記積層方向の厚さよりも大きいことを特徴とする、請求項 1 に記載の磁気抵抗効果素子。

【請求項 3】

前記第 3 磁性層の前記積層方向の厚さが、前記第 1 磁性層の前記積層方向の厚さよりも大きいことを特徴とする、請求項 1 または 2 に記載の磁気抵抗効果素子。

【請求項 4】

前記第 2 磁性層における前記積層方向と直交する断面の面積が、前記第 1 磁性層における前記積層方向と直交する断面の面積よりも大きいことを特徴とする、請求項 1 ~ 3 のいずれか一項に記載の磁気抵抗効果素子。

【請求項 5】

反強磁性材料を含み、前記第 2 磁性層における前記第 1 磁性層と対向する面とは反対側の面上に設けられた反強磁性層を更に備えることを特徴とする、請求項 1 ~ 4 のいずれか一項に記載の磁気抵抗効果素子。

【請求項 6】

強磁性材料を含み、前記第 2 磁性層における前記第 1 磁性層と対向する面とは反対側の面上に設けられた第 4 磁性層と、

非磁性且つ導電性の材料を含み、前記第 2 磁性層と前記第 4 磁性層との間に設けられた第 2 非磁性導電層と

を更に備えることを特徴とする、請求項 1 ~ 5 のいずれか一項に記載の磁気抵抗効果素子。

【請求項 7】

前記非磁性絶縁層の前記積層方向の厚さが 8 以下であることを特徴とする、請求項 1 ~ 6 のいずれか一項に記載の磁気抵抗効果素子。

【請求項 8】

複数の記憶領域を備え、

前記複数の記憶領域のそれぞれが、請求項 1 ~ 7 のいずれか一項に記載の磁気抵抗効果素子を有することを特徴とする、磁気メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気抵抗効果素子及び該磁気抵抗効果素子にデータを記憶する磁気メモリに関するものである。

【背景技術】

【0002】

10

20

30

40

50

現在、コンピュータや通信機器等の情報処理装置に用いられる記憶デバイスとして、磁気抵抗効果素子を備えるM R A M (Magnetic Random Access Memory) が注目されている。M R A Mは、磁気によってデータを記憶するので、揮発性メモリであるD R A M (Dynamic Random Access Memory) やS R A M (Static R A M) のように電源断によって情報が失われるといった不都合がない。また、従来のフラッシュE E P R O M (Electronically Erasable and Programmable Read Only Memory) やハードディスク装置のような不揮発性記憶手段と比較して、アクセス速度、信頼性、消費電力等において非常に優れている。従って、M R A Mは、D R A MやS R A Mなどの揮発性メモリの機能、及びフラッシュE E P R O Mやハードディスク装置などの不揮発性記憶手段の機能をすべて代替できる可能性を有している。現在、いつ、どこにいても情報処理を行うことができる、いわゆるユビキタスコンピューティングを目指した情報機器の開発が急速に進められているが、M R A Mは、このような情報機器におけるキーデバイスとしての役割が期待されている。

10

【0003】

このようなM R A Mの一例として、例えばトンネル磁気抵抗効果 (T M R : Tunneling Magneto-Resistive) を利用したものがある。T M R効果とは、薄い絶縁層を挟んだ2つの強磁性層間の磁化方向の相対角度に応じて、この2つの強磁性層間の抵抗値が変化する現象である。すなわち、2つの強磁性層の磁化方向同士が平行な場合に抵抗値が最小になり、反平行の場合に最大となる。このようなT M R効果を利用すれば、磁気抵抗効果素子の抵抗変化率を例えば40%以上と大きくできる。また、抵抗値が比較的高いためM O S - F E Tなどの半導体デバイスとの組み合わせが容易である。従って、記憶したデータを比較的小さな電流によって安定して読み出すことができるので、記憶容量の増大や動作速度の向上が期待されている。

20

【0004】

なお、T M R効果を用いたM R A Mとしては、例えば特許文献1に開示された磁気メモリがある。

【0005】

【特許文献1】特開2004-153182号公報

【発明の開示】**【発明が解決しようとする課題】****【0006】**

T M R効果を用いたM R A Mは、上述したように多くの利点を有する。しかしながら、現時点においては、特許文献1に開示された構成のように、T M R素子の近傍に配設された書き込み配線からの電流磁界によって一方の強磁性層 (感磁層) の磁化方向を変化させる構成となっている。このような構成では、書き込み配線からの電流磁界は書き込み対象のT M R素子以外の方向へも放出されるため、他のT M R素子への誤書き込みを招くおそれがある。

30

【0007】

さらに、書き込み配線からの電流磁界によって感磁層の磁化方向を変化させる場合、感磁層の平面寸法と厚さとの比率が小さいほど、感磁層の内部における反磁界が増大する。従って、M R A Mを高集積化するためにT M R素子を小型化するほど、感磁層の磁化方向を変化させるために必要な磁界強度が増大し、大きな書き込み電流が必要となる。このことから、電流磁界によって感磁層の磁化方向を変化させる構成のM R A Mでは、高集積化することが難しい。

40

【0008】

本発明は、上記した問題点を鑑みてなされたものであり、誤書き込みを防止でき、且つ高集積化が容易な磁気抵抗効果素子及び磁気メモリを提供することを目的とする。

【課題を解決するための手段】**【0009】**

上記した課題を解決するために、本発明による磁気抵抗効果素子は、強磁性材料を含み、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向が変化する第1磁性層と

50

、強磁性材料を含み、第1磁性層の一方の面上に設けられ、磁化方向が一定である第2磁性層と、非磁性且つ絶縁性の材料を含み、第1磁性層と第2磁性層との間に設けられた非磁性絶縁層と、強磁性材料を含み、第1磁性層の他方の面上に設けられ、磁化方向が一定である第3磁性層と、非磁性且つ導電性の材料を含み、第1磁性層と第3磁性層との間に設けられた第1非磁性導電層とを備え、積層方向と交差する両端間における、積層方向と直交する断面 $1 \mu\text{m}^2$ あたりの電気抵抗値が、1 以上 100 以下であることを特徴とする。

【0010】

上記した磁気抵抗効果素子では、磁化方向が変化する第1磁性層と磁化方向が一定の第3磁性層との間に第1非磁性導電層が設けられている。このような積層体に対して積層方向に電流を流すと、第3磁性層と第1非磁性導電層との界面（接合面）において電流のスピンの方向がフィルタリングされ、スピンの方向が偏ったスピン分極電流が生成される。そして、或る電流密度以上のスピン分極電流が第1磁性層に流れると、第1磁性層の磁化方向の変化（磁化反転）が生じる。

10

【0011】

このように、上記した磁気抵抗効果素子においては、第1磁性層の磁化方向を、電流磁界といった外部磁界ではなく、磁気抵抗効果素子中に電流を直接流すことによって変化させることができる。しかも、第3磁性層及び第1非磁性導電層によってスピン分極電流を生成しているため、比較的小さな電流によって磁化方向を変化させることができる。従って、上記した磁気抵抗効果素子によれば、書き込み対象の TMR 素子以外の他の TMR 素子への誤書き込みを防止できる。

20

【0012】

また、上記した磁気抵抗効果素子においては、スピン分極電流によって磁化方向を変化させるので、第1磁性層の内部において反磁界が増大しないだけでなく、第1磁性層の平面寸法が小さいほど磁化方向の変化に必要な電流値が小さくなる。従って、上記した磁気抵抗効果素子によれば、磁気抵抗効果素子の小型化が容易になり、この磁気抵抗効果素子が設けられる例えば MRAM といった装置の高集積化を容易にできる。

【0013】

また、上記した磁気抵抗効果素子においては、磁化方向が変化する第1磁性層と磁化方向が一定の第2磁性層との間に、非磁性絶縁層が設けられている。これにより、第1磁性層と第2磁性層との間に TMR 効果が生じるので、第1磁性層の磁化方向の変化による抵抗変化率を比較的大きくできる。従って、第1磁性層の磁化方向によって記憶されたデータを高速且つ安定に読み出すことができる。

30

【0014】

更に、上記した磁気抵抗効果素子においては、積層方向と交差する両端間における、積層方向と直交する断面 $1 \mu\text{m}^2$ あたりの電気抵抗値が、1 以上 100 以下となっている。スピン分極電流によって磁化反転を行う場合、例えば $1 \times 10^7 \text{ A/cm}^2$ といった比較的大きな電流が必要となる。他方、従来の TMR 素子では、大きな抵抗変化率を得るために2つの強磁性層間に挟まれる非磁性絶縁層の抵抗値は（TMR 効果が得られる範囲で）大きく設定されていた。従って、従来の TMR 素子にスピン注入法を適用すると、消費電力が過大となって素子温度が過度に上昇してしまうので、エレクトロマイグレーションによる性能の劣化が顕著となる。また、非磁性絶縁層の上下面に過大な電位差が発生し、非磁性絶縁層の破壊を招くおそれがある。

40

【0015】

この問題点に対し、本発明者は、磁気抵抗効果素子の積層方向と交差する両端間における電気抵抗値を $1 \mu\text{m}^2$ 以上 $100 \mu\text{m}^2$ 以下とすることにより、スピン分極電流による磁化反転を好適に行いつつ、TMR 効果による上述した利点も得られることを見出した。従って、上記した磁気抵抗効果素子によれば、スピン分極電流による磁化反転によって書き込み対象ではない TMR 素子への誤書き込みを防止し、装置の高集積化を容易にできるとともに、第1磁性層に記憶されたデータ（磁化方向）を TMR 効果によって高速且

50

つ安定に読み出すことができる。

【0016】

また、磁気抵抗効果素子は、第2磁性層の積層方向の厚さが、第1磁性層の積層方向の厚さよりも大きいことを特徴としてもよい。また、磁気抵抗効果素子は、第2磁性層における積層方向と直交する断面の面積が、第1磁性層における積層方向と直交する断面の面積よりも大きいことを特徴としてもよい。これらのうち少なくとも一方の構成により、第1磁性層の磁化方向を変化させるための電流による第2磁性層の磁化方向の乱れを効果的に防止し、第2磁性層の磁化方向を安定して保持できる。

【0017】

また、磁気抵抗効果素子は、第3磁性層の積層方向の厚さが、第1磁性層の積層方向の厚さよりも大きいことを特徴としてもよい。これにより、第1磁性層の磁化方向を変化させるための電流による第3磁性層の磁化方向の乱れを効果的に防止し、第3磁性層の磁化方向を安定して保持できる。

10

【0018】

また、磁気抵抗効果素子は、反強磁性材料を含み、第2磁性層における第1磁性層と対向する面とは反対側の面上に設けられた反強磁性層を更に備えることを特徴としてもよい。或いは、磁気抵抗効果素子は、強磁性材料を含み、第2磁性層における第1磁性層と対向する面とは反対側の面上に設けられた第4磁性層と、非磁性且つ導電性の材料を含み、第2磁性層と第4磁性層との間に設けられた第2非磁性導電層とを更に備えることを特徴としてもよい。これらのうちいずれか一方の構成により、反強磁性層または第4磁性層と第2磁性層との間に交換結合または反強磁性結合が生じ、第2磁性層の磁化方向を安定して保持することができる。

20

【0019】

また、磁気抵抗効果素子は、非磁性絶縁層の積層方向の厚さが8以下であることを特徴としてもよい。磁気抵抗効果素子の各層は、非磁性絶縁層を除き、全て導電性材料を含んで構成されることが多い。この場合、磁気抵抗効果素子の積層方向と交差する両端間における電気抵抗値は、非磁性絶縁層の積層方向の電気抵抗値によってほぼ決定される。そして、非磁性絶縁層の積層方向の厚さを8以下とすることにより、磁気抵抗効果素子の積層方向と直交する断面 $1\mu\text{m}^2$ あたりの電気抵抗値を100以下にできる。

【0020】

また、本発明による磁気メモリは、複数の記憶領域を備え、複数の記憶領域のそれぞれが、上記したいずれかの磁気抵抗効果素子を有することを特徴とする。上記したいずれかの磁気抵抗効果素子を磁気メモリが備えることにより、書き込み対象ではないTMR素子への誤書き込みを防止し、高集積化を容易にできるとともに、磁気抵抗効果素子に記憶されたデータを高速且つ安定に読み出すことができる。

30

【発明の効果】

【0021】

本発明による磁気抵抗効果素子及び磁気メモリによれば、誤書き込みを防止でき、且つ高集積化を容易にできる。

【発明を実施するための最良の形態】

40

【0022】

以下、添付図面を参照しながら本発明による磁気抵抗効果素子及び磁気メモリの実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0023】

まず、本発明による磁気抵抗効果素子を備える磁気メモリの一実施形態の構成について説明する。図1は、本実施形態による磁気メモリ1の平面図である。磁気メモリ1は、複数の記憶領域3を備える。複数の記憶領域3は、 m 行 n 列(m 、 n は2以上の整数)からなる二次元状に配列されている。複数の記憶領域3のそれぞれは、TMR素子といった磁気抵抗効果素子を有する。

50

【0024】

図2は、図1に示した磁気メモリ1を行方向に沿ったI-I線で切断した断面図である。また、図3は、図1及び図2に示した磁気メモリ1を列方向に沿ったII-II線で切断した断面図である。図2及び図3を参照すると、磁気メモリ1は、半導体層6、配線層7、及び磁性材料層8を備える。また、磁気メモリ1は、TMR素子4、ビット配線13a及び13b、ワード配線14、半導体基板21、及びトランジスタ32を備える。

【0025】

半導体層6は、半導体基板21を含み磁気メモリ1全体の機械的強度を維持するとともに、トランジスタ等の半導体デバイスが形成される層である。磁性材料層8は、TMR素子4といった磁性材料による構成物が形成される層である。配線層7は、半導体層6と磁性材料層8との間に設けられる。配線層7は、ビット配線13a、13b、及びワード配線14といった領域間配線が形成される層である。また、配線層7には、磁性材料層8に形成されたTMR素子4などの磁性体デバイスと、半導体層6に形成されたトランジスタなどの半導体デバイスと、ビット配線13a、13b、及びワード配線14とを、互いに電氣的に接続するための配線が形成される。

10

【0026】

まず、半導体層6について説明する。半導体層6は、半導体基板21と、絶縁領域22と、トランジスタ32とを有する。半導体基板21は、例えばSi基板からなり、p型またはn型の不純物がドーブされている。絶縁領域22は、半導体基板21上においてトランジスタ32以外の領域に形成されており、互いに隣接する記憶領域3のトランジスタ32同士を電氣的に分離している。絶縁領域22は、例えばSiO₂といった絶縁性材料からなる。

20

【0027】

図3を参照すると、トランジスタ32は、半導体基板21とは反対導電型のドレイン領域32a及びソース領域32c、ゲート電極32b、並びに半導体基板21の一部によって構成されている。ドレイン領域32a及びソース領域32cは、例えばSi基板の表面近傍に、半導体基板21とは反対導電型の不純物がドーブされて形成されている。ドレイン領域32aとソース領域32cとの間には半導体基板21が介在しており、その半導体基板21上にゲート電極32bが配置されている。このような構成により、トランジスタ32では、ゲート電極32bに電圧が印加されると、ドレイン領域32a及びソース領域32cが互いに導通する。

30

【0028】

次に、磁性材料層8について説明する。図2を参照すると、磁性材料層8は、TMR素子4と、絶縁領域24と、電極31及び35とを有する。なお、磁性材料層8においては、以下に説明する構成(TMR素子4、電極31及び35)及び他の配線以外の領域は、絶縁領域24によって占められている。絶縁領域24の材料としては、半導体層6の絶縁領域22と同様に、SiO₂といった絶縁性材料を用いることができる。

【0029】

ここで、図4は、TMR素子4及びその周辺構造の拡大断面図である。なお、図4は、記憶領域3の行方向に沿った断面を示している。図4を参照すると、TMR素子4は、積層方向に並べて配置された電極31及び35の間に配置されており、第1磁性層41、非磁性絶縁層42、第2磁性層43、第1非磁性導電層44、第3磁性層45、第2非磁性導電層46、及び第4磁性層47を有する。

40

【0030】

第1磁性層41は、内部の磁化方向によって二値データ(例えば0または1)を記録する層である。すなわち、第1磁性層41は、強磁性材料を含んで構成されており、積層方向(図中の矢印SL)に流れる電流の密度が或る閾値を超えると、その電流のスピンの方向に応じて内部の磁化方向が変化(反転)する。第1磁性層41は、その積層方向SLと直交する断面の面積が小さいほど、磁化方向を反転させるために必要となる電流値が小さくなる。このことから、第1磁性層41の積層方向SLと直交する断面積は、例えば0.0

50

1 μm^2 以下といった小さな値であることが好ましい。第1磁性層41の積層方向SLと直交する断面積が0.01 μm^2 を超えると、磁化方向を反転させるために必要な電流値が増大し、二値データを記録することが難しくなる。また、第1磁性層41は、その積層方向SLに沿った厚さが小さいほど、磁化方向を反転させるために必要となる電流値が小さくなる。このことから、第1磁性層41の積層方向SLに沿った厚さは、例えば0.01 μm 以下といった小さな値であることが好ましい。第1磁性層41の積層方向SLに沿った厚さが0.01 μm を超えると、磁化方向を反転させるために必要な電流値が増大し、二値データを記録することが難しくなる。なお、第1磁性層41の材料としては、例えばCo、CoFe、NiFe、NiFeCo、CoPtなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。

10

【0031】

第2磁性層43は、磁化方向が一定に保たれる層である。第2磁性層43は、強磁性材料を含んで構成され、第1磁性層41の一方の面41a上に設けられる。第2磁性層43は、第1磁性層41の磁化方向を反転させるための電流によって第2磁性層43内部の磁化方向が乱れないように、積層方向SLと直交する断面の面積及び積層方向SLに沿った厚さのうち少なくとも一方の値が、第1磁性層41よりも大きいことが好ましい。これにより、第2磁性層43内部の磁化方向を変化させるためには非常に大きな電流が必要となるので、第1磁性層41の磁化方向を反転させる電流による第2磁性層43内部の磁化方向の乱れを低減できる。例えば、第2磁性層43における積層方向SLと直交する断面積が、第1磁性層41における積層方向SLと直交する断面積の2倍以上であれば、第2磁性層43の磁化方向を安定に保持できる。なお、第2磁性層43の材料としては、第1磁性層41と同様に、例えばCo、CoFe、NiFe、NiFeCo、CoPtなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。

20

【0032】

非磁性絶縁層42は、第1磁性層41と第2磁性層43との間に設けられ、非磁性且つ絶縁性の材料を含んで構成される。また、非磁性絶縁層42は、第1磁性層41と第2磁性層43との間においてこれらの層よりも薄く形成される。第1磁性層41と第2磁性層43との間に非磁性絶縁層42が介在することにより、第1磁性層41と第2磁性層43の間には、トンネル磁気抵抗(TMR)効果が生じる。すなわち、第1磁性層41と第2磁性層43の間には、第1磁性層41の磁化方向と第2磁性層43の磁化方向との相対関係(平行または反平行)に応じた電気抵抗が生じる。非磁性絶縁層42の材料としては、例えばAl、Zn、Mgといった金属の酸化物または窒化物が好適である。

30

【0033】

第1非磁性導電層44及び第3磁性層45は、スピン方向が偏ったスピン分極電流を第1磁性層41に注入するための層である。第3磁性層45は、強磁性材料を含んで構成され、第1磁性層41の他方の面41b上に設けられる。また、第3磁性層45の磁化方向は、一定に保持される。第3磁性層45は、第1磁性層41の磁化方向を反転させるための電流によって第3磁性層45内部の磁化方向が乱れないように、その積層方向SLに沿った厚さが、第1磁性層41の厚さよりも大きいことが好ましい。これにより、第3磁性層45内部の磁化方向を変化させるためには非常に大きな電流が必要となるので、第1磁性層41の磁化方向を反転させる電流による第3磁性層45内部の磁化方向の乱れを低減できる。また、第1非磁性導電層44は、非磁性且つ導電性の材料を含んで構成され、第1磁性層41の他方の面41b上において第1磁性層41と第3磁性層45との間に設けられる。なお、第3磁性層45の材料としては、第1磁性層41と同様に、例えばCo、CoFe、NiFe、NiFeCo、CoPtなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。また、第1非磁性導電層44の材料としては、例えばRu、Rh、Ir、Cu、Agなどの非磁性導電材料、またはこれらのうち任意の組み合わせの材料を用いることができる。

40

【0034】

第2非磁性導電層46及び第4磁性層47は、第2磁性層43の磁化方向を一定方向に

50

保持するための層である。第4磁性層47は、強磁性材料を含んで構成され、第2磁性層43における第1磁性層41と対向する面とは反対側の面上に設けられる。また、第4磁性層47の磁化方向は一定となっている。第2非磁性導電層46は、非磁性且つ導電性の材料を含んで構成され、第1磁性層41の一方の面41a上において第2磁性層43と第4磁性層47との間に設けられる。第4磁性層47が第2非磁性導電層46を介して第2磁性層43と反強磁性結合を形成することにより、第2磁性層43の磁化方向をさらに安定化させることができる。また、第2磁性層43から第1磁性層41への静磁界の影響を防止できるので、第1磁性層41の磁化反転を容易にすることができる。なお、第4磁性層47の材料としては、第1磁性層41と同様に、例えばCo、CoFe、NiFe、NiFeCo、CoPtなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。また、第2非磁性導電層46の材料としては、例えばRu、Rh、Ir、Cu、Agなどの非磁性導電材料、またはこれらのうち任意の組み合わせの材料を用いることができる。また、第2非磁性導電層46の厚さは、第2磁性層43と第4磁性層47との間に強い反強磁性結合を得るために2nm以下であることが好ましい。

10

20

30

40

50

【0035】

以上の構成を有するTMR素子4においては、後述する実施例に示すように、積層方向SLと交差する両端間、すなわち第3磁性層45側の端面と第4磁性層47側の端面との間における、積層方向SLと直交する断面 $1\mu\text{m}^2$ あたりの電気抵抗値が1以上100以下（更に好ましくは、1以上10以下）となるように、各層の構成材料及び層厚が決定される。なお、TMR4に含まれる各層のうち、非磁性絶縁層42以外の各層は全て導電性材料を含むので、TMR素子4の両端間の電気抵抗値は、非磁性絶縁層42における電気抵抗値によってほぼ定まる。

【0036】

TMR素子4の第3磁性層45上には、電極31が設けられている。電極31は導電性の金属からなり、記憶領域3の行方向に延びている。電極31は、第3磁性層45に電氣的に接続されるとともに、垂直配線16aを介して配線層7内部のビット配線13aに電氣的に接続されている（図2参照）。また、TMR素子4の第4磁性層47は、電極35上に設けられており、電極35と電氣的に接続されている。電極35は、配線層7内部に設けられた配線（後述）を介してトランジスタ32に電氣的に接続されている。そして、電極31と電極35との間に書き込み電流または読み出し電流を流すことにより、これらの電流を積層方向SLに沿ってTMR素子4へ流すことができる。

【0037】

再び図2及び図3を参照して、配線層7について説明する。配線層7は、絶縁領域23と、ビット配線13a及び13bと、ワード配線14と、複数の垂直配線及び水平配線とを有する。なお、配線層7においては、各配線以外の領域は、すべて絶縁領域23によって占められている。絶縁領域23の材料としては、半導体層6の絶縁領域22と同様に、 SiO_2 といった絶縁性材料を用いることができる。また、垂直配線の材料としては例えばWを、ビット配線13a及び13b、ワード配線14、及び水平配線の材料としては例えばAlを、それぞれ用いることができる。

【0038】

ビット配線13a及び13bは、記憶領域3の各列に対応して配設された配線である。ビット配線13aは、対応する列の記憶領域3それぞれが有する電極31に、垂直配線16a及び16bを介して電氣的に接続されている。これにより、ビット配線13aは、TMR素子4における第3磁性層45側の一端に電氣的に接続される。また、ビット配線13bは、対応する列の記憶領域3それぞれが有するトランジスタ32のソース領域32cに電氣的に接続されている。具体的には、ビット配線13bは、図3に示す水平配線18bを介して垂直配線16eに電氣的に接続されており、垂直配線16eはトランジスタ32のソース領域32cとオーミック接合されている。

【0039】

ワード配線14は、記憶領域3の各行に対応して配設された配線である。ワード配線1

4 は、対応する行の記憶領域 3 それぞれが有するトランジスタ 3 2 の制御端子であるゲート電極 3 2 b に電氣的に接続されている。本実施形態では、ワード配線 1 4 の一部は、トランジスタ 3 2 のゲート電極 3 2 b を兼ねている。すなわち、図 3 に示すゲート電極 3 2 b は、記憶領域 3 の行方向に延びるワード配線 1 4 の一部によって構成されている。

【0040】

また、磁性材料層 8 の電極 3 5 は、配線層 7 の垂直配線 1 6 c 及び水平配線 1 8 a を介して垂直配線 1 6 d に電氣的に接続されており、垂直配線 1 6 d はトランジスタ 3 2 のドレイン領域 3 2 a とオーミック接合されている。これにより、TMR 素子 4 における第 4 磁性層 4 7 側の一端が、トランジスタ 3 2 のドレイン領域 3 2 a と電氣的に接続される。

【0041】

以上の構成を備える磁気メモリ 1 は、次のように動作できる。すなわち、或る記憶領域 3 に二値データを書き込む際には、当該記憶領域 3 を通るワード配線 1 4 に対して制御電圧を印加する。これにより、当該記憶領域 3 に含まれるトランジスタ 3 2 において、制御電圧がゲート電極 3 2 b に印加され、ドレイン領域 3 2 a とソース領域 3 2 c との間が導通状態となる。更に、当該記憶領域 3 を通るビット配線 1 3 a とビット配線 1 3 b との間に、二値データに応じた正または負の書き込み電流を供給する。これにより、TMR 素子 4 の第 1 磁性層 4 1 の磁化方向が反転する。

【0042】

また、記憶領域 3 から二値データを読み出す際には、当該記憶領域 3 を通るワード配線 1 4 に対して制御電圧を印加するとともに、ビット配線 1 3 a とビット配線 1 3 b との間に、第 1 磁性層 4 1 の磁化方向が反転しない程度の大きさの読み出し電流を供給する。そして、TMR 素子 4 における積層方向 S L と交差する両端間の抵抗値を測定することにより、記憶領域 3 に記憶された二値データを読み出すことができる。なお、TMR 素子 4 の両端間の抵抗値を測定する際には、例えば読み出し電流を供給したときの TMR 素子 4 における電圧降下量を測定するとよい。

【0043】

ここで、本実施形態の TMR 素子 4 の動作について更に詳細に説明する。まず、TMR 素子 4 に二値データを書き込む際の、第 1 非磁性導電層 4 4 及び第 3 磁性層 4 5 によるスピン分極作用について説明する。通常、TMR 素子 4 を積層方向 S L に沿って流れる電流においては、上向きスピン（アップスピン）の電子のエネルギー状態と下向きスピン（ダウンスピン）の電子のエネルギー状態とが互いに異なっている。従って、強磁性層と非磁性層との接合面（界面）においては、アップスピンの電子の透過率（または反射率）とダウンスピンの電子の透過率（または反射率）との間に差が生じることとなる。これにより、第 1 磁性層 4 1 に対して第 3 磁性層 4 5 側から流入しようとする電子のスピン方向は第 3 磁性層 4 5 の磁化方向に偏り、また、第 1 磁性層 4 1 に対して第 2 磁性層 4 3 側から流入した電子のスピン方向は第 3 磁性層 4 5 の磁化方向とは反対の方向に偏る。こうして、第 1 磁性層 4 1 には、電流の向きに応じてスピン方向が異なるスピン分極電流が注入される。

【0044】

第 1 磁性層 4 1 にスピン分極電流が注入されると、このスピン分極電流に含まれるスピン偏極電子と第 1 磁性層 4 1 内部の電子との間に交換相互作用が生じ、これらの電子間に発生したトルクによって第 1 磁性層 4 1 の磁化方向が変化する。また、第 1 磁性層 4 1 に対して第 3 磁性層 4 5 側から流入しようとするスピン偏極電子のスピン方向と、第 2 磁性層 4 3 側から流入したスピン偏極電子のスピン方向とは互いに逆向きなので、スピン分極電流が流れる向きによって第 1 磁性層 4 1 の磁化方向の変化の向き（すなわち反転方向）が定まる。従って、第 1 磁性層 4 1 の磁化方向は、TMR 素子 4 を流れる電流の向きに応じた方向となるので、TMR 素子 4 に供給する書き込み電流の正負によって二値データを書き込むことができる。

【0045】

図 5 は、TMR 素子 4 における電流値と抵抗値との相関を示すグラフである。なお、図

10

20

30

40

50

5のグラフにおいては、例えば第4磁性層47側から第3磁性層45側へ電流が流れる場合を正の電流値とし、第3磁性層45側から第4磁性層47側へ電流が流れる場合を負の電流値とする。いま、第1磁性層41の磁化方向と第2磁性層43の磁化方向とが互いに平行である場合、TMR素子4の両端間の抵抗値は、比較的小さな値 R_2 である。そして、TMR素子4を流れる電流値(絶対値)を0mAから正方向へ次第に大きくすると、この電流値が閾値(臨界電流) I_1 を超えたときに第1磁性層41の磁化方向が完全に反転する。従って、第1磁性層41の磁化方向と第2磁性層43の磁化方向とが互いに反平行となり、TMR素子4の両端間の抵抗値が、TMR効果によって値 R_2 よりも大きな値 R_1 へ増大する。逆に、第1磁性層41の磁化方向と第2磁性層43の磁化方向とが反平行である場合、TMR素子4を流れる電流値(絶対値)を0mAから負方向へ次第に大きくすると、この電流値が閾値(臨界電流) I_2 を超えたときに第1磁性層41の磁化方向が再度反転する。従って、第1磁性層41の磁化方向と第2磁性層43の磁化方向とが互いに平行となり、TMR素子4の両端間の抵抗値が、TMR効果によって値 R_1 よりも小さな値 R_2 へ減少する。

10

20

30

40

50

【0046】

以上のことから、TMR素子4に二値データの一方(例えば0)を書き込む際には、閾値 I_1 よりも絶対値が大きい(例えば図5に示す範囲 D_1 に含まれる)正の書き込み電流をTMR素子4に供給するとよい。また、TMR素子4に二値データの他方(例えば1)を書き込む際には、閾値 I_2 よりも絶対値が大きい(例えば範囲 D_2 に含まれる)負の書き込み電流をTMR素子4に供給するとよい。また、TMR素子4に書き込まれた二値データを読み出す際には、第1磁性層41の磁化方向が反転しないように、閾値 I_1 、 I_2 よりも絶対値が小さい(例えば範囲 D_3 に含まれる)正または負の読み出し電流をTMR素子4に供給するとよい。

【0047】

以上に説明した本実施形態のTMR素子4及び磁気メモリ1が有する効果について説明する。本実施形態のTMR素子4では、第1磁性層41の磁化方向を、電流磁界といった外部磁界ではなく、TMR素子4中に電流を直接流すことによって変化させることができる。しかも、第1非磁性導電層44及び第3磁性層45によってスピン分極電流を生成しているため、比較的小さな書き込み電流によって第1磁性層41の磁化方向を変化させることができる。従って、本実施形態のTMR素子4及び磁気メモリ1によれば、書き込み対象のTMR素子以外の他のTMR素子への磁界の洩れがなく、誤書き込みを効果的に防止できる。

【0048】

また、本実施形態のTMR素子4においては、第1磁性層41の磁化方向をスピン分極電流によって反転させるので、第1磁性層41の内部において反磁界が増大しないだけでなく、第1磁性層41の平面寸法が小さいほど磁化方向の反転に必要な電流値が小さくなる。従って、本実施形態のTMR素子4及び磁気メモリ1によれば、TMR素子4の小型化が容易になり、磁気メモリ1の高集積化を容易にできる。

【0049】

また、本実施形態のTMR素子4においては、磁化方向が変化する第1磁性層41と磁化方向が一定の第2磁性層43との間に、非磁性絶縁層42が設けられている。これにより、第1磁性層41と第2磁性層43との間にTMR効果が生じるので、第1磁性層41の磁化方向の変化による抵抗変化率(すなわち図5に示したグラフにおける $(R_2 - R_1) / R_1$)を比較的大きくできる。従って、本実施形態のTMR素子4及び磁気メモリ1によれば、第1磁性層41の磁化方向によって記憶されたデータを高速且つ安定に読み出すことができる。

【0050】

ここで、本実施形態による磁気メモリ1の製造方法のうち、TMR素子4及びその周辺構造の製造方法について図6及び図7を参照しながら説明する。なお、図6及び図7は、いずれも図1のI-I線に沿った断面であり、その製造過程を順に示している。

【0051】

まず、図6(a)に示すように、Cuからなる電極35を配線層上に形成する。そして、高真空スパッタ装置により、第4磁性層となるCoFe層61、第2非磁性導電層となるRu層62、第2磁性層となるCoFe層63、及び金属層64を電極35上に順に成膜する。このとき、金属層64の材料としては、例えばAl、Zn、及びMgのうち少なくとも一種類を用いるとよい。続いて、図6(b)に示すように、酸素ORにより金属層64の酸化を行い、非磁性絶縁層となるトンネル絶縁層64aを形成する。続いて、図6(c)に示すように、トンネル絶縁層64a上に、第1磁性層となるCoFe層65、第1非磁性導電層となるCu層66、第3磁性層となるCoFe層67、及びTa保護層(不図示)を順次成膜する。続いて、レジストマスクをTa保護層上に形成し、CoFe層61、Ru層62、及びCoFe層63をイオンミリングにより成形することによって、第4磁性層47、第2非磁性導電層46、及び第2磁性層43を形成する。

10

【0052】

続いて、別のレジストマスクをTa保護層上に再び形成し、トンネル絶縁層64a、CoFe層65、Cu層66、及びCoFe層67をイオンミリングにより成形することによって、図7(a)に示すように、非磁性絶縁層42、第1磁性層41、第1非磁性導電層44、及び第3磁性層45を形成する。こうして、TMR素子4が形成される。TMR素子4を形成した後、CVD装置を用いて、例えばSi(OC₂H₅)₄により、第3磁性層45上を除く全域にSiO₂絶縁層24aを形成する。この後、レジストマスクを除去する。

20

【0053】

続いて、電極31の平面形状に応じた開口を有するレジストマスクをSiO₂絶縁層24a上に形成する。そして、スパッタによりTi層、Cu層を順次成膜した後、レジストマスクを除去する。こうして、図7(b)に示すように、電極31がTMR素子4上に形成される。

【0054】

最後に、図7(c)に示すように、SiO₂絶縁層24aと同じ材料からなるSiO₂絶縁層24bを、SiO₂絶縁層24a上及び電極31上の全面にわたってCVD法により形成する。こうして、SiO₂絶縁層24a及び24bからなる絶縁領域24が形成され、磁性材料層8が完成する。

30

【0055】

(変形例)

ここで、本実施形態によるTMR素子4及び磁気メモリ1の変形例について説明する。図8～図10は、それぞれ本変形例に係るTMR素子4a～4cの構成を示す断面図である。上記実施形態のTMR素子4に代えて本変形例に係るTMR素子4a～4cを設けることによって、上記実施形態のTMR素子4及び磁気メモリ1と同様の効果を得ることができる。

【0056】

まず、図8を参照すると、TMR素子4aは、第1磁性層41、非磁性絶縁層42、第2磁性層43、第1非磁性導電層44、第3磁性層45、及び反強磁性層48によって構成されている。本変形例のTMR素子4aと上記実施形態のTMR素子4との相違点は、第2非磁性導電層46及び第4磁性層47の代わりに、反強磁性層48が設けられた点である。

40

【0057】

反強磁性層48は、第2磁性層43の磁化方向を一定方向に保持するための層である。反強磁性層48は、反強磁性材料を含んで構成され、第2磁性層43における第1磁性層41と対向する面とは反対側の面上に設けられる。そして、反強磁性層48と第2磁性層43との間に交換結合が生じることにより、第2磁性層43の磁化方向を安定化させることができる。反強磁性層48の材料としては、IrMn、PtMn、FeMn、PtPdMn、NiO、またはこれらのうち任意の組み合わせの材料を用いることができる。

50

【0058】

次に、図9及び図10を参照すると、TMR素子4b及び4cは、第1磁性層41、非磁性絶縁層42、第2磁性層43、第1非磁性導電層44、及び第3磁性層45によって構成されている。本変形例のTMR素子4b及び4cと上記実施形態のTMR素子4との相違点は、第2非磁性導電層46及び第4磁性層47をTMR素子が有しておらず、第2磁性層43が電極35と接している点である。このように、第2磁性層43の磁化方向を安定に保持するための層を備えない場合であっても、図9に示すように第2磁性層43における積層方向と直交する断面の面積を第1磁性層41よりも大きくすることや、図10に示すように第2磁性層43における積層方向の厚さを第1磁性層41よりも大きくすることにより、第2磁性層43の磁化方向を一定に保持することができる。

10

【0059】

(実施例)

続いて、上記実施形態によるTMR素子の実施例について説明する。図11は、本実施例の結果を示す図表である。本実施例では、両端間の電気抵抗値が異なる複数のTMR素子を作製し、これらのTMR素子におけるブレイクダウン電圧を測定するとともに、TMR素子がブレイクダウンする前に磁化反転が行われたか否かを調べた。なお、ここでいうブレイクダウン電圧とは、非磁性絶縁層が機能しなくなり、第1磁性層と第2磁性層とが短絡状態となる電圧値を意味する。また、本実施例においては、複数のTMR素子における非磁性絶縁層の厚さをそれぞれ変えることによって、両端間の電気抵抗値を変化させた。また、本実施例においては、TMR素子の平面形状を正方形とし、その一辺の長さを0

20

【0060】

実施例1~7として、TMR素子の両端間の電気抵抗値をそれぞれ100、300、400、1k、5.5k、8k、及び10kとした(すなわち、積層方向と直交する断面 $1\mu\text{m}^2$ あたりの電気抵抗値をそれぞれ1、3、4、10、55、80、及び100とした)ところ、ブレイクダウン電圧はそれぞれ0.5V、1V、1.1V、1.2V、1.4V、1.6V、及び1.7Vであった。そして、第1磁性層の磁化方向は各実施例1~7において良好に反転された。なお、各実施例1~7における非磁性絶縁層の厚さは8~9であった。また、ブレイクダウン直前の最大書き込み電流値はそれぞれ5mA、3.33mA、2.75mA、1.2mA、0.25mA、0

30

【0061】

続いて、比較例1~3として、TMR素子の両端間の電気抵抗値をそれぞれ15k、27k、及び35kとした(すなわち、積層方向と直交する断面 $1\mu\text{m}^2$ あたりの電気抵抗値をそれぞれ150、270、及び350とした)ところ、ブレイクダウン電圧はそれぞれ1.65V、1.7V、及び1.7Vであった。しかし、第1磁性層の磁化方向については、各比較例1~3において反転したことを確認できなかった。なお、各比較例1~3における非磁性絶縁層の厚さは9~10であった。また、ブレイクダウン直前の最大書き込み電流値はそれぞれ0.11mA、0.06mA、及び0.05mAであった。

40

【0062】

本実施例では、TMR素子の両端間における電気抵抗値が $1\mu\text{m}^2$ 以上 $100\mu\text{m}^2$ 以下である場合に、第1磁性層の磁化方向を好適に反転できた。これに対して、TMR素子の両端間における電気抵抗値が $100\mu\text{m}^2$ を超えると、第1磁性層の磁化方向の反転を確認できなかった。この要因は、次のように推測される。すなわち、TMR素子の両端間における電気抵抗値が $100\mu\text{m}^2$ を超えると、TMR素子内部を流れる書き込み電流によって素子温度が上昇し、エレクトロマイグレーションによる素子の劣化が顕著となる。そして、更に電気抵抗値が大きくなると、第1磁性層の磁化方向が反転する前に非磁性絶縁層が破壊されて第1磁性層と第2磁性層とが短絡してしまったものと推測される。

50

【0063】

また、TMR素子の両端間における電気抵抗値が $1 \mu\text{m}^2$ よりも小さくなると、非磁性絶縁層の層厚が過小となり第1磁性層と第2磁性層との間のリーク電流が増加する。このため、TMR素子の磁気抵抗変化率が急激に低下してデータ読み出しの際の出力（例えば両端間電圧）が小さくなってしまい、データの読み出しが困難となる。

【0064】

以上のことから、TMR素子の積層方向と交差する両端間における電気抵抗値を $1 \mu\text{m}^2$ 以上 $100 \mu\text{m}^2$ 以下とすることにより、スピン分極電流による磁化反転を好適に行いつつ、TMR効果による効果も得られることが確認された。

【0065】

また、TMR素子の各層は、非磁性絶縁層を除き、全て導電性材料を含んで構成される。従って、TMR素子の積層方向と交差する両端間における電気抵抗値は、非磁性絶縁層の積層方向の電気抵抗値によってほぼ決定される。そして、本実施例によれば、非磁性絶縁層の積層方向の厚さを8以下とすることにより、TMR素子の電気抵抗値を $100 \mu\text{m}^2$ 以下にできることが確認された。

【図面の簡単な説明】

【0066】

【図1】磁気メモリの平面図である。

【図2】図1に示した磁気メモリを行方向に沿ったI-I線で切断した断面図である。

【図3】図1及び図2に示した磁気メモリを列方向に沿ったII-II線で切断した断面図である。 20

【図4】TMR素子及びその周辺構造の拡大断面図である。

【図5】TMR素子における電流値と抵抗値との相関を示すグラフである。

【図6】TMR素子及びその周辺構造の製造方法を示す図である。

【図7】TMR素子及びその周辺構造の製造方法を示す図である。

【図8】TMR素子の変形例の構成を示す断面図である。

【図9】TMR素子の変形例の構成を示す断面図である。

【図10】TMR素子の変形例の構成を示す断面図である。

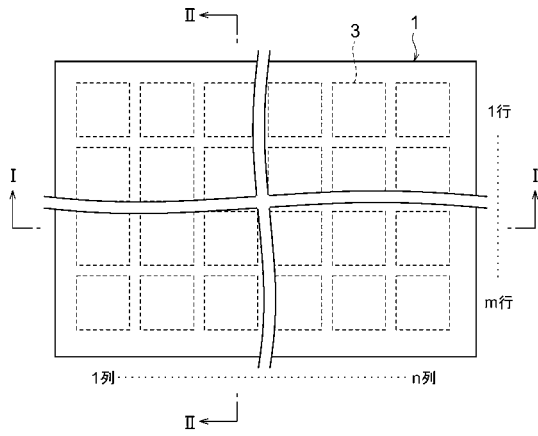
【図11】実施例の結果を示す図表である。

【符号の説明】

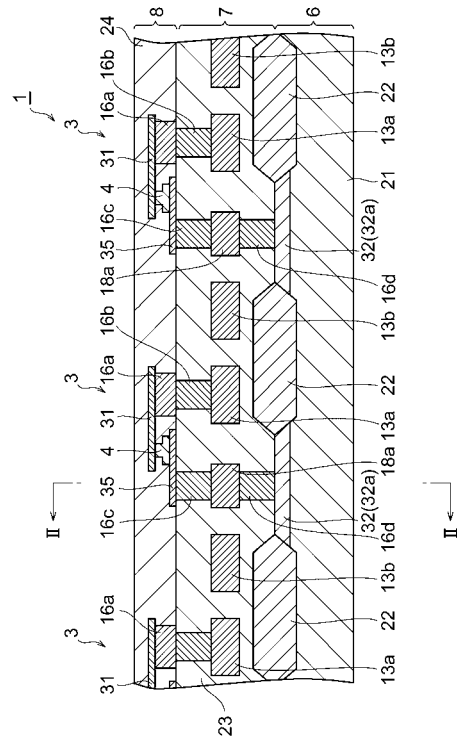
【0067】

1 ... 磁気メモリ、3 ... 記憶領域、4 ... TMR素子、6 ... 半導体層、7 ... 配線層、8 ... 磁性材料層、13a, 13b ... ビット配線、14 ... ワード配線、16a ~ 16e ... 垂直配線、18a, 18b ... 水平配線、21 ... 半導体基板、22 ~ 24 ... 絶縁領域、31, 35 ... 電極、32 ... トランジスタ、32a ... ドレイン領域、32b ... ゲート電極、32c ... ソース領域、41 ... 第1磁性層、42 ... 非磁性絶縁層、43 ... 第2磁性層、44 ... 第1非磁性導電層、45 ... 第3磁性層、46 ... 第2非磁性導電層、47 ... 第4磁性層、48 ... 反強磁性層。

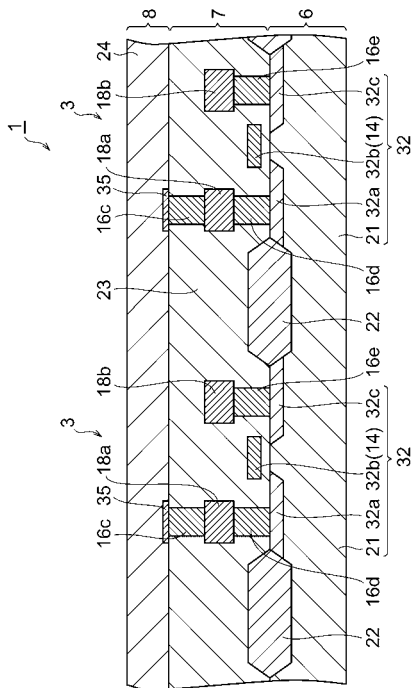
【 図 1 】



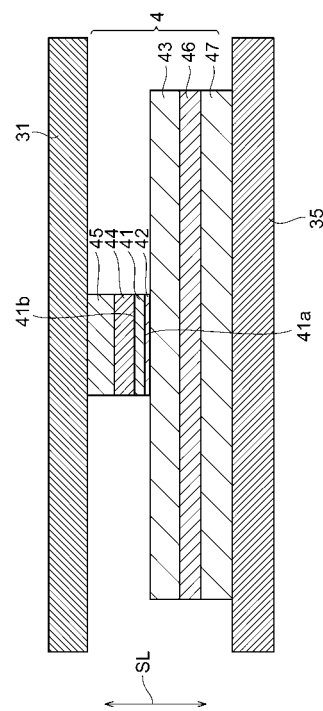
【 図 2 】



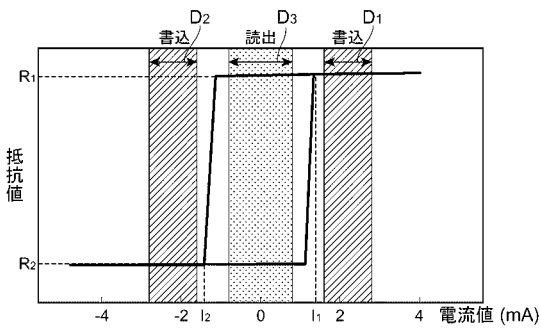
【 図 3 】



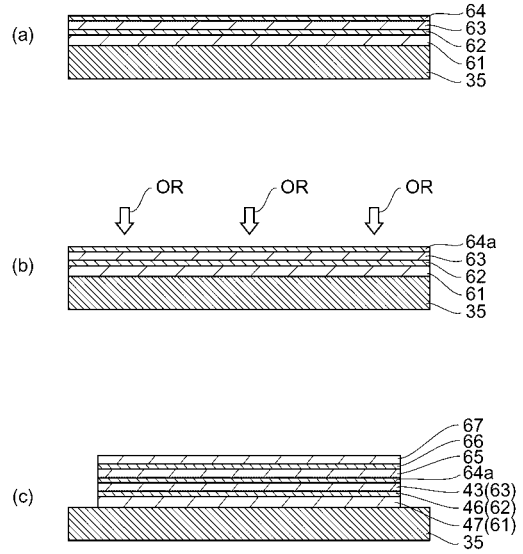
【 図 4 】



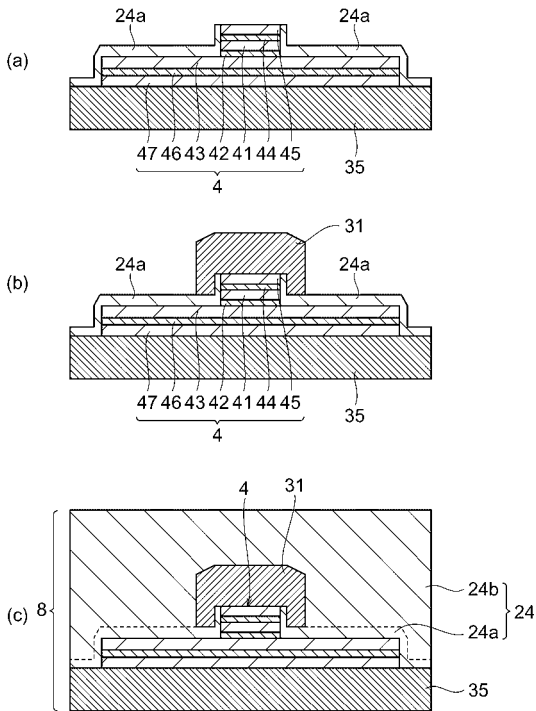
【 図 5 】



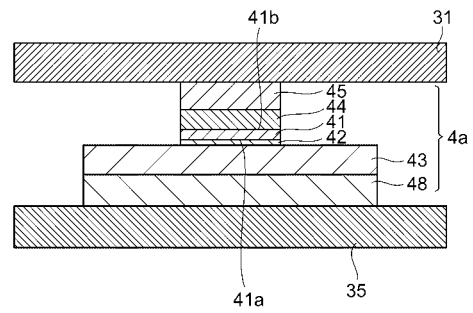
【 図 6 】



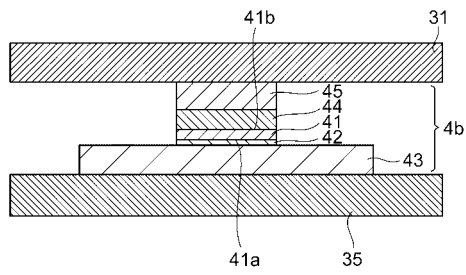
【 図 7 】



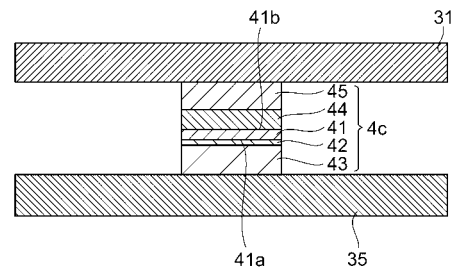
【 図 8 】



【図 9】



【図 10】



【図 11】

	抵抗値 (Ω)	ブレイクダウン 電圧 (V)	最大書き込み 電流値 (mA)	磁化反転 結果	単位抵抗値 ($\Omega \mu\text{m}^2$)	非磁性 絶縁層 膜厚(\AA)
実施例 1	100	0.5	5.00	○	1	8
実施例 2	300	1	3.33	○	3	8
実施例 3	400	1.1	2.75	○	4	8
実施例 4	1000	1.2	1.20	○	10	8
実施例 5	5500	1.4	0.25	○	55	8
実施例 6	8000	1.6	0.20	○	80	8
実施例 7	10000	1.7	0.17	○	100	9
比較例 1	15000	1.65	0.11	×	150	9
比較例 2	27000	1.7	0.06	×	270	9
比較例 3	35000	1.7	0.05	×	350	10