

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-311144

(P2006-311144A)

(43) 公開日 平成18年11月9日(2006.11.9)

(51) Int. Cl.	F I	テーマコード (参考)
H03M 1/74 (2006.01)	H03M 1/74	5J022
H03M 1/38 (2006.01)	H03M 1/38	

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号	特願2005-130524 (P2005-130524)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成17年4月27日 (2005.4.27)	(74) 代理人	100105924 弁理士 森下 賢樹
		(72) 発明者	高野 洋 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	5J022 AA02 AB04 BA08 CA10 CB02 CE08 CF01 CF07

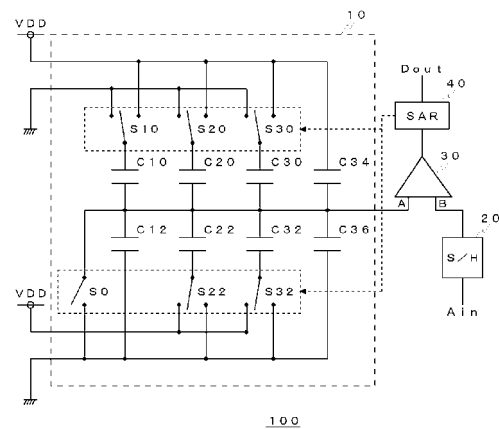
(54) 【発明の名称】 デジタルアナログ変換器、およびそれを用いた逐次比較型アナログデジタル変換器

(57) 【要約】

【課題】 デジタルアナログ変換器の出力電圧範囲は、供給される電源電圧のレベルに応じて、決定されがちである。

【解決手段】 デジタルアナログ変換器 10 にて、それぞれ重み付けされる複数の容量 C 10 ~ C 36 は、一端がコンパレータ 30 の入力端子 A に繋がる経路に対して並列に接続され、他端が電源線またはグラウンド線に接続され得る。スイッチ S 10 ~ S 32 は、対応する容量 C 10 ~ C 32 の他端を電源線またはグラウンド線に選択的に接続する。電源電圧とグラウンド電位との間の電圧範囲内にて、本デジタルアナログ変換器 10 の出力電圧範囲の大きさおよび位置が所望の値に設定されるよう、複数の容量 C 10 ~ C 36 による容量分割比の取り得る範囲が設定される。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

高電位側基準電圧と低電位側基準電圧とをもとに、分解能に対応した数の電圧レベルを生成可能なデジタルアナログ変換器であって、

一端が出力ノードに対して並列に接続され、他端が前記高電位側基準電圧および前記低電位側基準電圧のいずれかに接続される、それぞれ重み付けされた複数の容量と、

前記複数の容量の少なくとも一つの容量における接続先を、前記高電位側基準電圧と前記低電位側基準電圧との間で切り替えるためのスイッチと、を備え、

前記高電位側基準電圧と前記低電位側基準電圧との間の電圧範囲内にて、本デジタルアナログ変換器の出力電圧範囲の大きさおよび位置が所定の目標値に設定されるよう、前記複数の容量による容量分割比の取り得る範囲が設定されることを特徴とするデジタルアナログ変換器。

10

【請求項 2】

前記複数の容量は、本デジタルアナログ変換器の出力電圧範囲の大きさを調整するための複数の調整用容量と、所定の分解能でデジタル信号にした場合の各桁に対応する電圧幅を生成するための複数の容量と、を含むことを特徴とする請求項 1 に記載のデジタルアナログ変換器。

【請求項 3】

それぞれ重み付けされた複数の容量を利用したデジタルアナログ変換器であって、

各桁に対応する電圧幅を生成するための容量をそれぞれ複数設けたことを特徴とするデジタルアナログ変換器。

20

【請求項 4】

初期状態にて、各桁に対応する電圧幅を生成するための複数の容量のうち、一部の容量が高電位側基準電圧に接続され、他の容量が低電位側基準電圧に接続され、容量分割による本デジタルアナログ変換器の初期出力電圧が生成されることを特徴とする請求項 3 に記載のデジタルアナログ変換器。

【請求項 5】

本デジタルアナログ変換器の出力電圧範囲の大きさを調整するための調整用容量をさらに備えることを特徴とする請求項 3 または 4 に記載のデジタルアナログ変換器。

【請求項 6】

前記調整用容量は複数設けられ、初期状態にて、その一部の容量が高電位側基準電圧に接続され、他の容量が低電位側基準電圧に接続され、容量分割による本デジタルアナログ変換器の初期出力電圧が所定の目標値に設定されることを特徴とする請求項 5 に記載のデジタルアナログ変換器。

30

【請求項 7】

前記複数の調整用容量のそれぞれの容量値が独立の変数として調整されることにより、本デジタルアナログ変換器の出力電圧範囲の位置が調整されることを特徴とする請求項 2 または 6 に記載のデジタルアナログ変換器。

【請求項 8】

請求項 1 から 7 のいずれかに記載のデジタルアナログ変換器の出力電圧をリファレンス電圧として利用することを特徴とする逐次比較型アナログデジタル変換器。

40

【請求項 9】

請求項 1 から 7 のいずれかに記載のデジタルアナログ変換器と、

前記デジタルアナログ変換器の出力電圧と、入力アナログ信号とを比較するコンパレータと、

前記コンパレータの出力結果に応じて、前記デジタルアナログ変換器の容量分割比を変化させる逐次比較レジスタと、

を備えることを特徴とする逐次比較型アナログデジタル変換器。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、容量分割における分割比率を調整することにより、所望のアナログ信号を生成するデジタルアナログ変換器、およびそれを用いた逐次比較型アナログデジタル変換器に関する。

【背景技術】

【0002】

カメラ、通信機、および家電製品など多くの電子機器がデジタル化してきている。しかしながら、自然界は音声や映像などアナログ情報に満ちているため、アナログ信号とデジタル信号との間の変換技術が益々重要になってきている。アナログデジタル変換器（以下、A/D変換器と適宜表記する。）には多様な方式が存在するが、その中の一つに逐次比較型A/D変換器がある（例えば、非特許文献1参照。）。 10

【0003】

逐次比較型A/D変換器は、逐次比較レジスタ（SAR；Successive Approximation Register）、デジタルアナログ変換器（以下、D/A変換器と適宜表記する。）、およびコンパレータを含む。当該コンパレータは、アナログ入力電圧と当該D/A変換器からのアナログ出力電圧とを比較する。

【非特許文献1】Jean Sauerbrey etc.、「A 0.5V, 1 μ W Successive Approximation ADC」、ESSCIRC2002、p. 247 - 250

【発明の開示】

【発明が解決しようとする課題】 20

【0004】

コンパレータには入力電圧範囲が存在する。したがって、上記コンパレータにリファレンス電圧を供給する上記D/A変換器の出力電圧範囲は、その入力電圧範囲に対応させる必要がある。上記D/A変換器に供給されるべき高電位側基準電圧および低電位側基準電圧の少なくとも一方のレベルを調整するか、当該D/A変換器の出力電圧範囲に対応するコンパレータを使用する必要があった。

【0005】

上記高電位側基準電圧に電源電圧VDD、上記低電位側基準電圧にグラウンド電位GNDを採用した場合、上記D/A変換器の出力電圧範囲は、基本的に電源電圧VDDからグラウンド電位の範囲となる。この場合、この電圧範囲に対応した入力電圧範囲を持つコンパレータを用意する必要がある。 30

【0006】

これに対し、D/A変換器に供給される基準電圧を調整して両電圧範囲を対応させようとすると、D/A変換器において低電源電圧の条件下で中間的な基準電圧がスイッチを通過すると以下のような問題が発生しえる。すなわち、CMOSスイッチを使用した場合、電源電圧はPMOSを介して、グラウンド電位はNMOSを介して回路内部に供給されるが、低電源電圧のとき、電源電圧とグラウンド電位間の中間的な電位を利用すると、PMOSおよびNMOSのカットオフ領域に近づくため、速度が遅くなったり、正確な電位が伝わりにくくなることがある。アナログ回路がデジタル回路と同一基板上に混載されることが多くなってきており、低電源電圧への対応はますます重要になってきている。また、広い入力電圧範囲を持つコンパレータ方式はいくつか提案されているが、回路が複雑でコスト増につながる。この点、回路構成が簡素で低電源電圧下で動作可能であり、かつ所望の出力電圧範囲を設定可能なD/A変換器があれば、逐次比較型A/D変換器を効率的に設計することができる。 40

【0007】

本発明はこうした状況に鑑みなされたものであり、その目的は、所与の基準電圧のレベルに関係なく所望の出力電圧範囲を設定可能なD/A変換器、およびそれを用いた逐次比較型A/D変換器を提供することにある。

【課題を解決するための手段】

【0008】 50

上記課題を解決するために、本発明のある態様のデジタルアナログ変換器は、高電位側基準電圧と低電位側基準電圧とをもとに、分解能に対応した数の電圧レベルを生成可能なデジタルアナログ変換器であって、一端が出力ノードに対して並列に接続され、他端が高電位側基準電圧および低電位側基準電圧のいずれかに接続される、それぞれ重み付けされた複数の容量と、複数の容量の少なくとも一つの容量における接続先を、高電位側基準電圧と低電位側基準電圧との間で切り替えるためのスイッチと、を備える。高電位側基準電圧と低電位側基準電圧との間の電圧範囲内にて、本デジタルアナログ変換器の出力電圧範囲の大きさおよび位置が所定の目標値に設定されるよう、複数の容量による容量分割比の取り得る範囲が設定される。この態様によると、高電位側基準電圧および低電位側基準電圧のレベルに関係なく、所望の出力電圧範囲を設定することができる。

10

【0009】

複数の容量は、本デジタルアナログ変換器の出力電圧範囲の大きさを調整するための複数の調整用容量と、所定の分解能でデジタル信号にした場合の各桁に対応する電圧幅を生成するための複数の容量と、を含んでもよい。この態様によると、調整用容量を設けたことにより、容量分割比の取り得る範囲を調整することができ、所望の出力電圧範囲を設定することができる。

【0010】

本発明の別の態様もまた、デジタルアナログ変換器である。このデジタルアナログ変換器は、それぞれ重み付けされた複数の容量を利用したデジタルアナログ変換器であって、各桁に対応する電圧幅を生成するための容量をそれぞれ複数設けた。この態様によると、取り得る容量分割比の数を多くすることができるため、総容量の面積を小さくすることができる。

20

【0011】

初期状態にて、各桁に対応する電圧幅を生成するための複数の容量のうち、一部の容量が高電位側基準電圧に接続され、他の容量が低電位側基準電圧に接続され、容量分割による本デジタルアナログ変換器の初期出力電圧が生成されてもよい。この態様によると、初期出力電圧に対応する電圧幅を生成するための容量を別途に設けなくても、初期出力電圧を生成することができる。

【0012】

本デジタルアナログ変換器の出力電圧範囲の大きさを調整するための調整用容量をさらに備えてもよい。この態様によると、高電位側基準電圧および低電位側基準電圧のレベルに関係なく、所望の出力電圧範囲を設定することができる。例えば、出力電圧範囲を、高電位側基準電圧と低電位側基準電圧との間の電圧範囲より狭めることができる。

30

【0013】

調整用容量は複数設けられ、初期状態にて、その一部の容量が高電位側基準電圧に接続され、他の容量が低電位側基準電圧に接続され、容量分割による本デジタルアナログ変換器の初期出力電圧が所定の目標値に設定されてもよい。複数の調整用容量のそれぞれの容量値が独立の変数として調整されることにより、本デジタルアナログ変換器の出力電圧範囲の位置が調整されてもよい。この態様によると、出力電圧範囲の大きさだけでなく、位置も調整することができ、さらに柔軟に出力電圧範囲を設定することができる。

40

【0014】

本発明のさらに別の態様は、逐次比較型アナログデジタル変換器である。この逐次比較型アナログデジタル変換器は、デジタルアナログ変換器の出力電圧をリファレンス電圧として利用する。この態様によると、逐次比較型アナログデジタル変換器のリファレンス電圧として効率的な範囲の電圧をデジタルアナログ変換器から供給することができる。

【0015】

本発明のさらに別の態様もまた、逐次比較型アナログデジタル変換器である。この逐次比較型アナログデジタル変換器は、デジタルアナログ変換器と、デジタルアナログ変換器の出力電圧と、入力アナログ信号とを比較するコンパレータと、コンパレータの出力結果に応じて、デジタルアナログ変換器の容量分割比を変化させる逐次比較レジスタと、を備

50

える。この態様によると、コンパレータが、その入力電圧範囲に適した範囲のリファレンス電圧を受けることができ、回路全体を効率化することができる。

【0016】

なお、以上の構成要素の任意の組合せや、本発明の構成要素や表現を方法、装置、システムなどの間で相互に置換したのもまた、本発明の態様として有効である。

【発明の効果】

【0017】

本発明によれば、所与の基準電圧のレベルに関係なく所望の出力電圧範囲を設定可能となる。

【発明を実施するための最良の形態】

10

【0018】

図1は、本発明の実施形態におけるDA変換器10の構成およびそれを含む逐次比較型AD変換器100の構成を示す。逐次比較型AD変換器100は、DA変換器10、サンプル・ホールド回路20、コンパレータ30、および逐次変換レジスタ40を含む。DA変換器10は、電源電圧VDDおよびグラウンド電位GNDの2つの電圧レベルを基に、その分解能に対応した数の電圧レベルを生成する。例えば、3ビットの分解能の場合、少なくとも7つの電圧レベルを生成する。DA変換器10は、生成した電圧レベルをコンパレータ30の第1入力端子Aに供給する。DA変換器10の詳細な構成については後述する。

【0019】

20

サンプル・ホールド回路20は、入力アナログ信号Ainを所定のタイミングでサンプルし、所定の期間保持する。逐次比較型AD変換器100ではAD変換にある程度の時間が必要なため、その間にアナログ入力信号の値が変化しないようサンプル値を保持する必要がある。サンプル・ホールド回路20は、保持している値の電圧レベルをコンパレータ30の第2入力端子Bに供給する。なお、サンプル・ホールド回路20には、スイッチトキャパシタ型などを採用することができる。

【0020】

コンパレータ30は、DA変換器10から供給された電圧と、サンプル・ホールド回路20から供給された電圧とを比較し、その比較結果に応じてハイレベル信号またはローレベル信号を逐次変換レジスタ40に出力する。例えば、サンプル・ホールド回路20から供給された電圧がDA変換器10から供給された電圧より高い場合、ハイレベル信号を出力し、低い場合、ローレベル信号を出力してもよい。

30

【0021】

逐次変換レジスタ40は、コンパレータ30の比較結果に応じて、DA変換器10を構成する後述するスイッチ群を制御する。DA変換器10は、この制御にしたがい、新たなリファレンス電圧を生成し、コンパレータ30の第1入力端子Aに供給する。コンパレータ30は、この電圧とサンプル・ホールド回路20から供給されている電圧とを再度比較し、比較結果を再度逐次変換レジスタ40に出力する。この処理を繰り返すことにより、各桁の値を決定していく。逐次変換レジスタ40は、桁ごとにデジタル値を保持する保持レジスタを備えてもよく、すべての桁の値が確定したら、当該保持レジスタの内容を変換後のデジタル信号として外部に出力してもよい。配線の形態に応じて、シリアルに出力してもよいし、パラレルに出力してもよい。

40

【0022】

次に、DA変換器10の詳細な構成について説明する。図1のDA変換器10は、3ビットの分解能でデジタル信号をアナログ信号に変換するものである。コンパレータ30の第1入力端子Aに繋がる経路には、それぞれ重み付けされた複数の容量が並列に接続される。

【0023】

調整用第1容量C10および調整用第2容量C12は、DA変換器10の出力電圧範囲の幅および位置を調整する。この調整方法の詳細は後述する。調整用第1容量C10およ

50

び調整用第2容量C12は、特に断り書きがない限り同じ容量値とする。調整用第1容量C10および調整用第2容量C12の一端は、コンパレータ30の第1入力端子Aに繋がる経路に接続される。調整用第1容量C10の他端は、調整用スイッチS10の一端に接続される。調整用第2容量C12の他端は、低電位側の基準電位を供給するグラウンド線に接続される。

【0024】

調整用スイッチS10の他端は、高電位側の基準電位を供給する電源線および上記グラウンド線に対して選択的に接続可能な構成である。調整用スイッチS10は、逐次変換レジスタ40からの制御により、調整用第1容量C10を当該電源線または当該グラウンド線のいずれかに接続する。

10

【0025】

n-1桁第1容量C20およびn-1桁第2容量C22は、主に最上位ビットの次のビットの値を決定するための電圧幅を生成するための容量である。n-1桁第1容量C20およびn-1桁第2容量C22は、同じ容量値であり、調整用第1容量C10および調整用第2容量C12の容量値の1/2の値である。n-1桁第1容量C20およびn-1桁第2容量C22の一端は、コンパレータ30の第1入力端子Aに繋がる経路に接続される。それらの他端は、それぞれn-1桁第1スイッチS20およびn-1桁第2スイッチS22の一端に接続される。

【0026】

n-1桁第1スイッチS20およびn-1桁第2スイッチS22の他端は、上記電源線および上記グラウンド線に対して選択的に接続可能な構成である。n-1桁第1スイッチS20およびn-1桁第2スイッチS22は、逐次変換レジスタ40からの制御により、n-1桁第1容量C20およびn-1桁第2容量C22を当該電源線または当該グラウンド線のいずれかに接続する。

20

【0027】

n-2桁第1容量C30、n-2桁第2容量C32、n-2桁第3容量C34およびn-2桁第4容量C36は、主に最上位ビットから2ビット下位のビットの値を決定するための電圧幅を生成するための容量である。図1では、最下位ビットの値を決定するための電圧幅を生成するための容量である。n-2桁第1容量C30、n-2桁第2容量C32、n-2桁第3容量C34およびn-2桁第4容量C36は、同じ容量値であり、調整用第1容量C10および調整用第2容量C12の容量値の1/4の値である。n-2桁第1容量C30、n-2桁第2容量C32、n-2桁第3容量C34およびn-2桁第4容量C36の一端は、コンパレータ30の第1入力端子Aに繋がる経路に接続される。n-2桁第3容量C34およびn-2桁第4容量C36の他端は、上記グラウンド線に接続される。

30

【0028】

n-2桁第1容量C30およびn-2桁第2容量C32の他端は、それぞれn-2桁第1スイッチS30およびn-1桁第2スイッチS32の一端に接続される。n-2桁第1スイッチS30およびn-1桁第2スイッチS32の他端は、上記電源線および上記グラウンド線に対して選択的に接続可能な構成である。n-2桁第1スイッチS30およびn-2桁第2スイッチS32は、逐次変換レジスタ40からの制御により、n-2桁第1容量C30およびn-2桁第2容量C32を当該電源線または当該グラウンド線のいずれかに接続する。

40

【0029】

さらに、コンパレータ30の第1入力端子Aに繋がる経路と上記グラウンド線との間にリセット用スイッチS0が設けられる。リセット用スイッチS0は、オンすることにより、コンパレータ30の第1入力端子Aをグラウンド電位に設定することができる。逐次変換レジスタ40などからの制御により、オンオフ制御される。

【0030】

次に、本実施形態における逐次比較型AD変換器100の動作について説明する。初期

50

状態にて、D A 変換器 1 0 は、リセット用スイッチ S 0 がオンで、調整用スイッチ S 1 0、n - 1 桁第 1 スイッチ S 2 0、n - 1 桁第 2 スイッチ S 2 2、n - 2 桁第 1 スイッチ S 3 0 および n - 2 桁第 2 スイッチ S 3 2 はすべてグラウンド線に接続される。したがって、D A 変換器 1 0 全体の容量はディスチャージされ、コンパレータ 3 0 の第 1 入力端子 A はグラウンド電位となる。

【 0 0 3 1 】

次に、逐次比較型 A D 変換器 1 0 0 にアナログ信号 A i n が入力されると、サンプル・ホールド回路 2 0 は、そのアナログ信号 A i n の電圧を所定のタイミングでサンプリングし、コンパレータ 3 0 の第 2 入力端子 B に供給する。コンパレータ 3 0 の第 2 入力端子 B にサンプリングされた電圧が現れると、リセット用スイッチ S 0 がオフに切り替えられ、調整用スイッチ S 1 0、n - 1 桁第 1 スイッチ S 2 0 および n - 2 桁第 1 スイッチ S 3 0 はすべて上記グラウンド線から上記電源線に切り替えられる。その結果、調整用第 1 容量 C 1 0、n - 1 桁第 1 容量 C 2 0、n - 2 桁第 1 容量 C 3 0 および n - 2 桁第 3 容量 C 3 4 からなる合成容量と、調整用第 2 容量 C 1 2、n - 1 桁第 2 容量 C 2 2、n - 2 桁第 2 容量 C 3 2 および n - 2 桁第 4 容量 C 3 6 からなる合成容量との直列回路が形成される。対をなしている容量の容量値が等しいことを前提とすると、1 対 1 の容量分割となり、コンパレータ 3 0 の第 1 入力端子 A の電圧は、電源電圧 V D D の 1 / 2 の電圧となる。

10

【 0 0 3 2 】

次に、コンパレータ 3 0 は、D A 変換器 1 0 から供給される電源電圧 V D D の 1 / 2 の電圧と、サンプル・ホールド回路 2 0 から供給される電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ 4 0 に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。

20

【 0 0 3 3 】

逐次変換レジスタ 4 0 は、コンパレータ 3 0 からの出力信号を最上位ビットの値として保持する。その出力信号がローレベルの信号である場合、n - 1 桁第 2 スイッチ S 2 2 に制御信号を出力して、接続先を上記グラウンド線から上記電源線に切り替える。すると、調整用第 1 容量 C 1 0、n - 1 桁第 1 容量 C 2 0、n - 1 桁第 2 容量 C 2 2、n - 2 桁第 1 容量 C 3 0 および n - 2 桁第 3 容量 C 3 4 からなる合成容量と、調整用第 2 容量 C 1 2、n - 2 桁第 2 容量 C 3 2 および n - 2 桁第 4 容量 C 3 6 からなる合成容量との直列回路が形成される。この場合、5 対 3 の容量分割となり、コンパレータ 3 0 の第 1 入力端子 A は、電源電圧 V D D の 3 / 8 の電圧となる。

30

【 0 0 3 4 】

一方、逐次変換レジスタ 4 0 は、コンパレータ 3 0 からの出力信号がハイレベルの信号である場合、n - 1 桁第 1 スイッチ S 2 0 に制御信号を出力して、接続先を上記電源線から上記グラウンド線に切り替える。すると、調整用第 1 容量 C 1 0、n - 2 桁第 1 容量 C 3 0 および n - 2 桁第 3 容量 C 3 4 からなる合成容量と、調整用第 2 容量 C 1 2、n - 1 桁第 1 容量 C 2 0、n - 1 桁第 2 容量 C 2 2、n - 2 桁第 2 容量 C 3 2 および n - 2 桁第 4 容量 C 3 6 からなる合成容量との直列回路が形成される。この場合、3 対 5 の容量分割となり、コンパレータ 3 0 の第 1 入力端子 A は、電源電圧 V D D の 5 / 8 の電圧となる。

【 0 0 3 5 】

次に、最上位ビットがローレベル信号の場合、コンパレータ 3 0 は、D A 変換器 1 0 から供給される電源電圧 V D D の 3 / 8 の電圧と、サンプル・ホールド回路 2 0 から供給されている電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ 4 0 に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。

40

【 0 0 3 6 】

逐次変換レジスタ 4 0 は、コンパレータ 3 0 からの出力信号を最上位ビットの次のビットの値として保持する。その出力信号がローレベルの信号である場合、n - 2 桁第 2 スイッチ S 3 2 に制御信号を出力して、接続先を上記グラウンド線から上記電源線に切り替える。すると、調整用第 1 容量 C 1 0、n - 1 桁第 1 容量 C 2 0、n - 1 桁第 2 容量 C 2 2

50

、 $n - 2$ 桁第1容量 C_{30} 、 $n - 2$ 桁第2容量 C_{32} および $n - 2$ 桁第3容量 C_{34} からなる合成容量と、調整用第2容量 C_{12} および $n - 2$ 桁第4容量 C_{36} からなる合成容量との直列回路が形成される。この場合、11対5の容量分割となり、コンパレータ30の第1入力端子Aは、電源電圧 V_{DD} の $5/16$ の電圧となる。

【0037】

一方、逐次変換レジスタ40は、コンパレータ30からの出力信号がハイレベルの信号である場合、 $n - 2$ 桁第1スイッチ S_{30} に制御信号を出力して、接続先を上記電源線から上記グラウンド線に切り替える。すると、調整用第1容量 C_{10} 、 $n - 1$ 桁第1容量 C_{20} 、 $n - 1$ 桁第2容量 C_{22} および $n - 2$ 桁第3容量 C_{34} からなる合成容量と、調整用第2容量 C_{12} 、 $n - 2$ 桁第1容量 C_{30} 、 $n - 2$ 桁第2容量 C_{32} および $n - 2$ 桁第4容量 C_{36} からなる合成容量との直列回路が形成される。この場合、9対7の容量分割となり、コンパレータ30の第1入力端子Aは、電源電圧 V_{DD} の $7/16$ の電圧となる。

10

【0038】

次に、最上位ビットがローレベル信号で、その次のビットもローレベル信号の場合、コンパレータ30は、DA変換器10から供給される電源電圧 V_{DD} の $5/16$ の電圧と、サンプル・ホールド回路20から供給されている電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ40に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。

【0039】

一方、最上位ビットがローレベル信号で、その次のビットはハイレベル信号の場合、コンパレータ30は、DA変換器10から供給される電源電圧 V_{DD} の $7/16$ の電圧と、サンプル・ホールド回路20から供給されている電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ40に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。

20

【0040】

次に、最上位ビットの次のビットの処理にて、最上位ビットがハイレベル信号の場合、コンパレータ30は、DA変換器10から供給される電源電圧 V_{DD} の $5/8$ の電圧と、サンプル・ホールド回路20から供給されている電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ40に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。

30

【0041】

逐次変換レジスタ40は、コンパレータ30からの出力信号を最上位ビットの次のビットの値として保持する。その出力信号がローレベルの信号である場合、 $n - 2$ 桁第2スイッチ S_{32} に制御信号を出力して、接続先を上記グラウンド線から上記電源線に切り替える。この場合、7対9の容量分割となり、コンパレータ30の第1入力端子Aは、電源電圧 V_{DD} の $9/16$ の電圧となる。

【0042】

一方、逐次変換レジスタ40は、コンパレータ30からの出力信号がハイレベルの信号である場合、 $n - 2$ 桁第1スイッチ S_{30} に制御信号を出力して、接続先を上記電源線から上記グラウンド線に切り替える。この場合、5対11の容量分割となり、コンパレータ30の第1入力端子Aは、電源電圧 V_{DD} の $11/16$ の電圧となる。

40

【0043】

次に、最上位ビットがハイレベル信号で、その次のビットはローレベル信号の場合、コンパレータ30は、DA変換器10から供給される電源電圧 V_{DD} の $9/16$ の電圧と、サンプル・ホールド回路20から供給されている電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ40に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。

【0044】

一方、最上位ビットがハイレベル信号で、その次のビットもハイレベル信号の場合、コ

50

ンパレータ30は、DA変換器10から供給される電源電圧VDDの11/16の電圧と、サンプル・ホールド回路20から供給されている電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ40に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。以上の処理により、サンプル・ホールド回路20によりサンプリングされたアナログ信号Ainが3ビットのデジタル信号Doutに変換される。

【0045】

図2は、第1比較例におけるDA変換器18の構成およびそれを含む逐次比較型AD変換器200の構成を示す。第1比較例における逐次比較型AD変換器200の構成は、図1に示した実施形態における逐次比較型AD変換器100の構成と基本的に同じである。両者は、DA変換器18の構成、およびコンパレータ30の入力電圧範囲が異なる。

10

【0046】

図2のDA変換器18も、3ビットの分解能でデジタル信号をアナログ信号に変換するものである。コンパレータ30の第1入力端子Aに繋がる経路には、それぞれ重み付けされた複数の容量が並列に接続される。

【0047】

n桁容量C18は、主に最上位ビットの値を決定するための電圧幅を生成するための容量である。n桁容量C18の一端は、コンパレータ30の第1入力端子Aに繋がる経路に接続され、他端は、n桁スイッチS18の一端に接続される。n桁スイッチS18の他端は、高電位側の基準電位を供給する電源線および低電位側の基準電位を供給するグラウンド線に対して選択的に接続可能な構成である。n桁スイッチS18は、逐次変換レジスタ40からの制御により、n桁容量C18を当該電源線または当該グラウンド線のいずれかに接続する。

20

【0048】

n-1桁容量C28は、主に最上位ビットの次のビットの値を決定するための電圧幅を生成するための容量である。n-1桁容量C28は、n桁容量C18の容量値の1/2の値である。n-1桁容量C28の一端は、コンパレータ30の第1入力端子Aに繋がる経路に接続され、その他端は、n-1桁スイッチS28の一端に接続される。n-1桁スイッチS28の他端は、上記電源線および上記グラウンド線に対して選択的に接続可能な構成である。n-1桁スイッチS28は、逐次変換レジスタ40からの制御により、n-1桁容量C28を当該電源線または当該グラウンド線のいずれかに接続する。

30

【0049】

n-2桁第1容量C38およびn-2桁第2容量C39は、主に最上位ビットから2ビット下位のビットの値を決定するための電圧幅を生成するための容量である。n-2桁第1容量C38およびn-2桁第2容量C39は、同じ容量値であり、n桁容量C18の容量値の1/4の値である。n-2桁第1容量C38およびn-2桁第2容量C39の一端は、コンパレータ30の第1入力端子Aに繋がる経路に接続される。

【0050】

n-2桁第1容量C38の他端は、n-2桁スイッチS38に接続され、n-2桁第2容量C39の他端は、上記グラウンド線に接続される。n-2桁スイッチS38の他端は、上記電源線および上記グラウンド線に対して選択的に接続可能な構成である。n-2桁スイッチS38は、逐次変換レジスタ40からの制御により、n-2桁第1容量C38を当該電源線または当該グラウンド線のいずれかに接続する。さらに、コンパレータ30の第1入力端子Aに繋がる経路と上記グラウンド線との間にリセット用スイッチS8が設けられる。

40

【0051】

次に、第1比較例における逐次比較型AD変換器200の動作について説明する。初期状態にて、DA変換器18は、リセット用スイッチS8オンで、n桁スイッチS18、n-1桁スイッチS28およびn-2桁スイッチS38はすべてグラウンド線に接続される。したがって、DA変換器18全体の容量はディスチャージされ、コンパレータ30の第

50

1 入力端子 A はグラウンド電位となる。

【0052】

次に、逐次比較型 AD 変換器 200 にアナログ信号 A_{in} が入力されると、サンプル・ホールド回路 20 は、そのアナログ信号 A_{in} の電圧を所定のタイミングでサンプリングし、コンパレータ 30 の第 2 入力端子 B に供給する。コンパレータ 30 の第 2 入力端子 B にサンプリングされた電圧が現れると、リセット用スイッチ S 8 がオフに切り替えられ、 n 桁スイッチ S 18 の接続先が上記グラウンド線から上記電源線に切り替えられる。その結果、 n 桁容量 C 18 と、 $n - 1$ 桁容量 C 28、 $n - 2$ 桁第 1 容量 C 38 および $n - 2$ 桁第 2 容量 C 39 からなる合成容量との直列回路が形成される。1 対 1 の容量分割となり、コンパレータ 30 の第 1 入力端子 A は、電源電圧 V_{DD} の $1/2$ の電圧となる。

10

【0053】

次に、コンパレータ 30 は、DA 変換器 10 から供給される電源電圧 V_{DD} の $1/2$ の電圧と、サンプル・ホールド回路 20 から供給される電圧とを比較する。後者の電圧が前者の電圧以上の場合、ハイレベルの信号を逐次変換レジスタ 40 に出力し、後者の電圧が前者の電圧未満の場合、ローレベルの信号を出力する。

【0054】

逐次変換レジスタ 40 は、コンパレータ 30 からの出力信号を最上位ビットの値として保持する。その出力信号がローレベルの信号である場合、 $n - 1$ 桁スイッチ S 28 に制御信号を出力して、接続先を上記グラウンド線から上記電源線に切り替える。この場合、3 対 1 の容量分割となり、コンパレータ 30 の第 1 入力端子 A は、電源電圧 V_{DD} の $1/4$ の電圧となる。一方、コンパレータ 30 からの出力信号がハイレベルの信号である場合、 n 桁スイッチ S 18 に制御信号を出力して、接続先を上記電源線から上記グラウンド線に切り替え、かつ $n - 1$ 桁スイッチ S 28 に制御信号を出力して、接続先を上記グラウンド線から上記電源線に切り替える。この場合、1 対 3 の容量分割となり、コンパレータ 30 の第 1 入力端子 A は、電源電圧 V_{DD} の $3/4$ の電圧となる。

20

【0055】

以下、同様の原理により、逐次変換レジスタ 40 は、コンパレータ 30 からの出力信号のレベルに応じて、 n 桁スイッチ S 18、 $n - 1$ 桁スイッチ S 28 および $n - 2$ 桁スイッチ S 30 を制御することにより、電源電圧 V_{DD} の $1/8$ の電圧、 $3/8$ の電圧、 $5/8$ の電圧および $7/8$ の電圧を DA 変換器 18 に生成させることができる。

30

【0056】

図 3 は、第 2 比較例における DA 変換器 19 の構成およびそれを含む逐次比較型 AD 変換器 300 の構成を示す。第 2 比較例における逐次比較型 AD 変換器 300 の構成は、図 2 に示した第 1 比較例における逐次比較型 AD 変換器 200 の構成と基本的に同じである。両者は、DA 変換器 19 の構成、およびコンパレータ 30 の入力電圧範囲が異なる。

【0057】

図 3 の DA 変換器 19 も、3 ビットの分解能でデジタル信号をアナログ信号に変換するものである。図 2 の DA 変換器 18 と異なる点は、コンパレータ 30 の第 1 入力端子 A に繋がる経路と上記グラウンド線との間に、調整用容量 C 8 が挿入された点である。調整用容量 C 8 は、 n 桁容量 C 18 の容量値の 2 倍の値である。

40

【0058】

次に、第 2 比較例における逐次比較型 AD 変換器 300 の動作について説明する。第 2 比較例における逐次比較型 AD 変換器 300 の動作は、第 1 比較例における逐次比較型 AD 変換器 200 の動作と基本的に同様である。調整用容量 C 8 が挿入されたため、以下の点が異なる。第 1 比較例における DA 変換器 18 の取り得る出力電圧は、電源電圧 V_{DD} の $1/2$ の電圧を中心に、 $1/4$ の電圧、 $3/4$ の電圧、 $1/8$ の電圧、 $3/8$ の電圧、 $5/8$ の電圧および $7/8$ の電圧であった。これに対し、第 2 比較例における DA 変換器 19 の取り得る出力電圧は、電源電圧 V_{DD} の $1/4$ の電圧を中心に、 $1/8$ の電圧、 $3/8$ の電圧、 $1/16$ の電圧、 $3/16$ の電圧、 $5/16$ の電圧および $7/16$ の電圧となる。

50

【0059】

次に、実施形態、比較例1、および比較例2におけるコンパレータ30の入力電圧範囲について説明する。実施形態におけるコンパレータ30の第1入力端子AにはDA変換器10から電源電圧VDDの1/2の電圧を中心に、電源電圧VDDの5/16から11/16の範囲の電圧が印加される。n-2桁第3容量C34およびn-2桁第4容量C36も、上記電源線に接続可能な構成にすれば、電源電圧VDDの1/4から3/4の範囲の電圧が印加され得る。

【0060】

比較例1におけるコンパレータ30の第1入力端子AにはDA変換器18から電源電圧VDDの1/2の電圧を中心に、電源電圧VDDの1/8から7/8の範囲の電圧が印加される。n-2桁第2容量C39も、上記電源線に接続可能な構成にすれば、電源電圧VDDからグラウンド電位の範囲の電圧が印加され得る。

10

【0061】

比較例2におけるコンパレータ30の第1入力端子AにはDA変換器19から電源電圧VDDの1/4の電圧を中心に、電源電圧VDDの1/16から7/16の範囲の電圧が印加される。n-2桁第2容量C39も、上記電源線に接続可能な構成にすれば、電源電圧VDDの1/2の電圧からグラウンド電位の範囲の電圧が印加され得る。

【0062】

本実施形態は、比較例1と比較すると、DA変換器10の出力電圧範囲を1/2にすることができ、コンパレータ30の入力電圧範囲も1/2にすることができる。これにより、コンパレータの設計を簡素化することができ、コスト削減にもつながる。また、低電源電圧化にも対応することができる。

20

【0063】

本実施形態は、比較例2と比較し、出力電圧範囲自体をシフトすることができる。すなわち、本実施形態は、その出力電圧範囲の下限がグラウンド電位ではなく、その出力電圧範囲が電源電圧VDDとグラウンド電位との間の中間に位置する。後述するように、電源電圧VDDとグラウンド電位との間でその出力電圧範囲を任意に設定することができる。したがって、逐次比較型AD変換器100に入力されるアナログ信号Ainの範囲に対し、その出力電圧範囲を容易に対応させることができる。また、本実施形態の容量群は、比較例1における容量群の各容量値を1/2にして、2倍の数設けたものであるため、総容量の面積は比較例1におけるそれと基本的に同じである。この点、比較例2における総容量の面積は、調整用容量C8が追加された分、増大する。したがって、本実施形態は、出力電圧範囲の縮小を容量の面積を増大させずに実現することができる。

30

【0064】

次に、本実施形態にて、縮小した出力電圧範囲を設計者が任意のレベルにシフト可能な点について説明する。本実施形態にて、DA変換器10の総容量値TCは下記式1のように表される。

$$C20 = C22 = C / 2$$

$$C30 = C32 = C34 = C36 = C / 2$$

$$C10 = Ca ; C12 = Cb$$

とすると、

$$TC = Ca + Cb + 2 \times C / 2 + 4 \times C / 4$$

$$= Ca + Cb + 2C$$

... (式1)

40

【0065】

本実施形態にて、出力電圧範囲VWは、総容量値TCと、総容量値TCから調整用第1容量C10の容量値Caおよび調整用第2容量C12の容量値Cbを除いた残りの容量値との比で決定されるので、下記式2のように表される。

$$VW = \{ 2C / (Ca + Cb + 2C) \} \times VDD \dots (式2)$$

【0066】

本実施形態にて、最上位ビットを決定するために、最初にコンパレータ30の第1入力

50

端子 A に印加されるべき電圧 A_{ini} は、下記式 3 のように表される。

$$A_{ini} = (C_a + C) / (C_a + C_b + 2C) \times V_{DD} \dots (\text{式 3})$$

【0067】

上記出力電圧範囲 VW の中心値は、当該初期電圧 A_{ini} に設定される。設計者は、当該出力電圧範囲 VW の両端が電源電圧 V_{DD} からグラウンド電位の範囲外に出ないように、上記容量 C_a 、 C_b を設定する必要がある。

【0068】

これまで、3ビット変換の DA 変換器 10 について説明した。以下、本発明がその他のビット数にも容易に拡張できる点について説明する。すなわち、上記式 2 にて、 $2C$ に相当する電荷を蓄える容量群の数を調整すればよい。上述したように、3ビット変換の場合、6個の容量を用い、ある容量値の容量を2個、その容量値の $1/2$ の容量値の容量を4個設けた。この点、4ビット変換の場合、8個の容量を用い、ある容量値の容量を2個、その容量値の $1/2$ の容量値の容量を2個、および初めの容量値の $1/4$ の容量値の容量を4個設ければよい。そして、スイッチで所定数の容量を電源線に接続し、残りの容量をグラウンド線に接続することにより、少なくとも15通りの電圧を生成することができる。

【0069】

以上説明したように本実施形態によれば、 DA 変換器の出力電圧範囲を、電源電圧とグラウンド電位との間の電圧範囲と異ならせることができる。例えば、 DA 変換器の出力電圧範囲を、電源電圧とグラウンド電位との間の電圧範囲より縮小することができる。さらに、出力電圧範囲の中心値を任意のレベルに設定することができる。したがって、電源電圧のレベルに拘束されずに、出力電圧範囲の幅および位置を任意に設定することができる。よって、コンパレータにおけるリファレンス電圧として利用する場合、コンパレータの入力電圧範囲およびコンパレータに入力される比較対象とすべき電圧に対して、最適な範囲のリファレンス電圧を供給することができる。しかも、総容量の面積を増大させることもない。また、電圧を昇圧したり、降圧したりする回路構成も必要ない。さらに、本 DA 変換器を集積化し、スイッチをトランジスタで構成した場合、そのトランジスタは、電源電圧とグラウンド電位を切り替えるだけでよいことから、動作保証マージンの大きい領域で切替制御を行うことができる。

【0070】

以上、本発明をいくつかの実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0071】

実施形態にて、調整用第1容量 C_{10} および調整用第2容量 C_{12} が設けられない構成も本発明の範囲にある。この場合、比較例1に相当する出力電圧範囲を小さな総容量の面積で実現することができる。具体的には、この変形例は、比較例1の実質的に $1/2$ の面積にすることができる。これは、各桁の電圧幅を生成するための容量を2つにしたことにより、桁ごとに1つの容量を電源線に接続し、もう1つの容量をグラウンド線に接続した状態で初期電圧を生成することができるためである。

【0072】

また、比較例2にて、調整用容量 C_8 を複数、例えばに2つに分割し、その一部を電源線およびグラウンド線に選択的に接続可能な構成とした例も本発明の範囲にある。この場合も、上記式2を実現する回路構成となり、総容量の面積に関する部分を除き、実施形態と同様の効果を奏することができる。

【0073】

さらに、上記式2の $2C$ の項を実現するために、容量の数を増やして、その分容量値を減少させるなど、実施形態に示した回路と等価な回路も本発明の範囲にある。また、ある容量に対して、電源電圧 V_{DD} と異なる電圧を印加し、それに応じてその容量値を変化させるなど、 $Q = CV$ の関係式を満たす範囲内での変形も本発明の範囲にある。

【図面の簡単な説明】

【0074】

【図1】本発明の実施形態におけるDA変換器の構成およびそれを含む逐次比較型AD変換器の構成を示す図である。

【図2】第1比較例におけるDA変換器の構成およびそれを含む逐次比較型AD変換器の構成を示す図である。

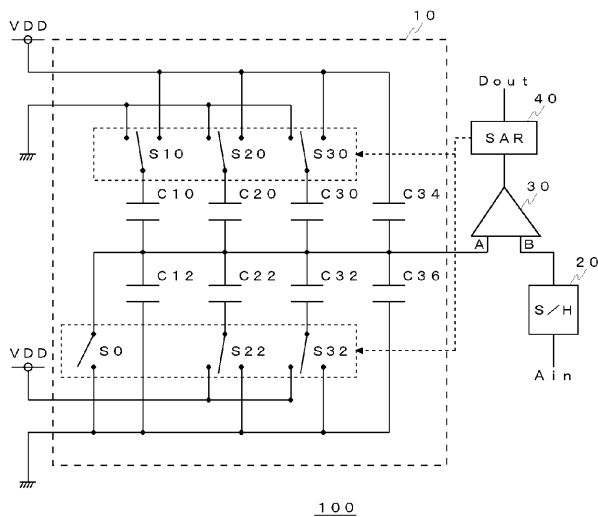
【図3】第2比較例におけるDA変換器の構成およびそれを含む逐次比較型AD変換器の構成を示す図である。

【符号の説明】

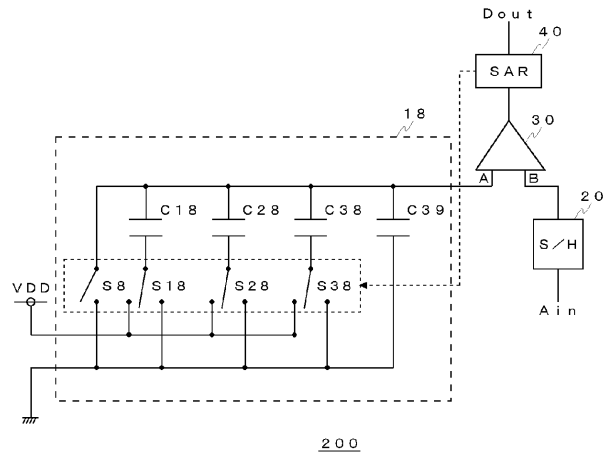
【0075】

10 DA変換器、 20 サンプル・ホールド回路、 30 コンパレータ、 40 逐次変換レジスタ、 100 逐次比較型AD変換器、 S0 リセット用スイッチ、 C10 調整用第1容量、 C12 調整用第2容量、 C20 n-1桁第1容量、 C22 n-1桁第2容量、 C30 n-2桁第1容量、 C32 n-2桁第2容量、 C34 n-2桁第3容量、 C36 n-2桁第4容量、 S10 調整用スイッチ、 S20 n-1桁第1スイッチ、 S22 n-1桁第2スイッチ、 S30 n-2桁第1スイッチ、 S32 n-2桁第2スイッチ。

【図1】



【図2】



【図 3】

