



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월02일  
(11) 등록번호 10-0772724  
(24) 등록일자 2007년10월26일

(51) Int. Cl.  
G11C 29/00(2006.01)  
(21) 출원번호 10-2006-0049005  
(22) 출원일자 2006년05월30일  
심사청구일자 2006년05월30일  
(65) 공개번호 10-2007-0035942  
공개일자 2007년04월02일  
(30) 우선권주장  
1020050090859 2005년09월28일 대한민국(KR)  
(56) 선행기술조사문헌  
JP2001084800 A  
(뒷면에 계속)

(73) 특허권자  
주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자  
도창호  
경기 이천시 부발읍 신하리 청구아파트 105-1502  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 11 항

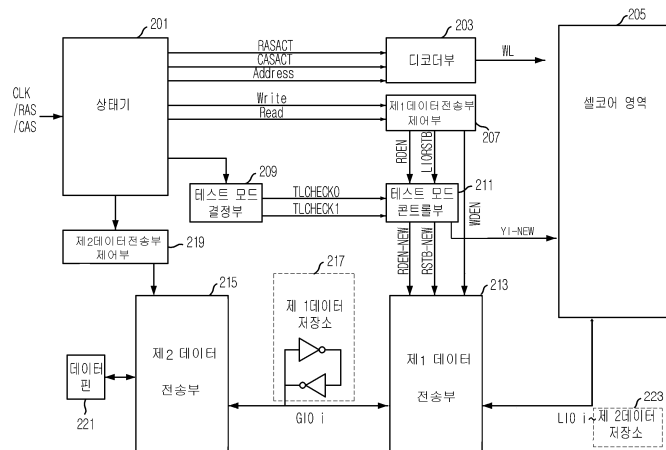
심사관 : 신상길

(54) 반도체 메모리 장치

(57) 요약

본 발명은 반도체 설계 기술에 관한 것으로 특히, 메모리셀을 포함하는 셀코어영역과 무관하게 데이터전송라인의 불량을 검출하는 반도체 메모리 장치를 제공하는 것을 그 목적으로 하여, 이를 위해 본 발명은, 로컬입/출력라인과 글로벌입/출력라인간의 데이터전송을 제어하는 데이터전송부; 리드신호와 라이트신호 및 로컬입/출력라인리셋신호를 생성하여 상기 데이터전송부를 제어하는 데이터전송부 제어부; 컬럼선택신호를 출력하여 메모리셀과 상기 로컬입/출력라인간의 데이터전송을 제어하는 컬럼디코더부; 테스트모드신호에 따라 상기 리드신호 또는 상기 컬럼선택신호와 상기 로컬입/출력라인리셋신호의 활성화를 막는 테스트모드제어부; 및 상기 글로벌입/출력라인에 실린 데이터를 저장하기 위한 데이터임시저장소를 포함하는 반도체 메모리 장치를 제공한다.

대표도 - 도3



(56) 선행기술조사문헌  
KR100128296 B1  
KR1020000000990 A  
KR1020030037968 A  
US6499120 B1

---

**특허청구의 범위**

**청구항 1**

로컬입/출력라인과 글로벌입/출력라인간의 데이터전송을 제어하는 데이터전송부;

리드신호와 라이트신호 및 로컬입/출력라인리셋신호를 생성하여 상기 데이터전송부를 제어하는 데이터전송부 제어부;

컬럼선택신호를 출력하여 메모리셀과 상기 로컬입/출력라인간의 데이터전송을 제어하는 컬럼디코더부;

테스트모드신호에 따라 상기 리드신호 또는 상기 컬럼선택신호와 상기 로컬입/출력라인리셋신호의 활성화를 막는 테스트모드제어부; 및

상기 글로벌입/출력라인에 실린 데이터를 저장하기 위한 데이터임시저장소

를 포함하는 반도체 메모리 장치.

**청구항 2**

제1항에 있어서,

상기 테스트모드제어부는,

제 1테스트모드신호에 응답하여 상기 리드신호의 활성화를 막는 리드신호 비활성화부;

제 2테스트모드신호에 응답하여 상기 컬럼선택신호의 활성화를 막는 컬럼선택신호 비활성화부; 및

상기 제 2테스트모드신호에 응답하여 상기 로컬입/출력라인리셋신호의 활성화를 막는 로컬입/출력라인리셋신호 비활성화부를 포함하는 것을 특징으로 하는 반도체 메모리 장치

**청구항 3**

제 2항에 있어서,

상기 리드신호비활성화부는,

상기 제 1테스트모드신호를 반전시키는 제 1인버터;

상기 리드신호와 상기 제 1인버터의 출력신호를 입력으로 하는 낸드게이트; 및

상기 낸드게이트의 출력신호를 반전시키는 제2 인버터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 4**

제 2항에 있어서,

상기 로컬입/출력라인리셋신호 비활성화부는,

상기 제2 테스트모드신호와 상기 로컬입/출력라인리셋신호를 입력으로 하는 노어게이트; 및

상기 노어게이트의 출력신호를 반전시키는 인버터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 5**

제 1항에 있어서,

상기 데이터임시저장소는 인버터형 래치회로인 것을 특징으로 하는 반도체 메모리 장치.

**청구항 6**

로컬입/출력라인과 글로벌입/출력라인간의 데이터전송을 제어하는 데이터전송부;

리드신호와 라이트신호를 생성하여 상기 데이터전송부를 제어하는 데이터전송부 제어부;

테스트모드신호에 따라 상기 리드신호의 활성화를 막는 테스트모드제어부; 및

상기 글로벌입/출력라인에 실린 데이터를 저장하기 위한 데이터임시저장소를 포함하는 반도체 메모리 장치.

**청구항 7**

제 6항에 있어서,  
 상기 테스트모드제어부는,  
 상기 테스트모드신호를 반전시키는 제1 인버터;  
 상기 리드신호와 상기 제1 인버터의 출력신호를 입력으로 하는 낸드게이트; 및  
 상기 낸드게이트의 출력신호를 반전시키는 제2 인버터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 8**

제 6항에 있어서,  
 상기 데이터임시저장소는,  
 인버터형 래치회로인 것을 특징으로 하는 반도체 메모리 장치.

**청구항 9**

삭제

**청구항 10**

로컬입/출력라인과 글로벌입/출력라인간의 데이터전송을 제어하는 데이터전송부;  
 로컬입/출력라인리셋신호를 생성하여 상기 데이터전송부를 제어하는 데이터전송부 제어부;  
 컬럼선택신호를 출력하여 메모리셀과 상기 로컬입/출력라인간의 데이터전송을 제어하는 컬럼디코더부; 및  
 테스트모드신호에 따라 상기 컬럼선택신호와 상기 로컬입/출력라인리셋신호의 활성화를 막는 테스트모드제어부를 포함하는 반도체 메모리 장치.

**청구항 11**

제 10항에 있어서,  
 상기 테스트모드제어부는,  
 상기 테스트모드신호에 응답하여 상기 컬럼선택신호의 활성화를 막는 컬럼선택신호 비활성화부; 및  
 상기 테스트모드신호에 응답하여 상기 로컬입/출력라인리셋신호의 활성화를 막는 로컬입/출력라인리셋신호 비활성화부를 포함하는 것을 특징으로 하는 반도체 메모리장치.

**청구항 12**

제 11항에 있어서,  
 상기 로컬입/출력라인리셋신호 비활성화부는,  
 상기 테스트모드신호와 상기 로컬입/출력라인리셋신호를 입력으로 하는 노어게이트; 및  
 상기 노어게이트의 출력신호를 반전시키는 인버터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 13**

삭제

**청구항 14**

삭제

청구항 15

삭제

청구항 16

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <14> 본 발명은 반도체 설계 기술에 관한 것으로, 특히 반도체 메모리 장치의 데이터전송라인 불량검출회로에 관한 것이다.
- <15> 대표적인 반도체 메모리 장치인 디램(DRAM)은 갈수록 주변환경의 변화에 따라 단위시간당 데이터처리량의 증가가 요구되고 있다. 이에 따라 외부클럭(CLK)에 동기되어 데이터를 입/출력하는 디램의 외부클럭주파수(CLK Frequency) 역시 높아지고 있다. 이런 상황에서 디램의 내부회로는 더욱 다양화 되고, 복잡화 되어 감에 따라 설계된 제품이 실제로 제작되어 나왔을때, 불량이 발생되었을 경우 과거보다 상기 불량을 해석하기가 갈수록 힘들어 지고 있다. 여기서 불량이라고 하는 것은 대부분이 메모리에 라이트(Write)한 데이터가 다시 리드(Read)할 시에 정상적으로 출력되지 않는 것을 의미한다.
- <16> 데이터가 비정상적으로 출력되는 불량외의 경우, 다양한 원인이 있을 수 있는데, 대표적으로 디램의 메모리셀(memory cell) 자체의 불량으로 인한 비정상 출력, 혹은 셀데이터를 증폭하는 과정에서의 오류, 혹은 셀데이터를 정상적으로 증폭한 후에 전송과정에서 나타나는 오류 및 기타 로직(Logic) 구성의 오류 등이 있다.
- <17> 특히, 고속(High Speed) 제품일수록 외부클럭(CLK)에 동기(Synchronize)가 요구되어지는 로직부분의 오류 및 마진(Margin)성 불량이 많이 나타나는데, 상기 불량이 어느 영역에서 나타난 것인지 파악하는 것이 시간이 걸리게 되고, 이는 제품개발의 지연요소가 되어 경쟁에서 뒤쳐지는 문제점이 된다.
- <18> 도 1은 일반적인 반도체 메모리 장치를 나타낸 블록도이다.
- <19> 도 1을 참조하면, 반도체 메모리 장치는 클럭(CLK), 카스신호(/CAS) 및 라스신호(/RAS)등을 받아 반도체 메모리 장치의 내부동작을 규정하는 상태기(101, State Machine), 상태기(101)의 출력신호(RASACT, CASACT, Address)에 응답하여 메모리셀을 선택하는 디코더부(103), 복수의 메모리셀을 포함하는 셀코어영역(105), 리드/라이트커맨드(Read/Write)에 응답하여 리드신호(RDEN), 로컬입/출력라인리셋신호(LIORSTB) 및 라이트신호(WDEN)를 출력하여 제1 데이터전송부(109)를 제어하는 제1 데이터전송부 제어부(107), 상태기(101)의 출력신호에 응답하여 제2 데이터전송부(111)를 제어하는 제2 데이터전송부 제어부(113), 셀코어영역(105)의 메모리셀과 제1 데이터전송부(109)간의 데이터를 전송하는 로컬입/출력라인(LIOi), 제1 데이터전송부(109)와 제2 데이터전송부(111)간의 데이터를 전송하는 글로벌입/출력라인(GIOi), 외부로 부터 데이터를 주고 받는 데이터핀(115)을 구비한다.
- <20> 여기서, 제1 데이터전송부(109)는 라이트수신기 및 드라이버, 리드증폭기 및 드라이버를 포함하고, 제2 데이터전송부(111)는 리드수신기 및 드라이버, 라이트증폭기 및 드라이버, 데이터입/출력패스를 포함한다.
- <21> 이와 같은 반도체 메모리 장치의 시간에 따른 동작을 설명하면 하기와 같다.
- <22> 도 2a 및 도 2b는 도 1의 반도체 메모리 장치의 타이밍 다이어그램이고, 도 1의 도면 부호를 인용하여 설명한다.
- <23> 우선, 도 2a를 살펴보면, 라이트동작으로써, 라이트커맨드에 의해 라이트데이터가 데이터핀(115)에 인가되고, 제2 데이터전송부(111)에 의해 글로벌입/출력라인(GIOi)에 상기 라이트데이터가 전달된다.
- <24> 그리고, 제1 데이터전송부 제어부(107)의 출력신호인 로컬입/출력라인리셋신호(LIORSTB)와 라이트신호(WDEN)가

각각 비활성화 및 활성화된다. 이는 로컬입/출력라인(LIOi)에 라이트데이터를 전달하기 위한 작업이다.

- <25> 이때, 라이트신호(WDEN)의 논리레벨 하이로의 라이징엣지에 대응하여 라이트데이터가 로컬입/출력라인(LIO, LIOB)에 전위차를 야기시킨다.
- <26> 이어서, 로컬입/출력라인(LIO, LIOB)의 전위차가 야기될시에 대응하여 YI트랜지스터(비트라인과 로컬입/출력라인(LIO, LIOB)을 연결하는 트랜지스터)를 구동하기 위한 컬럼선택신호(YI)가 활성화되어 상기 전위차를 비트라인에 전달한다.
- <27> 그리고, 로컬입/출력라인리셋신호(LIORSTB)의 논리레벨 로우로의 폴링엣지에 대응하여 로컬입/출력라인(LIO, LOIB)의 전위차가 사라진다. 즉, 라이트데이터를 셀코어영역(105)의 메모리셀에 전달하는 작업을 마무리짓는다.
- <28> 다음으로, 도 2b를 살펴보면, 리드동작으로써, 리드커맨드에 의해 로컬입/출력라인리셋신호(LIORSTB)가 비활성화되고, 컬럼선택신호(YI)가 활성화되어 YI트랜지스터를 구동시킨다. 이에 따라, 셀코어영역(105) 내의 메모리셀의 리드데이터가 로컬입/출력라인(LIO, LIOB)에 전달(전위차 유발)된다.
- <29> 이어서, 리드신호(RDEN)의 활성화에 의해 로컬입/출력라인(LIO, LIOB)의 전위차(리드데이터)가 글로벌입/출력라인(GIOi)에 전송되고, 데이터핀(115)을 통해 출력된다.
- <30> 전술과 같이 일반적인 반도체 메모리 장치는 라이트데이터가 데이터핀(115)을 거쳐 셀코어영역(105)에 쓰여지고, 셀코어영역(105)의 리드데이터가 데이터핀(115)을 거쳐 외부로 빠져나간다.
- <31> 여기서, 데이터전송라인의 불량을 검출하기 위해서는 셀코어영역(105)이 불량이 없는 상태라는 전제하에 테스트하게 된다.
- <32> 그러나, 셀코어영역(105)은 반도체 메모리 장치에서 가장 미세하고 세밀하게 만들어지는 영역이어서 실제로는 다양한 불량들이 나타난다. 따라서, 셀코어영역(105)의 불량으로 인해 복잡한 타이밍(Timing)의 제어로 동작하는 데이터전송라인의 불량을 감지하기가 힘들어져 결국 개발기간이 길어지는 문제점이 있다.
- <33> 즉, 데이터전송라인의 불량 검출은 정상적인 리드데이터(메모리셀에서 외부로 전달되는 데이터)를 통해 전송상태를 점검하는 과정에서 상기 리드데이터가 비정상적인 상태가 될 경우를 검출하는 것을 의미한다. 이때, 이미 비정상적인 상태인 리드데이터로 데이터전송라인을 테스트하게 되면, 정확한 데이터전송라인의 불량을 감지하기 힘들어지게 되는 것이다.

**발명이 이루고자 하는 기술적 과제**

- <34> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 메모리셀을 포함하는 셀코어영역과 무관하게 데이터전송라인의 불량을 검출하는 반도체 메모리 장치를 제공하는 것을 제1 목적으로 한다.
- <35> 그리고, 데이터핀과 로컬입/출력라인간의 불량을 검출하는 반도체 메모리 장치를 제공하는 것을 제2 목적으로 한다.
- <36> 또한, 데이터핀과 글로벌입/출력라인간의 불량을 검출하는 반도체 메모리 장치를 제공하는 것을 제3 목적으로 한다.

**발명의 구성 및 작용**

- <37> 상기의 기술적 과제를 달성하기 위한 본 발명의 일측면에 따르면, 로컬입/출력라인과 글로벌입/출력라인간의 데이터전송을 제어하는 데이터전송부; 리드신호와 라이트신호 및 로컬입/출력라인리셋신호를 생성하여 상기 데이터전송부를 제어하는 데이터전송부 제어부; 컬럼선택신호를 출력하여 메모리셀과 상기 로컬입/출력라인간의 데이터전송을 제어하는 컬럼디코더부; 테스트모드신호에 따라 상기 리드신호 또는 상기 컬럼선택신호와 상기 로컬입/출력라인리셋신호의 활성화를 막는 테스트모드제어부; 및 상기 글로벌입/출력라인에 실린 데이터를 저장하기 위한 데이터임시저장소를 포함하는 반도체 메모리 장치를 제공한다.
- <38> 그리고, 로컬입/출력라인과 글로벌입/출력라인간의 데이터전송을 제어하는 데이터전송부; 리드신호와 라이트신호를 생성하여 상기 데이터전송부를 제어하는 데이터전송부 제어부; 테스트모드신호에 따라 상기 리드신호의 활성화를 막는 테스트모드제어부; 및 상기 글로벌입/출력라인에 위치한 데이터임시저장소를 포함하는 반도체 메모리 장치를 제공한다.

- <39> 또한, 로컬입/출력라인과 글로벌입/출력라인간의 데이터전송을 제어하는 데이터전송부; 로컬입/출력라인리셋신호를 생성하여 상기 데이터전송부를 제어하는 데이터전송부 제어부; 컬럼선택신호를 출력하여 메모리셀과 상기 로컬입/출력라인간의 데이터전송을 제어하는 컬럼디코더부; 및 테스트모드신호에 따라 상기 컬럼선택신호와 상기 로컬입/출력라인리셋신호의 활성화를 막는 테스트모드제어부를 포함하는 반도체 메모리 장치를 제공한다.
- <40> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <41> 도 3은 본 발명의 일실시예에 따른 반도체 메모리 장치의 데이터전송라인의 불량검출 방법을 설명하기 위한 도면이다.
- <42> 도 3을 참조하면, 반도체 메모리 장치는 클럭(CLK), 카스신호(/CAS) 및 라스신호(/RAS)등을 받아 반도체 메모리 장치의 내부동작을 규정하는 상태기(201, State Machine), 상태기(201)의 출력신호(RASACT, CASACT, Address)에 응답하여 메모리셀을 선택하는 디코더부(203), 복수의 메모리셀을 포함하는 셀코어영역(205), 리드/라이트커맨드(Read/Write)에 응답하여 리드신호(RDEN), 로컬입/출력라인리셋신호(LIORSTB) 및 라이트신호(WDEN)를 출력하는 제1 데이터전송부 제어부(207), 상태기(201)의 출력신호에 응답하여 제2 데이터전송부(215)를 제어하는 제2 데이터전송부 제어부(219), 셀코어영역(205)의 메모리셀과 제1 데이터전송부(213)간의 데이터를 전송하는 로컬입/출력라인(LIOi), 제1 데이터전송부(213)와 제2 데이터전송부(215)간의 데이터를 전송하는 글로벌입/출력라인(GIOi), 외부로부터 데이터를 주고 받는 데이터핀(221), 상태기(201)의 출력신호에 응답하여 테스트모드진입을 결정하는 테스트모드결정부(209), 테스트모드결정부(209)의 출력신호(TLCHECK0, TLCHECK1)에 응답하여 제1 데이터전송부(213)를 제어하는 테스트모드콘트롤부(211), 글로벌입/출력라인(GIOi)에 위치하여 라이트데이터(외부에서 메모리셀로 전송되는 데이터)를 임시저장하는 제1 데이터저장소(217) 및 로컬입/출력라인(LIOi)에 위치하여 라이트데이터를 임시저장하는 제2 데이터저장소(223)을 구비한다.
- <43> 여기서, 제1 데이터전송부(213)는 라이트수신기 및 드라이버, 리드증폭기 및 드라이버를 포함하고, 제2 데이터전송부(215)는 리드수신기 및 드라이버, 라이트증폭기 및 드라이버, 데이터입/출력패스를 포함한다.
- <44> 그리고, 제1 데이터저장소(217)와 제2 데이터저장소(223)는 데이터핀(221)에서 어디까지 데이터전송라인의 불량을 검출할 것인가에 따라 선택적으로 구비할 수 있다.
- <45> 즉, 제2 데이터전송부(215)의 전송상태를 점검할 때는 제1 데이터저장소(217)를 이용하고, 제1 및 제2 데이터전송부(213, 215)의 전송상태를 점검할 때는 제2 데이터저장소(223)를 이용하는 것이다.
- <46> 또한, 제1 데이터저장소(217)는 인버터형 래치회로이고, 제2 데이터저장소(223)는 로컬입/출력라인(LIOi) 자체로 구현할 수 있다.
- <47> 제1 데이터저장소(217)를 사용할때의 동작을 설명하면, 데이터핀(221)을 통해 라이트데이터가 입력되면, 테스트모드결정부(209)에서 임시저장소를 선택하기 위해 제1 테스트모드신호(TLCHECK0)를 출력한다. 이때, 제1 테스트모드신호(TLCHECK0)는 제1 데이터저장소(217)를 라이트데이터의 임시저장소로 선택하기 위한 신호이다.
- <48> 이어서, 라이트데이터가 제2 데이터전송부(215)를 지나 제1 데이터저장소(217)에 임시저장된다. 이때, 제1 데이터저장소(217) 이전에 위치하는 회로에 대한 불량 검출이 이루어진다. 즉, 라이트데이터가 정상적으로 전송되는지를 모니터링하는 것이다.
- <49> 그리고, 라이트데이터는 제1 데이터전송부(213)를 지나 셀코어영역(205)의 메모리셀에 라이트(write)된다.
- <50> 이후, 메모리셀의 리드데이터가 로컬입/출력라인(LIOi)을 지나 제1 데이터전송부(213)에 전달된다. 이때, 제1 테스트모드신호(TLCHECK0)를 입력받은 테스트모드콘트롤부(211)에서 상기 리드데이터가 글로벌입/출력라인(GIOi)에 전달되는 것을 막는데, 이는 테스트모드콘트롤부(211)에서 리드신호(RDEN)가 활성화되는 것을 막아 리드데이터가 전달되는 것을 막는 것이다.
- <51> 이어서, 제1 데이터저장소(217)에서 임시저장되어 있던 라이트데이터가 출력되어 제2 데이터전송부(215)에 전달되고, 최종적으로 데이터핀(221)을 통해 외부로 전달된다.
- <52> 정리해보면, 라이트동작시 제1 데이터저장소(217)에서 라이트데이터를 임시저장한 후, 리드동작시 메모리셀에서 출력되는 리드데이터는 제1 데이터전송부(213)에서 전송을 막는다. 이후, 제1 데이터저장소(217)에서 임시저장된 라이트데이터를 외부에 전달한다. 즉, 라이트동작과 리드동작시에 데이터핀(221)과 제2 데이터전송부(215)간

의 데이터전송을 모니터링하여 불량을 검출하는 것이다.

- <53> 이어서, 제2 데이터저장소(213)를 사용할때의 동작을 설명하면, 데이터핀(221)을 통해 라이트데이터가 입력되면, 테스트모드결정부(209)에서 임시저장소를 선택하기 위해 제2 테스트모드신호(TLCHECK1)를 출력한다. 이때, 제2 테스트모드신호(TLCHECK1)는 제2 데이터저장소(213)를 라이트데이터의 임시저장소로 선택하기 위한 신호이다.
- <54> 이어서, 라이트데이터가 제2 데이터전송부(215)와 제1 데이터전송부(213)를 지나 로컬입/출력라인(LIOI)에 위치한 제2 데이터저장소(223)에 임시저장된다. 이때, 제2 데이터저장소(223) 이전에 위치하는 데이터전송회로에 대한 불량 검출이 이루어진다. 이후, 라이트데이터는 셀코어영역(205)의 메모리셀에 라이트(write)된다.
- <55> 이때, 테스트모드콘트롤부(211)에서 로컬입/출력라인리셋신호(LIORSTB)가 활성화되는 것을 막아서 로컬입/출력라인(LIOi)에 라이트데이터가 임시저장되도록 한다. 즉, 제2 데이터저장소(223)에 라이트데이터를 임시저장하는 것이다.
- <56> 이어서, 리드동작에 따라 메모리셀의 리드데이터가 비트라인에 실리게 된다. 이때, 테스트모드콘트롤부(211)에서 YI트랜지스터의 구동신호인 컬럼선택신호(YI)의 활성화를 막아 메모리셀에서 나온 리드데이터가 로컬입/출력라인(LIOi)에 전달되는 것을 막는다.
- <57> 따라서, 이후의 리드동작에 따른 리드데이터는 제2 데이터저장소(211)에 임시저장된 라이트데이터를 이용한다.
- <58> 정리해보면, 라이트동작시 제2 데이터저장소(223)에서 라이트데이터를 임시저장한 후, 리드동작시 메모리셀에서 출력되는 리드데이터는 YI트랜지스터를 구동시키지 않음으로써 전송을 막는다. 이후, 제2 데이터저장소(223)에 임시저장된 라이트데이터를 외부에 전달한다. 즉, 라이트동작과 리드동작시에 데이터핀(221)과 제1 데이터전송부(213)간의 데이터전송을 모니터링하여 불량을 검출하는 것이다.
- <59> 결과적으로, 제1 데이터저장소(217)와 제2 데이터저장소(223)를 라이트데이터의 임시저장소로 사용하고, 셀코어영역(205)에서 출력되는 리드데이터의 전달을 막은 상태에서 상기 라이트데이터를 리드동작시의 데이터로 사용하여 데이터전송라인의 불량을 검출하는 것이다. 즉, 불량이 자주 발생하는 셀코어영역(205)과 무관하게 데이터전송라인의 불량을 검출하는 것이다.
- <60> 도 4a 및 도 4b는 테스트모드콘트롤부(211)를 나타낸 회로도이고, 도 3의 도면 부호를 인용하여 설명한다.
- <61> 우선 도 4a를 살펴보면, 제2 데이터저장소(223)를 임시저장소로 사용할 경우의 도면으로, 로컬입/출력라인(LIOi)이 리셋되는 것을 방지하기 위해 테스트모드콘트롤부(211)는 로컬입/출력라인리셋신호(LIORSTB)와 제2 테스트모드신호(TLCHECK1)를 입력으로 하는 제1 노어게이트(NOR1), 제1 노어게이트(NOR1)의 출력신호를 반전시켜 제2 테스트모드신호(TLCHECK1)에 의해 제어되는 로컬입/출력라인리셋신호(RSTB-NEW)로 출력하는 제1 인버터(INV1)로 구현할 수 있다.
- <62> 다음으로, 도 4b를 살펴보면, 제1 데이터저장소(217)를 임시저장소로 사용할 경우의 도면으로, 리드신호(RDEN)가 활성화되는 것을 방지하기 위해 테스트모드콘트롤부(211)는 제1 테스트모드신호(TLCHECK0)를 반전시키는 제2 인버터(INV2), 리드신호(RDEN)와 제2 인버터(INV2)의 출력신호를 입력으로 하는 제1 낸드게이트(NAND1), 제1 낸드게이트(NAND1)의 출력신호를 반전시켜 제1 테스트모드신호(TLCHECK0)에 의해 제어되는 리드신호(RDEN-NEW)로 출력하는 제3 인버터(INV3)로 구현할 수 있다.
- <63> 도 5a 및 도 5b는 제1 데이터저장소를 데이터의 임시저장소로 사용하는 반도체 메모리 장치의 타이밍 다이어그램이고, 도 3의 도면부호를 인용하여 설명한다.
- <64> 우선, 도 5a를 살펴보면, 라이트동작으로써, 라이트커맨드에 의해 라이트데이터가 데이터핀(221)에 인가되고, 제2 데이터전송부(215)에 의해 글로벌입/출력라인(GIOi)에 상기 라이트데이터가 전달된다. 이때, 테스트모드결정부(209)에서 제1 테스트모드신호(TLCHECK0)가 출력되어 제1 데이터저장소(217)를 선택하고, 이에 따라, 글로벌입/출력라인(GIOi)에 위치한 제1 데이터저장소(217)에 라이트데이터가 임시저장된다.
- <65> 이어서, 제1 데이터전송부 제어부(213)의 출력신호인 로컬입/출력라인리셋신호(LIORSTB)와 라이트신호(WDEN)가 각각 비활성화 및 활성화된다. 이는 로컬입/출력라인(LIOi)에 라이트데이터를 전달하기 위한 작업이다.
- <66> 이때, 라이트신호(WDEN)의 논리레벨 하이로의 라이징엣지에 대응하여 라이트데이터가 로컬입/출력라인(LIO, LIOB)에 전위차를 야기시킨다.

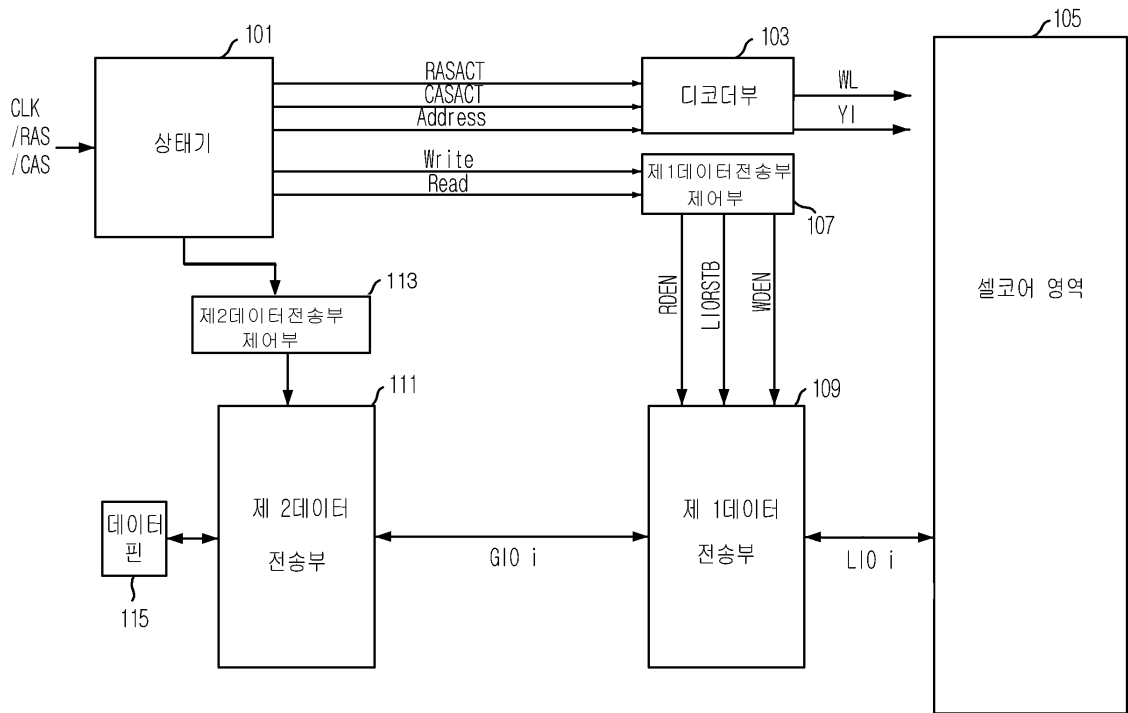


- <67> 이어서, 로컬입/출력라인(LIO, LIOB)의 전위차가 야기될시에 대응하여 YI트랜지스터(비트라인과 로컬입/출력라인(LIO, LIOB)을 연결하는 트랜지스터)를 구동하기 위한 컬럼선택신호(YI)가 활성화되어 상기 전위차를 비트라인에 전달한다.
- <68> 그리고, 로컬입/출력라인리셋신호(LIORSTB)의 논리레벨 로우로의 폴링엣지에 대응하여 로컬입/출력라인(LIO, LIOB)의 전위차가 사라진다. 즉, 라이트데이터를 셀코어영역(205)의 메모리셀에 전달하는 작업을 마무리짓는다.
- <69> 다음으로, 도 5b를 살펴보면, 리드동작으로써, 리드커맨드에 의해 로컬입/출력라인리셋신호(LIORSTB)가 비활성화되고, 컬럼선택신호(YI)가 활성화되어 YI트랜지스터를 구동시킨다. 이에 따라, 셀코어영역(205) 내의 메모리셀의 리드데이터가 로컬입/출력라인(LIO, LIOB)에 전달(전위차 유발)된다.
- <70> 이어서, 제1 데이터전송부제어부(207)에서 출력된 리드신호(RDEN)를 테스트모드콘트롤부(211)에서 비활성화(RDEN=NEW)시켜 제1 데이터전송부(213)에 전달한다. 즉, 로컬입/출력라인(LIOi)에 위치한 리드데이터가 글로벌입/출력라인(GIOi)에 전달되는 것을 막는 것이다.
- <71> 이어서, 제1 데이터저장소(217)에서 임시저장되었던 라이트데이터를 출력하여 외부에 전달한다.
- <72> 도 6a 및 도 6b는 제2 데이터저장소를 데이터의 임시저장소로 사용하는 반도체 메모리 장치의 타이밍 다이어그램이고, 도 3의 도면번호를 인용하여 설명한다.
- <73> 우선, 도 6a를 살펴보면, 라이트동작으로써, 라이트커맨드에 의해 라이트데이터가 데이터핀(221)에 인가되고, 제2 데이터전송부(215)에 의해 글로벌입/출력라인(GIOi)에 상기 라이트데이터가 전달된다.
- <74> 이어서, 제1 데이터전송부제어부(213)의 출력신호인 로컬입/출력라인리셋신호(LIORSTB)와 라이트신호(WDEN)가 각각 비활성화 및 활성화된다. 이는 로컬입/출력라인(LIOi)에 라이트데이터를 전달하기 위한 작업이다.
- <75> 이때, 라이트신호(WDEN)의 논리레벨 하이로의 라이징엣지에 대응하여 라이트데이터가 로컬입/출력라인(LIO, LIOB)에 전위차를 야기시킨다.
- <76> 이어서, 로컬입/출력라인(LIO, LIOB)의 전위차가 야기될시에 대응하여 YI트랜지스터(비트라인과 로컬입/출력라인(LIO, LIOB)을 연결하는 트랜지스터)를 구동하기 위한 컬럼선택신호(YI)가 활성화되어 상기 전위차를 비트라인에 전달한다.
- <77> 이때, 테스트모드결정부(209)에서 제2 테스트모드신호(TLCHECK1)가 출력되어 테스트모드콘트롤부(211)를 제어한다. 이에따라, 테스트모드콘트롤부(211)는 로컬입/출력라인리셋신호(LIORSTB)가 활성화되는 것을 방지(RDEN=NEW)하여 로컬입/출력라인(LIOi)에서 상기 라이트데이터가 사라지는 것을 막는다. 즉, 제2 데이터저장소(223)에 라이트데이터가 임시저장되는 것이다.
- <78> 다음으로, 도 6b를 살펴보면, 리드동작으로써, 테스트모드콘트롤부(211)에서 컬럼선택신호(YI)가 활성화되는 것을 방지(YI=NEW)하여 메모리셀에서 나온 리드데이터가 로컬입/출력라인(LIOi)에 전달되는 것을 막는다.
- <79> 이어서, 제2 데이터저장소(223)에서 임시저장된 라이트데이터를 출력하여 제1 데이터전송부(213)에 전달하고, 이는 글로벌입/출력라인(GIOi)과 제2 데이터전송부(215)와 데이터핀(221)을 거쳐 외부에 전달된다.
- <80> 전술과 같이, 제1 데이터저장소(217)와 제2 데이터저장소(223)를 라이트데이터의 임시저장소로 사용하고, 셀코어영역(205)에서 출력되는 리드데이터의 전달을 막은 상태에서 상기 라이트데이터를 리드동작시의 데이터로 사용하여 데이터전송라인의 불량률 검출하는 것이다. 즉, 불량률이 자주 발생하는 셀코어영역(205)과 무관하게 데이터전송라인의 불량률 검출하는 것이다.
- <81> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.
- <82> 예컨대, 전술한 실시예에서 사용된 로직의 종류 및 배치는 입력신호 및 출력 신호가 모두 하이 액티브 신호인 경우를 일례로 들어 구현한 것이므로, 신호의 액티브 극성이 바뀌면 로직의 구현에 역시 변화될 수 밖에 없으며, 이러한 구현에는 경우의 수가 너무나 방대하고, 또한 그 구현예의 변화가 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 기술적으로 쉽게 유추될 수 있는 사항이므로 각각의 경우에 대해 직접적으로 언급하지는 않기로 한다.

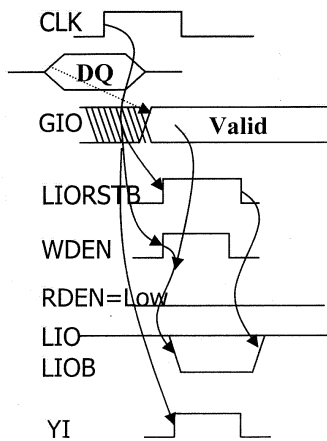


도면

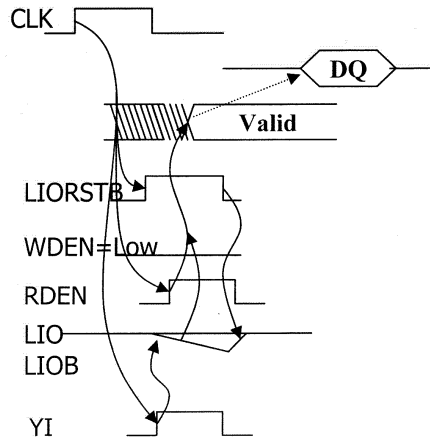
도면1



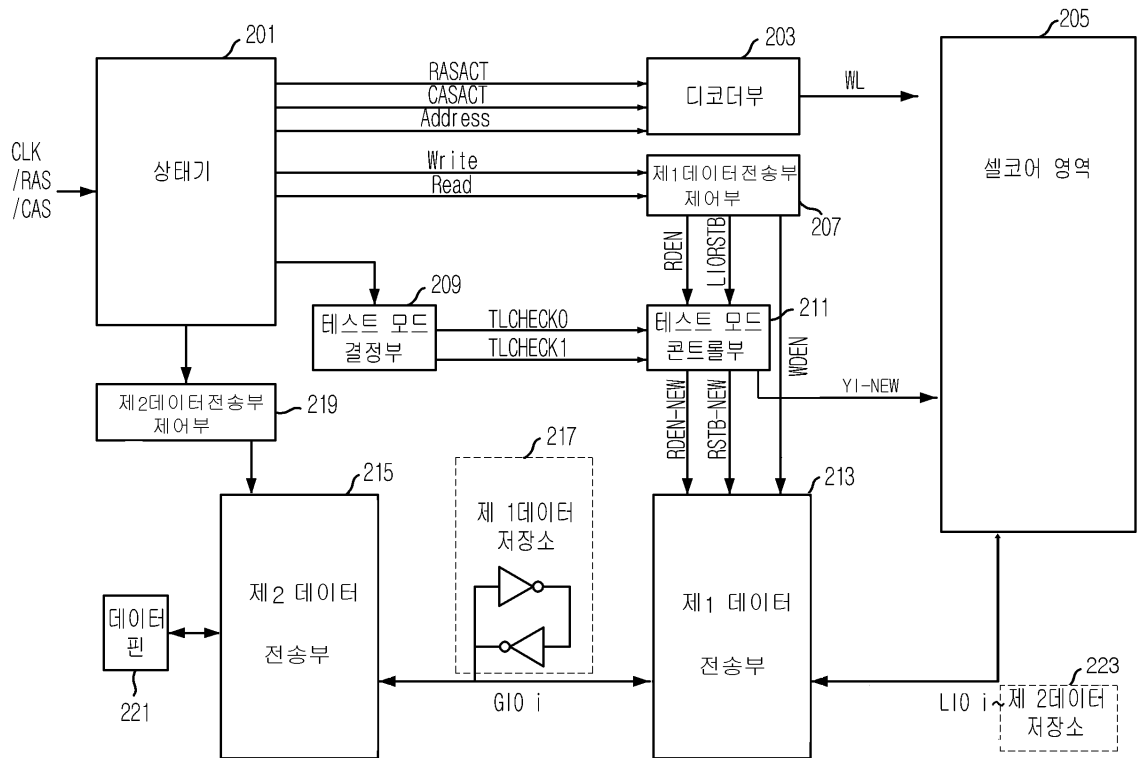
도면2a



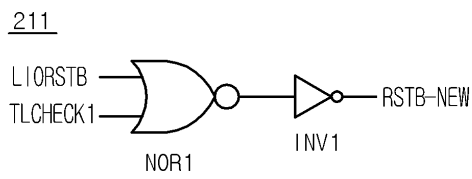
도면2b



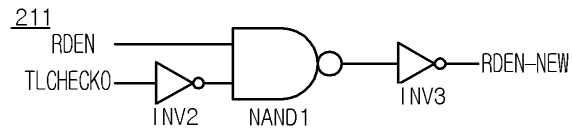
도면3



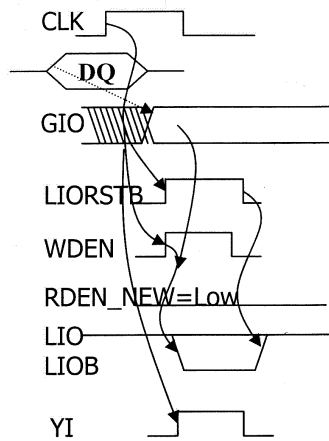
도면4a



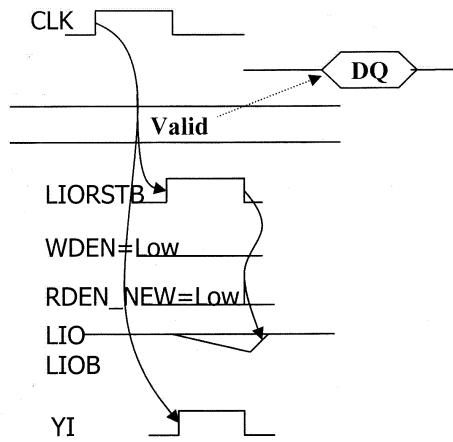
도면4b



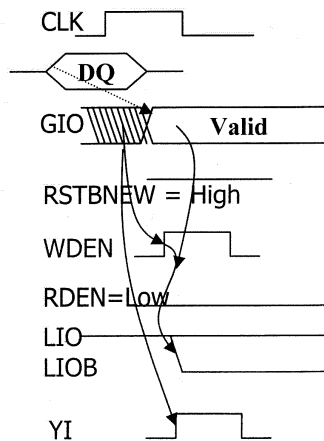
도면5a



도면5b



도면6a



도면6b

