

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4866952号
(P4866952)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月18日(2011.11.18)

(51) Int.Cl.		F I		
HO 1 F 27/00	(2006.01)	HO 1 F 15/00		D
HO 1 F 17/00	(2006.01)	HO 1 F 17/00		B
HO 1 C 13/00	(2006.01)	HO 1 C 13/00		T

請求項の数 18 (全 23 頁)

(21) 出願番号	特願2009-214285 (P2009-214285)	(73) 特許権者	000003067
(22) 出願日	平成21年9月16日 (2009.9.16)		T D K株式会社
(65) 公開番号	特開2011-29575 (P2011-29575A)		東京都中央区日本橋一丁目13番1号
(43) 公開日	平成23年2月10日 (2011.2.10)	(74) 代理人	100115738
審査請求日	平成22年2月26日 (2010.2.26)		弁理士 鷲頭 光宏
(31) 優先権主張番号	特願2009-158258 (P2009-158258)	(74) 代理人	100121681
(32) 優先日	平成21年7月2日 (2009.7.2)		弁理士 緒方 和文
(33) 優先権主張国	日本国(JP)	(74) 代理人	100130982
			弁理士 黒瀬 泰之
		(74) 代理人	100127199
			弁理士 三谷 拓也
		(72) 発明者	浅川 公男
			東京都中央区日本橋一丁目13番1号 T D K株式会社内

最終頁に続く

(54) 【発明の名称】 複合電子部品

(57) 【特許請求の範囲】

【請求項1】

2つの磁性基体の間にインダクタ素子を含む層と静電気対策素子を含む層とを積層してなる機能層を有する複合電子部品であって、

前記インダクタ素子は、樹脂からなる絶縁層と、前記絶縁層上に形成されたコイル導体パターンとを備え、

前記静電気対策素子は、下地絶縁層と、前記下地絶縁層上においてギャップを介して相互に対向位置された一対の電極からなるギャップ電極と、少なくとも前記一対の電極間に配置された静電気吸収層とを備え、

前記静電気吸収層は、絶縁性無機材料のマトリックス中に導電性無機材料が不連続に分散したコンポジットであり、

前記ギャップは、前記コイル導体パターンの外側であって、積層方向からみて前記コイル導体パターンと重ならない位置に設けられていることを特徴とする複合電子部品。

【請求項2】

前記コイル導体パターンが円形スパイラルであり、前記ギャップが前記コイル導体パターンの最外周に沿った円弧状であることを特徴とする請求項1に記載の複合電子部品。

【請求項3】

前記ギャップ電極は、前記インダクタ素子の入出力端子数と同数設けられていることを特徴とする請求項1又は2に記載の複合電子部品。

【請求項4】

10

20

前記コイル導体パターンの内側に磁性コアが設けられていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の複合電子部品。

【請求項 5】

各ギャップ電極の接地電極同士を電氣的に接続する短絡配線パターンとを備えることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の複合電子部品。

【請求項 6】

前記コイル導体パターンは、積層方向と垂直な平面にそれぞれ形成された第 1 及び第 2 のスパイラル導体を含み、

前記第 1 及び第 2 のスパイラル導体は、互いに磁気結合するコモンモードフィルタを構成していることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の複合電子部品。

10

【請求項 7】

前記コイル導体パターンの端部に接続されると共に、前記静電気対策素子の前記ギャップ電極に接続された端子電極をさらに備え、

前記静電気対策素子の前記ギャップ電極から前記端子電極までの距離 L_1 と前記コイル導体パターンの端部から前記端子電極までの距離 L_2 との差 $L_1 - L_2$ の絶対値が $500 \mu\text{m}$ 以下であることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の複合電子部品。

【請求項 8】

前記静電気対策素子の静電容量の値が 1.0 pF 以下であることを特徴とする請求項 7 に記載の複合電子部品。

【請求項 9】

20

前記樹脂の材料がポリイミド樹脂又はエポキシ樹脂であり、

前記絶縁性無機材料は、 Al_2O_3 、 TiO_2 、 SiO_2 、 ZnO 、 In_2O_3 、 NiO 、 CoO 、 SnO_2 、 V_2O_5 、 CuO 、 MgO 、 ZrO_2 、 AlN 、 BN 及び SiC よりなる群から選択される少なくとも 1 種であることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の複合電子部品。

【請求項 10】

前記導電性無機材料は、 C 、 Ni 、 Cu 、 Au 、 Ti 、 Cr 、 Ag 、 Pd 及び Pt よりなる群から選択される少なくとも 1 種の金属又はこれらの金属化合物であることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の複合電子部品。

【請求項 11】

30

2 つの磁性基体の間に設けられたコモンモードフィルタ層及び静電気対策素子層とを備え、

コモンモードフィルタ層は、樹脂からなる第 1 及び第 2 の絶縁層と、前記第 1 の絶縁層上に形成された第 1 のスパイラル導体と、前記第 2 の絶縁層上に形成された第 2 のスパイラル導体とを備え、

前記静電気対策素子層は、前記第 1 のスパイラル導体の一端に接続された第 1 の静電気対策素子と、前記第 2 のスパイラル導体の一端に接続された第 2 の静電気対策素子とを備え、

前記第 1 及び第 2 のスパイラル導体は、積層方向と垂直な平面方向に形成され、互いに磁気結合するように配置され、

40

前記第 1 及び第 2 の静電気対策素子は、下地絶縁層と、前記下地絶縁層上においてギャップを介して相互に対向配置された一対の電極からなるギャップ電極と、少なくとも前記一対の電極間に配置された静電気吸収層とを備え、

前記静電気吸収層は、絶縁性無機材料のマトリックス中に導電性無機材料が不連続に分散したコンポジットであり、

前記第 1 及び第 2 の静電気対策素子が有する前記ギャップは、前記第 1 及び第 2 のスパイラル導体の外側であって積層方向からみて前記第 1 及び第 2 のスパイラル導体と重ならない位置に設けられていることを特徴とする複合電子部品。

【請求項 12】

前記第 1 のスパイラル導体の他端に接続された第 3 の静電気対策素子と、前記第 2 のス

50

スパイラル導体の他端に接続された第4の静電気対策素子とをさらに備え、

前記第3及び第4の静電気対策素子は、前記下地絶縁層と、前記下地絶縁層上においてギャップを介して相互に対向配置された一对の電極からなるギャップ電極と、少なくとも前記一对の電極間に配置された前記静電気吸収層とを備え、

前記第3及び第4の静電気対策素子が有する前記ギャップは、前記第1及び第2のスパイラル導体の外側であって積層方向と垂直な平面方向に対して前記第1及び第2のスパイラル導体と重ならない位置に設けられていることを特徴とする請求項11に記載の複合電子部品。

【請求項13】

前記第1乃至第4のスパイラル導体が円形スパイラルであり、前記ギャップが前記第1及び第2のスパイラル導体の最外周に沿った円弧状であることを特徴とする請求項12に記載の複合電子部品。

【請求項14】

各ギャップ電極の接地電極同士を電氣的に接続する短絡配線パターンをさらに備えることを特徴とする請求項11乃至13のいずれか一項に記載の複合電子部品。

【請求項15】

前記コイル導体パターンの端部に接続されると共に、前記静電気対策素子の前記ギャップ電極に接続された端子電極をさらに備え、

前記静電気対策素子の前記ギャップ電極から前記端子電極までの距離L1と前記コイル導体パターンの端部から前記端子電極までの距離L2との差L1 - L2の絶対値が500 μm 以下であることを特徴とする請求項11乃至14のいずれか一項に記載の複合電子部品。

【請求項16】

前記静電気対策素子の静電容量の値が1.0 pF以下であることを特徴とする請求項15に記載の複合電子部品。

【請求項17】

前記樹脂の材料がポリイミド樹脂又はエポキシ樹脂であり、

前記絶縁性無機材料は、 Al_2O_3 、 TiO_2 、 SiO_2 、 ZnO 、 In_2O_3 、 NiO 、 CoO 、 SnO_2 、 V_2O_5 、 CuO 、 MgO 、 ZrO_2 、 AlN 、 BN 及び SiC よりなる群から選択される少なくとも1種であることを特徴とする請求項11乃至16のいずれか一項に記載の複合電子部品。

【請求項18】

前記導電性無機材料は、 C 、 Ni 、 Cu 、 Au 、 Ti 、 Cr 、 Ag 、 Pd 及び Pt よりなる群から選択される少なくとも1種の金属又はこれらの金属化合物であることを特徴とする請求項11乃至17のいずれか一項に記載の複合電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複合電子部品に関し、特に、インダクタ素子と静電気対策素子とを組み合わせる構成された複合電子部品の構造に関するものである。

【背景技術】

【0002】

近年、高速な信号伝送インターフェースとしてUSB 2.0やHDMIなどの規格が広く普及し、パーソナルコンピュータやデジタルハイビジョンテレビなど数多くのデジタル機器に用いられている。これらのインターフェースは、古くから一般的であったシングルエンド伝送方式とは異なり、一对の信号ラインを用いて差動信号（ディファレンシャルモード信号）を伝送する差動信号方式が採用されている。

【0003】

差動伝送方式は、シングルエンド伝送方式と比べて信号ラインから発生する放射電磁界が少ないだけでなく、外来ノイズの影響を受けにくいという優れた特徴を有している。こ

10

20

30

40

50

のため、信号の小振幅化が容易であり、小振幅化による立ち上がり時間及び立ち下がり時間の短縮によって、シングルエンド伝送方式よりも高速な信号伝送を行うことが可能となる。

【0004】

図11は、一般的な差動伝送回路の回路図である。

【0005】

図11に示す差動伝送回路は、一对の信号ライン1, 2と、信号ライン1, 2にディファレンシャルモード信号を供給する出力バッファ3と、信号ライン1, 2からのディファレンシャルモード信号を受ける入力バッファ4とを備えている。かかる構成により、出力バッファ3に与えられる入力信号INは、一对の信号ライン1, 2を經由して入力バッファ4へ伝えられ、出力信号OUTとして再生される。このような差動伝送回路は、上述の通り、信号ライン1, 2から発生する放射電磁界が少ないという特徴を有しているが、信号ライン1, 2に共通のノイズ(コモンモードノイズ)が重畳した場合には比較的大きな放射電磁界を発生させてしまう。コモンモードノイズによって発生する放射電磁界を低減するためには、図11に示すように、信号ライン1, 2にコモンモードフィルタ(コモンモードチョークコイル)5を挿入することが有効である。

10

【0006】

コモンモードフィルタ5は、信号ライン1, 2を伝わる差動成分(ディファレンシャルモード信号)に対するインピーダンスが低く、同相成分(コモンモードノイズ)に対するインピーダンスが高いという特性を有している。このため、信号ライン1, 2にコモンモードフィルタ5を挿入することにより、ディファレンシャルモード信号を実質的に減衰させることなく、一对の信号ライン1, 2を伝わるコモンモードノイズを遮断することができる。

20

【0007】

HDMIのような最新の高速デジタルインターフェースでは、高転送レートの微小信号を取り扱うため、静電気に対して非常に敏感なICが使用され、静電気が大きな問題となる。静電気によるICの破壊を防止するため、信号ラインとグランドとの間に静電気対策部品としてのバリスタが使用されている。しかし、バリスタを使用すると信号波形が鈍り、信号品質が劣化することから、より低容量の静電気対策部品が求められている。例えば、特許文献1では、図12に示すように、IC6に接続された信号ライン7, 7上にコイル部品8を直列接続すると共に、各信号ライン7とグランドとの間に静電気対策部品9を接続し、静電気対策部品9の静電容量を0.3pF以下とした静電気対策回路が提案されている(特許文献1参照)。

30

【0008】

また、特許文献2には、コモンモードノイズフィルタと静電気保護機能をワンパッケージに収めた複合電子部品において、静電気保護機能を有する電圧依存性抵抗材料を最上部に設けた構造が開示されている。この構造によれば、多数の絶縁層を含む積層体の焼成後に電圧依存性抵抗材料を設けることができ、これにより、焼成時に電圧依存性抵抗材料の酸化、分解などにより静電気保護機能が低下してしまうことを防止でき、その結果、静電気保護機能を向上させることができる。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2008-28214号公報

【特許文献2】特開2007-214166号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、特許文献2に記載されたコモンモードフィルタにおいては、静電気対策素子を構成する電圧依存性抵抗材料に樹脂が含まれているため、製造工程上の制約から静

50

電気対策素子を最上部に設けなければならず、設計上の制約が大きいという問題があった。また、電圧依存性抵抗材料は10 μm程度の非常に微細なギャップ間に充填されるが、最上部においては、導体パターンが形成された絶縁層の多数積層する構造に起因して平面の凹凸が大きいと、非常に微細なギャップを安定的に形成することは極めて困難である。さらに、その最上層に静電気対策素子を形成する場合には、製造工程も複雑化し、製造コストも増加するという問題があった。

【0011】

したがって、本発明の目的は、静電容量が小さく且つ放電特性、耐熱性及び耐候性に優れた静電気対策素子とコモンモードフィルタとを組み合わせることで構成された小型で高性能な複合電子部品を提供することにある。

【課題を解決するための手段】

【0012】

上記課題を解決するため、本発明による複合電子部品は、2つの磁性基体の間にインダクタ素子と静電気対策素子とを有する複合電子部品であって、前記インダクタ素子は、樹脂からなる絶縁層と、前記絶縁層上に形成されたコイル導体パターンとを備え、前記静電気対策素子は、下地絶縁層と、前記下地絶縁層上においてギャップを介して相互に対向位置された電極と、少なくとも前記電極間に配置された静電気吸収層とを備え、前記静電気吸収層は、絶縁性無機材料のマトリックス中に導電性無機材料が不連続に分散したコンポジットであり、前記ギャップは、前記コイル導体パターンの外側であって、積層方向と垂直な平面方向に対して前記コイル導体パターンと重ならない位置に設けられていることを特徴としている。

【0013】

本発明によれば、静電容量が非常に小さく、放電開始電圧が低く、且つ、放電耐性に優れた低電圧放電タイプの静電気対策素子を備えるので、静電気対策を行っていない場合の信号と同等の信号を伝送することができ、特性インピーダンスの低下を抑制することができる。しかも、静電気保護材料として絶縁性無機材料と導電性無機材料とのコンポジットを構成しているので、耐圧性が格段に高められるとともに、温度や湿度等の外部環境への耐候性が格段に高められる。また、インダクタ素子と静電気対策素子がワンチップ化されていることから、非常に小型で高機能な電子部品を提供することができる。

【0014】

さらに、本発明によれば、ギャップがスパイラル導体と重ならないように設けられているので、静電気対策素子が静電気を吸収する際に部分的に破損、変形したとしても、スパイラル導体の破損、変形を回避することができる。特に、ギャップがスパイラル導体の外側に配置されているので、スパイラル導体の外側の余白領域を有効利用して十分な長さを有するギャップを形成することができる。これにより、ギャップ間の放電経路を増やすことができるので、静電気保護機能の低下を防止して製品の長寿命化を実現することができる。

【0015】

なお、本明細書において、「コンポジット」とは、絶縁性無機材料のマトリックス中に導電性無機材料が分散した状態を意味し、絶縁性無機材料のマトリックス中に導電性無機材料が一様に或いはランダムに分散した状態のみならず、絶縁性無機材料のマトリックス中に導電性無機材料の集合体が分散した状態、すなわち一般に海島構造と呼ばれる状態を含む概念である。また、本明細書において「絶縁性」とは、0.1 cm以上を、「導電性」とは、0.1 cm未満を意味し、所謂「半導電性」は、その比抵抗が0.1 cm以上である限り、前者の絶縁性に含まれる。

【0016】

本発明において、前記コイル導体パターンは円形スパイラルであり、前記ギャップが前記コイル導体パターンの最外周に沿った円弧状であることが好ましい。円形スパイラル導体は高周波での減衰特性が少ないため、高周波用インダクタンスとして好ましく用いることができるが、この場合、コイル導体パターンの内側の余白が少ない反面、外側に多くの

10

20

30

40

50

余白領域が存在することになる。しかし、円形スパイラルの外側にギャップを設けた場合には、外側の余白領域を有効利用することができ、ギャップの長さを十分に確保することができる。特に、ギャップをスパイラル導体に近接させてしかもスパイラル導体の外周に沿った円弧状としているので、基板のできるだけ内側に形成しつつしかもギャップの長さをなるべく長く確保することができる。これにより、多数回の静電気放電に耐え得る長寿命な静電気対策素子を形成することができる。

【0017】

本発明による複合電子部品は、前記インダクタ素子の入出力端子数と同数のギャップ電極を有することが好ましい。本発明によれば、入力側と出力側の両方に一对の静電気対策素子が設けられた対称型の回路であることから、実装方向の制約がないチップ部品として提供することができる。

10

【0018】

本発明においては、前記コイル導体パターンの内側に磁性コアが設けられていることが好ましい。これによれば、コイル導体の磁気特性を高めることができる。

【0019】

本発明による複合電子部品は、各ギャップ電極の接地電極同士を電氣的に接続する短絡配線パターンとを備えることが好ましい。この場合、前記短絡配線パターンが線状パターンであることが特に好ましい。短絡配線パターンを線上パターンとすることでギャップ電極の容量増加を防止することができ、静電気対策素子の静電容量を 0.35 pF 以下に抑えることができる。

20

【0020】

本発明において、インダクタ素子は、積層方向と垂直な平面にそれぞれ形成された第1及び第2のスパイラル導体を含み、第1及び第2のスパイラル導体は、互いに磁気結合するコモンモードフィルタを構成していることが好ましい。これによれば、静電気を防止しながらコモンモードノイズを除去することができるので、静電気対策が必要な高速デジタル信号ラインのノイズ除去に好ましく使用することができる。

【0021】

本発明においては、静電気対策素子のギャップ電極から端子電極までの距離 L_1 とコモンモードフィルタのスパイラルパターンの端部から前記端子電極までの距離 L_2 との差の絶対値 $|L_1 - L_2|$ が $500 \mu\text{m}$ 以下であることが好ましい。この構成によれば、特性インピーダンスの変化を最小限に抑えることができ、 100 ± 15 の特性インピーダンスを実現することができる。

30

【0022】

本発明においては、静電気対策素子の静電容量の値が 1.0 pF 以下であることが好ましい。静電気対策素子の静電容量が 1.0 pF を超えると信号入力波形の鈍りが大きくなり、ビットエラーレートが急激に低下するからである。ただし、本発明によれば、上記 $|L_1 - L_2|$ が $500 \mu\text{m}$ 以下であることにより、静電気対策素子のキャパシタンスが 0.3 pF 以上の比較的大きな値であったとしても、DVIやHDMIなどの高速差動伝送ラインの差動伝送インピーダンス規格 (100 ± 15) を満足することができる。したがって、信号品質に実質的な影響を与えることなく、静電気によるICの破壊を確実に防止することができる。

40

【0023】

本発明において、樹脂の材料はポリイミド樹脂又はエポキシ樹脂であり、絶縁性無機材料は、 Al_2O_3 、 TiO_2 、 SiO_2 、 ZnO 、 In_2O_3 、 NiO 、 CoO 、 SnO_2 、 V_2O_5 、 CuO 、 MgO 、 ZrO_2 、 AlN 、 BN 及び SiC よりなる群から選択される少なくとも1種であることが好ましい。これらの金属酸化物は、絶縁性、耐熱性及び耐候性に優れるので、コンポジットの絶縁性マトリックスを構成する素材として有効に機能し、その結果、放電特性、耐熱性及び耐候性に優れる高機能な静電気対策素子を実現することができる。その上さらに、これらの金属酸化物は、低コストで入手可能であり、しかも、スパッタリング法の適用が可能なので、生産性及び経済性も高められる。

50

【0024】

本発明において、導電性無機材料は、C、Ni、Cu、Au、Ti、Cr、Ag、Pd及びPtよりなる群から選択される少なくとも1種の金属又はこれらの金属化合物であることが好ましい。絶縁性無機材料のマトリックス中にこれらの金属又は金属化合物を不連続に分散した状態で配合することにより、放電特性、耐熱性及び耐候性に優れた高性能な静電気対策素子を実現することができる。

【0025】

本発明において、静電気吸収層は、絶縁性無機材料と導電性無機材料とを逐次スパッタリングして形成されたコンポジットであるか、これらを同時スパッタリングして形成されたコンポジットであることが好ましい。このようにすると、絶縁性無機材料のマトリックス中に導電性無機材料を不連続に分散した状態で含むコンポジットを、再現性よく簡便に得ることができ、生産性及び経済性が高められる。

10

【0026】

また、本発明による複合電子部品は、2つの磁性基体の間に設けられたコモンモードフィルタ層及び静電気対策素子層とを備え、コモンモードフィルタ層は、樹脂からなる第1及び第2の絶縁層と、第1の絶縁層上に形成された第1のスパイラル導体と、第2の絶縁層上に形成された第2のスパイラル導体とを備え、静電気対策素子層は、第1のスパイラル導体の一端に接続された第1の静電気対策素子と、第2のスパイラル導体の一端に接続された第2の静電気対策素子とを備え、第1及び第2のスパイラル導体は、積層方向と垂直な平面方向に形成され、互いに磁気結合するように配置され、第1及び第2の静電気対策素子は、下地絶縁層と、下地絶縁層上においてギャップを介して相互に対向配置された電極と、少なくとも電極間に配置された静電気吸収層とを備え、静電気吸収層は、絶縁性無機材料のマトリックス中に導電性無機材料が不連続に分散したコンポジットであり、前記第1及び第2の静電気対策素子が有する前記ギャップは、前記第1及び第2のスパイラル導体の外側であって積層方向からみて前記第1及び第2のスパイラル導体と重ならない位置に設けられていることを特徴としている。

20

【0027】

本発明による複合電子部品は、第1のスパイラル導体の他端に接続された第3の静電気対策素子と、第2のスパイラル導体の他端に接続された第4の静電気対策素子とをさらに備え、前記第3及び第4の静電気対策素子が有する前記ギャップは、前記第1及び第2のスパイラル導体の外側であって積層方向と垂直な平面方向に対して前記第1及び第2のスパイラル導体と重ならない位置に設けられていることが好ましい。これによれば、複合電子部品の一对の入力端と出力端の両方に静電気対策素子が接続されているので、一对の信号ラインに対する接続の向きを意識することなく複合電子部品を実装することができ、製造時の取り扱いを容易にすることができる。

30

【発明の効果】

【0028】

このように、本発明によれば、静電容量が小さく且つ放電特性、耐熱性及び耐候性に優れた静電気対策素子とコモンモードフィルタとを組み合わせることで構成された小型で高性能な複合電子部品を提供することができる。特に、本発明による複合電子部品は、信号伝送量が大きく伝送速度も非常に高速なHDMI等の高速信号インターフェースに対して顕著な効果を有するものである。さらに、本発明によれば、多数回の静電気放電を受けても静電気吸収性能が低下することがなく耐久性に優れた静電気対策素子を提供することができる。

40

【図面の簡単な説明】

【0029】

【図1】本発明の第1の実施形態による複合電子部品100の外観構成を示す略斜視図である。

【図2】複合電子部品100の構成を示す回路図である。

【図3】複合電子部品100の層構造の一例を示す略分解斜視図である。

50

【図4】ギャップ電極28～31と他の導体パターン(スパイラル導体17, 18等)との位置関係を示す略平面図であり、(a)はギャップ電極28～31のみを示し、(b)はギャップ電極28～31と他の導体パターンの両方を示している。

【図5】静電気対策素子及びコモンモードフィルタの配線距離について説明するための略模式図であって、特に図5(a)は、図4(a)に対応する略平面図であり、また図5(b)は、図2に対応する回路図である。

【図6】静電気対策素子層12bにおける第1のギャップ電極28付近の層構造の一例を示す図であって、(a)は略平面図、(b)は略断面図である。

【図7】静電気対策素子の原理を説明するための模式図である。

【図8】複合電子部品100の製造工程を示すフローチャートである。

10

【図9】本発明の第2の実施形態による複合電子部品200の構造を透過的に示す略平面図である。

【図10】本発明の第3の実施形態による複合電子部品300の構造を透過的に示す略平面図である。

【図11】一般的な差動伝送回路の回路図である。

【図12】従来の静電気対策回路の構成を示す回路図である。

【発明を実施するための形態】

【0030】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

20

【0031】

図1は、本発明の好ましい実施形態による複合電子部品の外観構成を示す略斜視図である。

【0032】

図1に示すように、本実施形態による複合電子部品100は、静電気保護機能を備えた薄膜コモンモードフィルタであって、第1及び第2の磁性基体11a、11bと、第1の磁性基体11aと第2の磁性基体11bに挟まれた機能層12とを備えている。また、第1の磁性基体11a、機能層12及び第2の磁性基体11bからなる積層体の外周面には、第1～第6の端子電極13a～13fが形成されている。このうち、第1及び第2の端子電極13a、13bは積層体の長手方向と直交する第1の側面10aに形成され、第3及び第4の端子電極13c、13dは第1の側面10aと対向する第2の側面10bに形成され、第5の端子電極13eは第1及び第2の側面10a、10bと直交する第3の側面10cに形成され、第6の端子電極13fは第3の側面と対向する第4の側面10dに形成されている。

30

【0033】

第1及び第2の磁性基体11a、11bは、機能層12を物理的に保護すると共に、コモンモードフィルタの閉磁路としての役割を果たすものである。第1及び第2の磁性基体11a、11bの材料としては、焼結フェライト、複合フェライト(フェライト粉含有樹脂)等を用いることができるが、機械的強度が高く磁気特性に優れた焼結フェライトを用いることが特に好ましい。

40

【0034】

図2は、複合電子部品100の構成を示す回路図である。

【0035】

図2に示すように、複合電子部品100は、コモンモードチョークコイルとして機能するインダクタ素子14a、14bと、静電気対策素子15a～15dとを備えており、インダクタ素子14a、14bの一端は第1及び第2の端子電極13a、13bにそれぞれ接続され、他端は第3及び第4の端子電極13c、13dにそれぞれ接続されている。また、静電気対策素子15a、15bの一端は第1及び第2の端子電極13a、13bにそれぞれ接続され、他端は第5及び第6の端子電極13e、13fにそれぞれ接続されている。静電気対策素子15c、15dの一端は第3及び第4の端子電極13c、13dにそ

50

れぞれ接続され、他端は第5及び第6の端子電極13e、13fにそれぞれ接続されている。つまり、第5の端子電極13eは静電気対策素子15a、15cに共通の端子電極であり、第5の端子電極13fは静電気対策素子15b、15dに共通の端子電極である。

【0036】

図11に示したように、複合電子部品100は一对の信号ライン上に実装されるが、このとき第1及び第2の端子電極13a、13bは信号ラインの入力側に接続され、第3及び第4の端子電極13c、13dは信号ラインの出力側に接続される。また、第5及び第6の端子電極13e、13fはグラウンドラインに接続される。本実施形態による複合電子部品100は、一对の静電気対策素子が入力側と出力側の両方に設けられた対称型の回路であることから、第1及び第2の端子電極13a、13bを信号ラインの入力側に接続しても出力側に接続しても回路構成は同じになる。

10

【0037】

図3は、複合電子部品100の層構造の一例を示す略分解斜視図である。

【0038】

図3に示すように、複合電子部品100は、第1及び第2の磁性基体11a、11bと、第1及び第2の磁性基体11a、11bに挟まれた機能層12とを備えており、機能層12はコモンモードフィルタ層12aと静電気対策素子層12bによって構成されている。

【0039】

コモンモードフィルタ層12aは、静電気対策素子層12b側から第2の磁性基体11b側に向かって順に積層された絶縁層16a～16dと、磁性層16eと、接着層16fと、絶縁層16b上に形成された第1のスパイラル導体17と、絶縁層16c上に形成された第2のスパイラル導体18と、絶縁層16a上に形成された第1及び第2の引き出し導体19、20とを備えている。

20

【0040】

絶縁層16a～16dは、各導体パターン間、或いは導体パターンと磁性層16eとを絶縁すると共に、導体パターンが形成される下地面の平坦性を確保する役割を果たす。絶縁層16a～16dの材料としては、電氣的及び磁氣的な絶縁性に優れ、加工性のよい樹脂を用いることが好ましく、ポリイミド樹脂やエポキシ樹脂を用いることが好ましい。導体パターンとしては、導電性及び加工性に優れたCu、Al等を用いることが好ましい。導体パターンの形成は、フォトリソグラフィを用いたエッチング法やアディティブ法(めっき)により行うことができる。

30

【0041】

絶縁層16a～16dの中央領域であって第1及び第2のスパイラル導体17、18の内側には、絶縁層16a～16dを貫通する開口25が形成されており、開口25の内部には、磁路を形成するための磁性コア26が設けられている。磁性コア26の材料としては磁性粉含有樹脂(複合フェライト)を用いることが好ましい。

【0042】

絶縁層16dの表面には磁性層16eが形成されている。開口25内の磁性コア26は、複合フェライトのペーストを硬化させて形成しているが、硬化時に樹脂の収縮が発生し、開口部分に凹凸が生じる。この凹凸をできるだけ少なくするためには、開口25の内部のみならず絶縁層16dの表面全体にもペーストを塗布することが好ましく、磁性層16eはそのような平坦性の確保を目的として形成される。

40

【0043】

接着層16fは磁性基体11bを磁性層16e上に貼り付けるために必要な層である。また、磁性基体11b及び磁性層16eの表面の凹凸を緩和し、密着性を高める役割を果たす。特に限定されるものではないが、接着層16fの材料としては、エポキシ樹脂、ポリイミド樹脂、ポリアミド樹脂等を用いることができる。

【0044】

第1のスパイラル導体17は、図2に示したインダクタ素子14aに対応するものであ

50

る。第1のスパイラル導体17の内周端は、絶縁層16bを貫通する第1のコンタクトホール導体21及び第1の引き出し導体19を介して第1の端子電極13aに接続されている。また、第1のスパイラル導体17の外周端は、第3の引き出し導体23を介して第3の端子電極13cに接続されている。

【0045】

第2のスパイラル導体18は、図2に示したインダクタ素子14bに対応するものである。第2のスパイラル導体18の内周端は、絶縁層16b, 16cを貫通する第2のコンタクトホール導体22及び第2の引き出し導体20を介して第2の端子電極13bに接続されている。また、第2のスパイラル導体18の外周端は、第4の引き出し導体24を介して第4の端子電極13dに接続されている。本実施形態においては第2の引き出し導体20が第1の引き出し導体19と共通の絶縁層16a上に設けられているが、第1の引き出し導体19と異なる絶縁層上に設けられていてもよい。

10

【0046】

第1及び第2のスパイラル導体17, 18は共に同一の平面形状を有しており、しかも平面視で同じ位置に設けられている。第1及び第2のスパイラル導体17, 18は完全に重なり合っていることから、両者の間には強い磁気結合が生じている。以上の構成により、コモンモードフィルタ層12a内の導体パターンはコモンモードフィルタを構成している。

【0047】

第1及び第2のスパイラル導体17, 18の外形は共に円形スパイラルである。円形スパイラル導体は高周波での減衰特性が少ないため、高周波用インダクタンスとして好ましく用いることができるが、矩形スパイラルに比べるとループサイズが小さく、矩形状の実装領域を効率良く利用することが難しいという欠点もある。

20

【0048】

以上がコモンモードフィルタ層12aの説明である。次に静電気対策素子層12bについて説明する。

【0049】

静電気対策素子層12bは、下地絶縁層27と、下地絶縁層27の表面に形成された第1乃至第4のギャップ電極28~31と、第1乃至第4のギャップ電極28~31を覆う静電気吸収層33と、静電気吸収層33を覆う保護層36とを備えている。保護層36は、静電気対策素子層12b(静電気吸収層33)とコモンモードフィルタ層12aとの間に介在し、両者を絶縁分離する磁性粉含有樹脂層である。

30

【0050】

図4(a)及び(b)は、ギャップ電極28~31と他の導体パターンとの位置関係を示す略平面図である。特に、図4(a)はギャップ電極28~31のみを示し、図4(b)はギャップ電極28~31と他の導体パターン(スパイラル導体17, 18等)の両方を示している。

【0051】

図4(a)に示すように、第1のギャップ電極28付近の層構造は、図2に示した第1の静電気対策素子15aとして機能する部分であり、第2のギャップ電極29付近の層構造は、第2の静電気対策素子15bとして機能する部分である。また、第3のギャップ電極30付近の層構造は、図2に示した第3の静電気対策素子15cとして機能する部分であり、第4のギャップ電極31付近の層構造は、第4の静電気対策素子15dとして機能する部分である。

40

【0052】

そのため、第1のギャップ電極28の一方の電極28aは第1の端子電極13aに接続されており、他方の電極28bは短絡配線パターン32a, 32cを介して第5の端子電極13eに接続されている。また、第2のギャップ電極29の一方の電極29aは第2の端子電極13bに接続されており、他方の電極29bは、短絡配線パターン32b, 32cを介して第6の端子電極13fに接続されている。第3のギャップ電極30の一方の電

50

極 30 a は第 3 の端子電極 13 c に接続されており、他方の電極 30 b は短絡配線パターン 32 a , 32 c を介して第 5 の端子電極 13 e に接続されている。また、第 4 のギャップ電極 31 の一方の電極 31 a は第 4 の端子電極 13 d に接続されており、他方の電極 31 b は短絡配線パターン 32 b , 32 c を介して第 6 の端子電極 13 f に接続されている。

【0053】

本実施形態においては、各ギャップ電極の他方の電極 28 b , 29 b , 30 b , 31 b は、短絡配線パターン 32 a ~ 32 c を介して相互に電氣的に接続されている。特に限定されるものではないが、短絡配線パターン 32 a ~ 32 c の幅は、第 1 及び第 2 の引き出し導体 19 , 20 と略等しいことが好ましい。短絡配線パターンは、矩形形状の実装領域の長辺方向に延びる第 1 及び第 2 の短絡配線パターン 32 a , 32 b と、矩形形状の実装領域の短辺方向に延びる第 3 の短絡配線パターン 32 c からなり、第 1 の短絡配線パターン 32 a によって第 1 ギャップ電極 28 と第 3 ギャップ電極 30 とが接続され、第 2 の短絡配線パターン 32 b によって第 2 ギャップ電極 29 と第 4 ギャップ電極 31 とが接続され、さらに円形スパイラルの中央部を通過する第 3 の短絡配線パターン 32 c によって第 1 短絡配線パターン 32 a と第 2 短絡配線パターン 32 b との間のみならず、第 5 端子電極 13 e と第 6 端子電極 13 f との間までもが短絡されている。このような配線構造により、ギャップ電極間の短絡状態を確保できるだけでなく、加工中の導体パターンの剥離を防止することができ、さらには複合電子部品 100 の機械的強度を確保することもできる。

【0054】

図 4 (b) に示すように、ギャップ電極 28 ~ 31 は、スパイラル導体 17 , 18 の中心から見て右斜め上方、右斜め下方、左斜め上方、左斜め下方にそれぞれ設けられている。ここにいう「斜め」とは、矩形形状の実装領域の長辺又はこれと直交する短辺に対して斜めの方向である。このように、ギャップ電極 28 ~ 31 が斜め 4 方向に設けられていることにより、スパイラル導体 17 , 18 や引き出し導体 19 , 20 と重なることなくギャップを効率的に配置することができる。

【0055】

ギャップ電極 28 ~ 31 が有するギャップ 28 G ~ 31 G は、スパイラル導体 17 , 18 の外側であって、第 1 及び第 2 のスパイラル導体 17 , 18 及び第 1 及び第 2 の引き出し導体 19 , 20 と平面的に重ならない位置に設けられている。詳細は後述するが、静電気対策素子は静電気の吸収によって部分的に破損、変形するため、静電気対策素子と重なる位置に導体パターンが配置されている場合には一緒に破損するおそれがある。しかし、静電気対策素子のギャップ 28 G ~ 31 G が導体パターンを避けた位置に設けられていることから、静電気によって破壊されたときの上下層の影響を抑えることができ、より信頼性の高い複合電子部品を実現することができる。

【0056】

ギャップ 28 G ~ 31 G がスパイラル導体 17 , 18 の外側に配置されている点は重要である。円形スパイラル導体の場合、内側の余白領域が小さい反面、外側の余白領域が大きくなるからである。このとき、ギャップ電極を構成する一対の電極のうち一方の電極 (28 a ~ 31 a) は、スパイラル導体の最外周よりも外側であってスパイラル導体と重ならない位置に配置されるが、他方の電極 (28 b ~ 31 b) はスパイラル導体 17 , 18 と重なる位置に配置され、これによりチップサイズの小型化が図られている。さらに、ギャップをスパイラル導体 17 , 18 の最外周に沿った円弧状とし、最外周に近接して配置することにより、矩形形状の実装面のできるだけ内側にギャップを配置することができ、ギャップの長さをできるだけ長くすることができる。なお円弧状のギャップの曲率は円形スパイラル導体の曲率と必ずしも一致する必要はなく、スパイラル導体よりも大きな曲率であってもよく、さらには直線状であっても構わない。

【0057】

ギャップ電極の数は 4 つであり、インダクタ素子の端子電極の数と一致している。すなわち、ギャップ電極は 4 端子回路であるコモンモードフィルタの各入出力端子に設けられ

ている。4つのギャップ電極28～31は斜め4方向にそれぞれ設けられているが、本実施形態においては、円弧状のギャップ28G～31Gの長さ方向の中心は、円形スパイラル導体の中心から見て斜め45度の方向に配置されていることが好ましい。換言すれば、ギャップ28G～31Gの長さ方向の中心は、円形スパイラル導体の中心から見て $(2n-1)/4$ の方向に配置されていることが好ましい。このように配置された円弧状のギャップは、その長さをできるだけ長くすることができるので、多数の電流経路を確保することができ、静電気吸収が可能となる。したがって、静電気対策素子の耐久性を高めることができる。

【0058】

図5(a)及び(b)は、静電気対策素子及びコモンモードフィルタの配線距離について説明するための略模式図であって、特に図5(a)は、図4(a)に対応する略平面図であり、また図5(b)は、図2に対応する回路図である。

10

【0059】

図5(a)及び(b)に示すように、例えば、静電気対策素子のギャップ電極28から端子電極13aまでの距離を L_1 とし、コモンモードフィルタのスパイラルパターンの端部から端子電極13aまでの距離を L_2 とすると、距離 L_1 と距離 L_2 との差の絶対値 $|L_1 - L_2|$ はできるだけ小さい方がよく、 $500\mu\text{m}$ 以下であることが好ましい。他の位置に設けられた静電気対策素子とコモンモードフィルタとの関係も同様である。この構成によれば、静電気対策素子のキャパシタンスとコモンモードフィルタのキャパシタンスが打ち消し合い、特性インピーダンスが安定するので、特性インピーダンスの変化を最小限に抑えることができる。

20

【0060】

また本実施形態において、静電気対策素子のキャパシタンスは 1.0pF 以下であることが好ましい。静電気対策素子のキャパシタンスが 1.0pF を超えると信号入力波形の鈍りが大きくなり、信号品質が急激に低下するからである。ただし、本実施形態によれば、上記 $|L_1 - L_2|$ が $500\mu\text{m}$ 以下であることにより、静電気対策素子のキャパシタンスが 0.3pF を超える比較的大きな値であったとしても良好な特性を得ることができる。従来静電気対策回路として、静電気対策素子のキャパシタンスを 0.3pF 以下とするものが提案されているが(特許文献1参照)、本実施形態では 0.3pF 以上のキャパシタンスが許容されることから、使用可能な静電気対策素子の幅を広げることができる。

30

【0061】

図6(a)及び(b)は、静電気対策素子層12bにおける第1のギャップ電極28付近の層構造の一例を示す図であって、(a)は略平面図、(b)は略断面図である。なお、第2～第4のギャップ電極29～31の構成は第1のギャップ電極28と同一であるため、重複する説明を省略する。

【0062】

静電気対策素子層12bは、磁性基体11aの表面に形成された下地絶縁層27と、第1のギャップ電極28を構成する一対の電極28a、28bと、これらの電極28a、28bの間に配設された静電気吸収層33と、静電気吸収層33の上面に形成された保護層36とを備えている。この静電気対策素子層12bにおいて、静電気吸収層33は低電圧放電タイプの静電気保護材料として機能し、静電気などの過電圧が印加された際に、この静電気吸収層33を介して電極28a、28b間で初期放電が確保されるように設計されている。

40

【0063】

下地絶縁層27は絶縁性材料からなり、本実施形態においては製造上の容易さから磁性基体11aの全面を覆っているが、少なくとも電極28a、28b及び静電気吸収層33の下地となっていればよく、必ずしも全面を覆う必要はない。

【0064】

下地絶縁層27の具体例としては、例えば、第1の磁性基体11aの表面に、NiZn

50

フェライトやアルミナ、シリカ、マグネシア、窒化アルミ等の誘電率が50以下、好ましくは20以下の低誘電率材料からなる絶縁膜を形成したのも、好適に用いることができる。なお、下地絶縁層27の形成方法は、特に限定されず、真空蒸着法、反応性蒸着法、スパッタリング法、イオンプレーティング法、CVDやPVD等の気相法等の公知の手法を適用できる。また、下地絶縁層27の膜厚は、適宜設定可能である。

【0065】

下地絶縁層27の表面には、一对の電極28a, 28bが相互に離間して配設されている。本実施形態では、一对の電極28a, 28bは、下地絶縁層27上の所定の位置にギャップ距離Gを置いて、対向配置されている。

【0066】

電極28a, 28bを構成する素材としては、例えば、Ni、Cr、Al、Pd、Ti、Cu、Ag、Au及びPtなどから選ばれた少なくとも一種の金属、或いはこれらの合金等が挙げられるが、これらに特に限定されない。なお、本実施形態では、電極28a, 28bは、平面視で矩形状に形成されているが、その形状は特に制限されず、例えば、櫛歯状、或いは、鋸状に形成されていてもよい。

【0067】

電極28a, 28b間のギャップ距離Gは、所望の放電特性を考慮して適宜設定すればよく、特に限定されないが、通常、0.1~50μm程度であり、低電圧初期放電を確保するという観点から、より好ましくは0.1~20μm程度、さらに好ましくは0.1~10μm程度である。なお、電極28a, 28bの厚みは、適宜設定することができ、

【0068】

上記の電極28a, 28b間には、静電気吸収層33が配設されている。本実施形態では、上述した下地絶縁層27の表面及び電極28a, 28b上に、静電気吸収層33が積層された構成となっている。この静電気吸収層33の寸法形状及びその配設位置は、過電圧が印加された際に自身を介して電極28a, 28b間で初期放電が確保されるように設計されている限り、特に限定されない。

【0069】

静電気吸収層33は、絶縁性無機材料34のマトリックス中に島状の導電性無機材料35の集合体が不連続に点在した海島構造のコンポジットである。本実施形態では、静電気吸収層33は、逐次スパッタリングを行うことにより形成されている。より具体的には、下地絶縁層27の絶縁性表面上及び/又は電極28a, 28b上に、導電性無機材料35をスパッタリングして部分的に(不完全に)成膜した後、引き続き絶縁性無機材料34をスパッタリングすることにより、謂わば、島状に点在した導電性無機材料35の層とこれを覆う絶縁性無機材料34の層との積層構造のコンポジットが形成されている。

【0070】

マトリックスを構成する絶縁性無機材料34の具体例としては、例えば、金属酸化物、金属窒化物等が挙げられるが、これらに特に限定されない。絶縁性やコスト面を考慮すると、Al₂O₃、TiO₂、SiO₂、ZnO、In₂O₃、NiO、CoO、SnO₂、V₂O₅、CuO、MgO、ZrO₂、AlN、BN及びSiCが好ましい。これらは、1種を単独で用いても、2種以上を併用してもよい。これらの中でも、絶縁性マトリックスに高度の絶縁性を付与する観点からは、Al₂O₃やSiO₂等を用いることがより好ましい。一方、絶縁性マトリックスに半導体性を付与する観点からは、TiO₂やZnOを用いることがより好ましい。絶縁性マトリックスに半導体性を付与することで、放電開始電圧及びクランプ電圧に優れる静電気対策素子を得ることができる。絶縁性マトリックスに半導体性を付与する方法は、特に限定されないが、例えば、これらTiO₂やZnOを単独で用いたり、これらを他の絶縁性無機材料34と併用すればよい。特に、TiO₂は、アルゴン雰囲気中でスパッタリングする際に酸素が欠損しやすく、電気伝導度が高くなる傾向にあるので、絶縁性マトリックスに半導体性を付与するにはTiO₂を用いることが特に好ましい。絶縁性無機材料34は、上層に位置する任意の層(例えば絶縁層16a)から

10

20

30

40

50

一对の電極 28a, 28b や導電性無機材料 35 を保護する保護層としても機能するものである。

【0071】

導電性無機材料 35 の具体例としては、例えば、金属、合金、金属酸化物、金属窒化物、金属炭化物、金属ホウ化物等が挙げられるが、これらに特に限定されない。導電性を考慮すると、C、Ni、Cu、Au、Ti、Cr、Ag、Pd 及び Pt、或いは、これらの合金が好ましい。

【0072】

電極 28、絶縁性無機材料 34 及び導電性無機材料 35 の組み合わせとしては、Cu、SiO₂ 及び Au の組み合わせが特に好ましい。これらの材料で構成された静電気対策素子は電気的特性に優れるだけでなく、加工性やコスト面でも極めて有利である。特に、島状の導電性無機材料 35 の集合体が不連続に点在した海島構造のコンポジットを高精度且つ容易に形成することができる。

10

【0073】

静電気吸収層 33 の総厚みは、特に限定されるものではなく、適宜設定することができるが、より一層の薄膜化を達成する観点から、10nm~10μm であることが好ましく、15nm~1μm であることがより好ましく、15~500nm であることがより好ましい。本実施形態の如く、謂わば、不連続に点在した島状の導電性無機材料 35 の層と絶縁性無機材料 34 のマトリックスの層とを形成する場合、導電性無機材料 35 の層の厚みは、1~10nm であることが好ましく、絶縁性無機材料 34 の層の厚みは、10nm~10μm であることが好ましく、より好ましくは 10nm~1μm であり、より好ましくは 10~500nm である。

20

【0074】

静電気吸収層 33 の形成方法は、上述したスパッタリング法に限定されるものではない。下地絶縁層 27 の絶縁性表面上及び/又は電極 28a, 28b 上に、公知の薄膜形成方法を適用して、上述した絶縁性無機材料 34 及び導電性無機材料 35 を付与することにより、静電気吸収層 33 を形成することができる。

【0075】

本実施形態の静電気対策素子層 12b においては、絶縁性無機材料 34 のマトリックス中に不連続に点在した島状の導電性無機材料 35 を含む静電気吸収層 33 が、低電圧放電タイプの静電気保護材料として機能する。そして、かかる構成を採用することにより、静電容量が小さく、放電開始電圧が低く、且つ、放電耐性に優れる、高性能な静電気対策素子が実現される。しかも、低電圧放電タイプの静電気保護材料として機能する静電気吸収層 33 として、少なくとも絶縁性無機材料 34 と導電性無機材料 35 とから構成されるコンポジットが採用されている。そのため、上記従来の有機-無機複合膜のものに比して、耐熱性が高められ、また、温度や湿度等の外部環境により特性が変動し難いものとなり、その結果、信頼性が高められる。その上さらに、スパッタリング法により静電気吸収層 33 が形成可能であり、これにより、生産性及び経済性がより一層高められる。なお、本実施形態の静電気対策素子は、電極 28a, 28b 間に電圧を印加することにより静電気吸収層 33 中へ電極 28a, 28b の一部が飛散した結果、静電気吸収層 33 が電極 28a, 28b を構成する素材を含む構成であってもよい。

30

40

【0076】

図 7 は、静電気対策素子の原理を説明するための模式図である。

【0077】

図 7 に示すように、一对の電極 28a, 28b 間に静電気による放電電圧が印加されたとき、放電電流は、矢印で示すように、絶縁性無機材料 34 のマトリックス中に不連続に点在した島状の導電性無機材料 35 によって構成される任意の経路を通過して電極 28a から電極 28b (グランド) に向かって流れる。このとき、電流経路中のエネルギー集中が大きかった地点の導電性無機材料 35 は絶縁性無機材料 34 と共に破壊され、静電気の放電エネルギーは吸収される。破壊された経路は非導通となるが、図示のように、不連続に

50

点在した島状に導電性無機材料 3 5 によって多数の電流経路が形成されているため、多数回の静電気吸収が可能である。

【 0 0 7 8 】

以上説明したように、本実施形態による複合電子部品 1 0 0 は、静電容量が小さく、放電開始電圧が低く、且つ、放電耐性、耐熱性及び耐候性に優れた低電圧タイプの静電気対策素子を内蔵しているため、高性能な静電気保護機能を備えたコモンモードフィルタとして機能する複合電子部品を実現することができる。

【 0 0 7 9 】

また、本実施形態によれば、静電気対策素子層 1 2 b の材料として絶縁性無機材料 3 4 及び導電性無機材料 3 5 が使用され、静電気対策素子層 1 2 b を構成する各種材料に樹脂が含まれていないことから、磁性基体 1 1 a 上に静電気対策素子層 1 2 b を形成し、さらにその上にコモンモードフィルタ層 1 2 a を形成することができる。コモンモードフィルタ層 1 2 a をいわゆる薄膜工法で形成する場合には 3 5 0 以上、導体パターンが形成されたセラミックシートを順次積層するいわゆる積層工法で形成する場合には 8 0 0 の熱処理工程が必要となるが、静電気対策素子層の材料として絶縁性無機材料 3 4 及び導電性無機材料 3 5 を使用した場合には、熱処理工程に耐えることができ、正常に機能する静電気対策素子を確実に形成することができる。さらに、磁性基板上の十分に平坦な面に静電気対策素子を形成することができ、ギャップ電極の微小なギャップを安定的に形成することができる。

【 0 0 8 0 】

また、本実施形態によれば、ギャップの形成位置がスパイラル導体 1 7 , 1 8 の最外周よりも外側であって、第 1 及び第 2 のスパイラル導体 1 7 , 1 8 、第 1 及び第 2 の引き出し導体 1 9 , 2 0 等の導体パターンと平面的に重ならず、それらの導体パターンを避けた位置に設けられていることから、静電気対策素子が静電気によって部分的に破壊されたときの上下方向の影響を抑えることができ、より信頼性の高い複合電子部品を実現することができる。特に、ギャップをスパイラル導体の最外周に近接させると共にスパイラル導体の最外周に沿った形状とすることで、矩形状の実装面のできるだけ内側にギャップを形成することができ、十分な長さを有する円弧状のギャップを形成することができる。ギャップが十分な長さを有する場合、多数の電流経路を確保することができるので、多数回の静電気吸収が可能となる。したがって、静電気対策素子の耐久性を高めることができる。

【 0 0 8 1 】

さらに、本実施形態によれば、図 2 に示したように、複合電子部品 1 0 0 は一対の信号ライン上に実装され、一対の静電気対策素子 1 5 a , 1 5 b (又は静電気対策素子 1 5 c , 1 5 d) は、コモンモードフィルタ (1 4 a , 1 4 b) よりも信号ラインの入力側に設けられていることから、静電気対策素子による過電圧の吸収効率を高めることができる。通常、静電気による過電圧は、インピーダンス整合のとれていない異常な電圧であるため、コモンモードフィルタの入力端で一回反射する。この反射信号は元の信号波形に重畳され、電圧が上昇した信号は、静電気対策素子で一気に吸収される。すなわち、静電気対策素子の後段にあるコモンモードフィルタが元波形よりも大きい波形にしてくれるので、電圧レベルが低い状態から吸収する場合よりも静電気対策素子で吸収されやすい状態を作り出すことができる。こうして、一回吸収した信号をコモンモードフィルタに入力することにより、細かいノイズを除去することができる。

【 0 0 8 2 】

さらに、本実施形態による複合電子部品 1 0 0 は、入力側と出力側の両方に一対の静電気対策素子が設けられた対称型の回路であることから、実装方向の制約がないチップ部品として提供することができる。

【 0 0 8 3 】

次に、本実施形態による複合電子部品 1 0 0 の製造方法について詳細に説明する。

【 0 0 8 4 】

図 8 は、複合電子部品 1 0 0 の製造工程を示すフローチャートである。

【0085】

複合電子部品100の製造では、まず第1の磁性基体11aを用意し(ステップS101)、第1の磁性基体11aの表面に静電気対策素子層12bを形成し(ステップS102~S105)、静電気対策素子層12bの表面にコモンモードフィルタ層12aを形成した後(ステップS106~S111)、第2の磁性基体11bを積層する(ステップS112)。その後、外周面に端子電極13a~13fを形成することにより(ステップS113)、第1及び第2の磁性基体11a, 11bに挟まれたコモンモードフィルタ層12a及び静電気対策素子層12bを有する複合電子部品100が完成する。

【0086】

本実施形態による複合電子部品100の製造方法は、コモンモードフィルタ層12a及び静電気対策素子層12bをいわゆる薄膜工法で一貫して形成することを特徴としている。ここで、薄膜工法とは、感光性樹脂を塗布し、これを露光及び現像して絶縁層を形成した後、絶縁層の表面に導体パターンを形成する工程を繰り返すことにより、絶縁層及び導体層が交互に形成された多層膜を形成する方法である。以下、静電気対策素子層12b及びコモンモードフィルタ層12aの形成工程について詳細に説明する。

10

【0087】

静電気対策素子層12bの形成では、まず磁性基体11aの表面に下地絶縁層27(ステップS102)を形成する。下地絶縁層27の形成方法は、特に限定されず、真空蒸着法、反応性蒸着法、スパッタリング法、イオンプレーティング法、CVDやPVD等の気相法等の公知の手法を適用できる。また、下地絶縁層27の層厚は、適宜設定可能である。

20

【0088】

次に、下地絶縁層27の表面にギャップ電極28~31及び短絡配線パターン32a~32cを形成する(ステップS103)。ギャップ電極28~31及び短絡配線パターン32a~32cは、下地絶縁層27の全面に電極材料を成膜した後、電極材料をパターンニングすることにより形成することができる。一对の電極間のギャップ距離Gは0.1~50 μ m程度と非常に微細であることから、高精度なパターンニングが要求され、下地面の平坦性も要求される。ここで、下地絶縁層27は平坦性の高い磁性基体11a上に形成され、下地絶縁層27の平坦性も高いことから、微細なギャップ幅を高精度に制御することができる。

30

【0089】

次に、ギャップ電極28~31及び短絡配線パターン32a~32cが形成された下地絶縁層27の表面に静電気吸収層33を形成する(ステップS104)。詳細には、下地絶縁層27の絶縁性表面上及び/又は電極28上に、導電性無機材料35をスパッタリングして部分的に(不完全に)成膜した後、引き続き絶縁性無機材料34をスパッタリングすることにより、謂わば、島状に点在した導電性無機材料35の層とこれを覆う絶縁性無機材料34の層との積層構造のコンポジットを形成する。さらに、静電気吸収層33上に複合フェライトからなる保護層36を形成する(ステップS105)。以上により、静電気対策素子層12bが完成する。

【0090】

コモンモードフィルタ層12aの形成では、絶縁層及び導体パターンを交互に形成することにより、絶縁層16a~16d、第1及び第2のスパイラル導体17, 18、第1及び第2の引き出し導体19, 20を形成する(ステップS106~S109)。詳細には、静電気対策素子層12b上にまず絶縁層16aを形成した後、絶縁層16a上に第1及び第2の引き出し導体19, 20を形成する(ステップS106)。次に、絶縁層16a上に絶縁層16bを形成した後、絶縁層16b上に第1のスパイラル導体17, 23を形成すると共に、絶縁層16bを貫通するコンタクトホール21を形成する(ステップS107)。次に、絶縁層16b上に絶縁層16cを形成した後、絶縁層16c上に第2のスパイラル導体18を形成する(ステップS108)。次に、絶縁層16c上に絶縁層16dを形成する(ステップS109)。

40

50

【0091】

ここで、各絶縁層16a～16dは、下地面に感光性樹脂をスピンコートし、これを露光及び現像することにより形成することができる。特に、絶縁層16b～16dは開口25を有する絶縁層として形成される。また、スパイラル導体等の導体パターンは、蒸着法又はスパッタリング法により導体層を形成した後、パターニングを行うことにより形成することができる。

【0092】

次に、開口25内に複合フェライトのペーストを充填し、さらに絶縁層16dの表面にも複合フェライトのペーストを均一に塗布することにより、磁性コア26及び磁性層16eを形成する(ステップS110)。その後、接着層16fを形成し(ステップS111)、接着層16fを介して第2の磁性基体11bを貼り合わせた後(ステップS112)、積層体の外周面に端子電極13a～13fを形成することにより(ステップS113)、複合電子部品100が完成する。

10

【0093】

以上説明したように、本実施形態による複合電子部品の製造方法は、静電気対策素子層12b及びコモンモードフィルタ層12aを一貫して薄膜工法で形成するので、特別な製造工程を経由することなく複合電子部品を製造することができる。また、本実施形態による複合電子部品の製造方法は、磁性基体11a上に静電気対策素子層12bを形成し、静電気対策素子層12b上にコモンモードフィルタ層12aを形成するので、静電気対策素子を比較的平坦な磁性基体11aの表面に形成することができ、高品質な静電気対策素子とコモンモードフィルタとを組み合わせた複合電子部品を製造することができる。

20

【0094】

図9は、本発明の第2の実施形態による複合電子部品200の構造を透過的に示す略平面図である。

【0095】

図9に示すように、本実施形態による複合電子部品200は、ギャップ電極28～31の全体がスパイラル導体17, 18と重ならない位置に設けられていることを特徴としている。その他の構造は第1の実施形態による複合電子部品100と実質的に同一であることから、同一の構成要素に同一の符号を付して詳細な説明を省略する。

【0096】

スパイラル導体17, 18がこのように配置されている場合にはより広い実装領域が必要となり、チップサイズを多少大きくしなければならないが、第1の実施形態と同様の作用効果を奏することができる。すなわち、ギャップの形成位置がスパイラル導体17, 18の最外周よりも外側であって、第1及び第2のスパイラル導体17, 18、第1及び第2の引き出し導体19, 20等の導体パターンと平面的に重ならない位置に設けられていることから、静電気対策素子が静電気によって部分的に破壊されたときの上下方向の影響を抑えることができ、より信頼性の高い複合電子部品を実現することができる。特に、十分な長さを有するギャップを形成することができ、多数の電流経路の確保によって静電気対策素子の耐久性を高めることができる。

30

【0097】

図10は、本発明の第3の実施形態による複合電子部品300の構造を透過的に示す略平面図である。

40

【0098】

図10に示すように、本実施形態による複合電子部品300は、略円形状のスパイラル導体(曲線によって形作られる丸パターン)ではなく、略矩形形状のスパイラル導体(直線によって形作られる角パターン)を用いていることを特徴としている。また、ギャップ電極が有するギャップの形状も円弧状ではなく、直線状となっている。尚、その他の構造は第1の実施形態による複合電子部品100と実質的に同一であることから、同一の構成要素に同一の符号を付して詳細な説明を省略する。

【0099】

50

このように、複合電子部品 300 のスパイラル形状及びギャップ形状は上記複合電子部品 100 と異なるが、第 1 の実施形態と同様の作用効果を奏することができる。すなわち、ギャップの形成位置がスパイラル導体 17, 18 の最外周よりも外側であって、第 1 及び第 2 のスパイラル導体 17, 18、第 1 及び第 2 の引き出し導体 19, 20 等の導体パターンと平面的に重ならない位置に設けられていることから、静電気対策素子が静電気によって部分的に破壊されたときの上下方向の影響を抑えることができ、より信頼性の高い複合電子部品を実現することができる。特に、十分な長さを有するギャップを形成することができ、多数の電流経路の確保によって静電気対策素子の耐久性を高めることができる。

【0100】

以上、本発明の好ましい実施の形態について説明したが、本発明は上記実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲で種々の変更を加えることが可能であり、それらも本発明に包含されるものであることは言うまでもない。

【0101】

例えば、上記実施形態においては、静電気対策素子層 12b を下層、コモンモードフィルタ層 12a を上層としているが、静電気対策素子層 12b を上層、コモンモードフィルタ層 12a を下層としてもよい。この場合、静電気対策素子層 12b がコモンモードフィルタ層 12a の上面に形成されることから、コモンモードフィルタ層の上面が十分な平坦性を有することが必要となる。

【0102】

また、上記実施形態においては、静電気対策素子層 12b が 4 つのギャップ電極 28 ~ 31 を含む場合について説明したが、本発明はこのような構成に限定されるものではなく、例えば端子電極 13a, 13b にそれぞれ接続された 2 つのギャップ電極 28, 29 のみを有する構成であってもよく、端子電極 13c, 13d にそれぞれ接続された 2 つのギャップ電極 30, 31 のみを有する構成であってもよい。

【符号の説明】

【0103】

- 1, 2 信号ライン
- 3 出力バッファ
- 4 入力バッファ
- 5 コモンモードチョークコイル
- 6 IC
- 7 信号ライン
- 8 コイル部品
- 9 静電気対策部品
- 10a 第 1 の側面
- 10b 第 2 の側面
- 10c 第 3 の側面
- 10d 第 4 の側面
- 11a 第 1 の磁性基体
- 11b 第 2 の磁性基体
- 12 機能層
- 12a コモンモードフィルタ層
- 12b 静電気対策素子層
- 13a - 13f 端子電極
- 14a, 14b インダクタ素子
- 15a ~ 15d 静電気対策素子
- 16a ~ 16d 絶縁層
- 16e 磁性層
- 16f 接着層

10

20

30

40

50

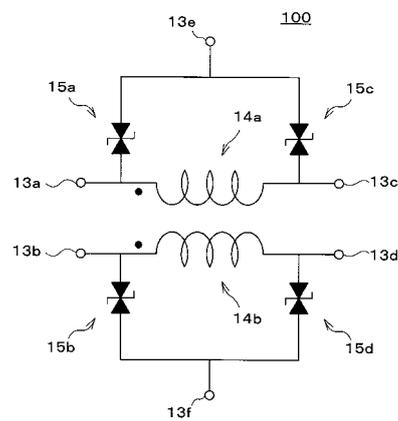
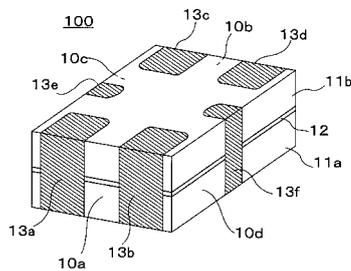
- 1 7 第 1 のスパイラル 導体
- 1 8 第 2 のスパイラル 導体
- 1 9 第 1 の引き出し 導体
- 2 0 第 2 の引き出し 導体
- 2 1 第 1 のコンタクトホール 導体
- 2 2 第 2 のコンタクトホール 導体
- 2 3 第 3 の引き出し 導体
- 2 4 第 4 の引き出し 導体
- 2 5 開口
- 2 6 磁性コア
- 2 7 下地絶縁層
- 2 8 ~ 3 1 ギャップ電極
- 2 8 G , 2 9 G , 3 0 G , 3 1 G ギャップ
- 2 8 a , 2 8 b 電極
- 2 9 a , 2 9 b 電極
- 3 0 a , 3 0 b 電極
- 3 1 a , 3 1 b 電極
- 3 2 a ~ 3 2 c 短絡配線パターン
- 3 3 静電気吸収層
- 3 4 絶縁性無機材料
- 3 5 導電性無機材料
- 3 6 保護層
- 1 0 0 複合電子部品
- 2 0 0 複合電子部品
- 3 0 0 複合電子部品

10

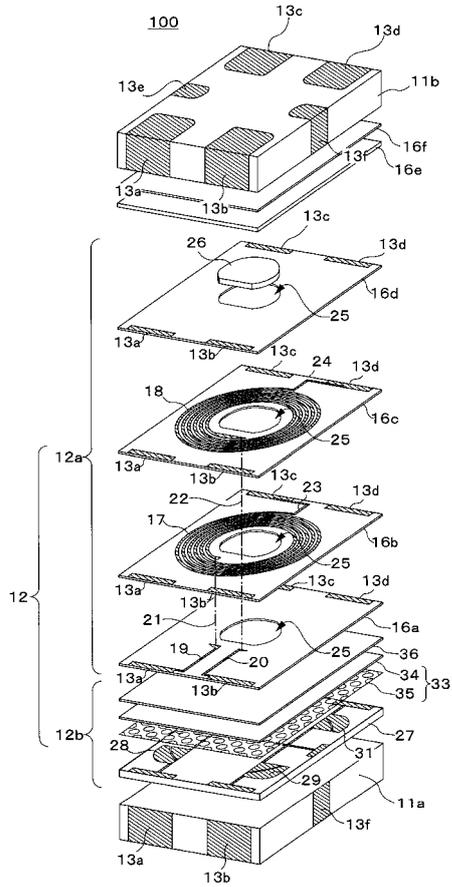
20

【 図 1 】

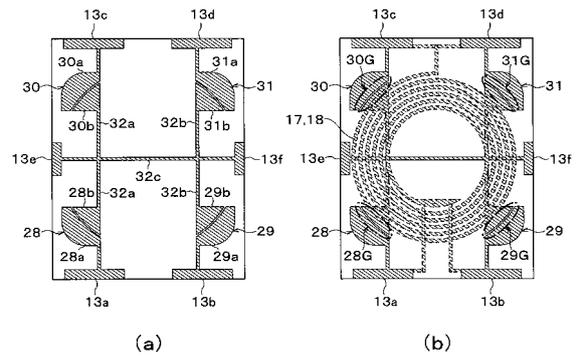
【 図 2 】



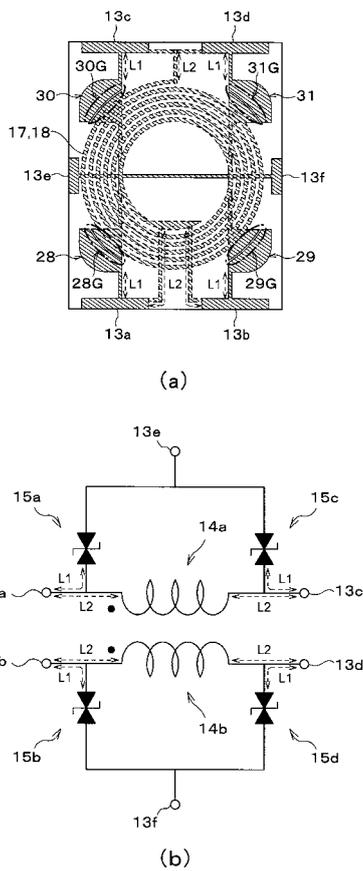
【図3】



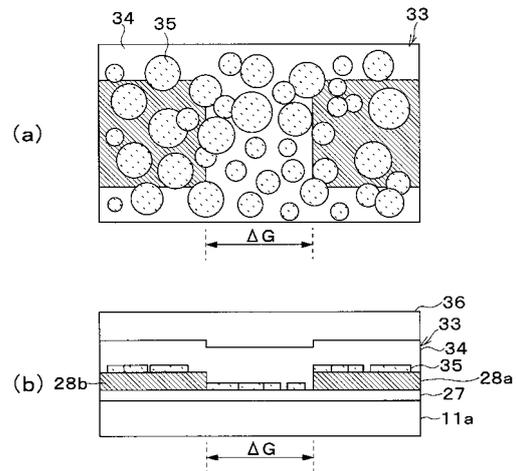
【図4】



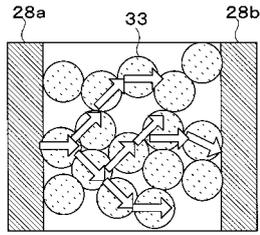
【図5】



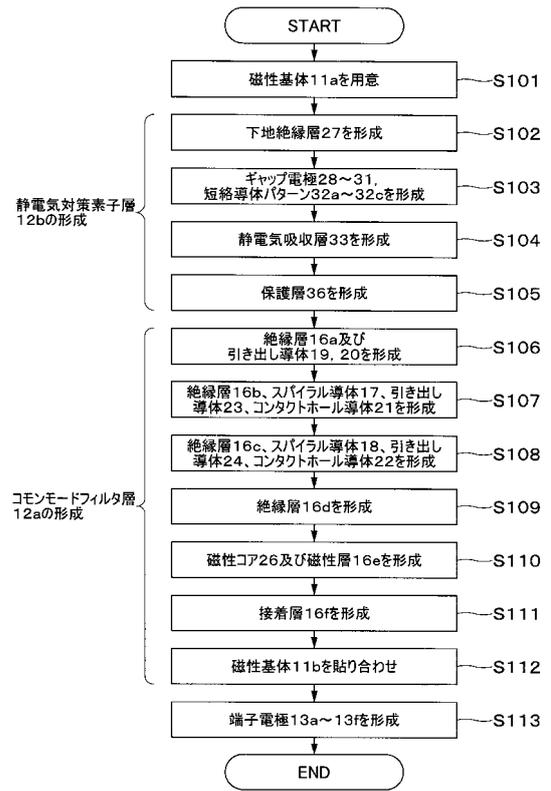
【図6】



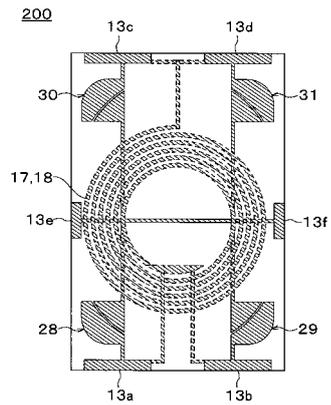
【図7】



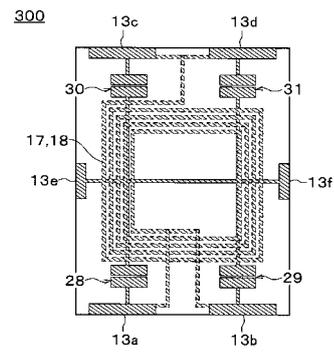
【図8】



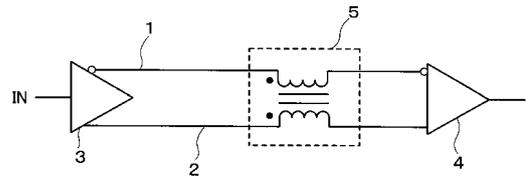
【図9】



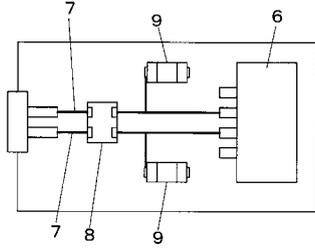
【図10】



【図11】



【 図 1 2 】



フロントページの続き

- (72)発明者 伊藤 知一
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 中込 晶
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 人見 篤志
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 廣部 康宏
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 朝倉 健作
東京都中央区日本橋一丁目13番1号 TDK株式会社内

審査官 山田 倍司

- (56)参考文献 国際公開第2007/029615(WO, A1)
特開2007-123352(JP, A)
特開昭53-122744(JP, A)
特表平02-503049(JP, A)
特開2007-214166(JP, A)
特開2006-066848(JP, A)
特開2009-117735(JP, A)
特開2010-141642(JP, A)
特開2003-123936(JP, A)
特開2004-194170(JP, A)
特開2007-103059(JP, A)
特開平06-251981(JP, A)
実開昭56-078571(JP, U)
特開2007-195060(JP, A)
特開2010-109313(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01C 7/02 - 7/22
H01F 17/00 - 21/12
27/00 - 27/08
27/23 - 27/42
30/00
38/42
H01T 1/00 - 4/20