

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04N 7/015

(11) 공개번호 특1998-081104
(43) 공개일자 1998년11월25일

(21) 출원번호	특1998-011988
(22) 출원일자	1998년04월04일
(30) 우선권 주장	60/042,932 1997년04월04일 미국(US)
(71) 출원인	해리스코포레이션 스콧티.마이쿠엔
(72) 발명자	미합중국 플로리다 32919 멜보른 웨스트 나사 블러바드 1025 트위첼에드 미합중국 일리노이 62301 퀸시 버몬트 스트리트 2512 세씨아조셉 미합중국 일리노이 62301 퀸시 7번가 1422 엔. 데이비스보브 미합중국 플로리다 32903 인디아란틱 바하마 드라이브 430 미즈위키편 미합중국 일리노이 62301 퀸시 박스 16에이 루랄 루트 7 니켈데이브 미합중국 일리노이 62301 퀸시 시카모어 스트리트 1315
(74) 대리인	손은진

심사청구 : 없음

(54) 디지털 텔레비전 송신기용 익사이더 회로

요약

소스로부터 입력 텔레비전 디지털 신호를 수신하여 그 텔레비전 디지털 신호를 안테나를 통해 텔레비전 송신기 전력 증폭 스테이지에 의해 방송하기 위한 표준 포맷으로 변환하는 익사이더 회로는 디지털 클럭 신호 및 디지털 데이터 신호를 분리하여 출력하도록 추출된 디지털 클럭 신호를 출력하는 입력 텔레비전 디지털 신호로부터 데이터 및 클럭 신호를 추출하는 데이터 회복 회로, 디지털 텔레비전 표준에 따라 추출된 디지털 데이터 신호의 순서를 변경하는 랜더마이저 회로, 디지털 데이터 신호를 입력 텔레비전 디지털 신호 레이트에서 디지털 데이터 신호를 수신하기 위해 동기화된 패킷으로 인코딩하는 인코더 회로, 제2층 레이트로 디지털 데이터 신호의 패킷을 수신하기 위해 동기화된 디지털 데이터 신호 패킷의 중첩 인터리빙을 수행하는 인터리버 회로, 디지털 텔레비전 표준에 따라 중첩된 인터리브 디지털 데이터 신호를 격자 코드와 인코딩하는 인코더 회로, 세그먼트 및 필드 동기 신호의 스펙트럼을 인코딩된 디지털 데이터 신호에 삽입하는 동기 삽입 회로, 인코딩된 디지털 데이터 신호를 디지털 텔레비전 표준으로 제한하는 필터 회로, 추출된 디지털 클럭 신호를 필터 회로의 출력으로 삽입하는 신호 삽입 회로, 전력 증폭기 스테이지에 의한 송신 형식으로 디지털 데이터 신호 및 디지털 클럭 신호를 아날로그 신호로 변환하는 디지털 아날로그 변환 회로 및 입력 신호를 수신하고 입력 신호의 부재시에는 출력신호를 제어하는 레이트 제어기를 포함한다.

대표도

도2

명세서

도면의 간단한 설명

- 도1은 이전 기술의 디지털 텔레비전 시스템의 기능적 블록 다이어그램;
- 도2는 RF송신 시스템에 있어서 회로의 기능적 블록 다이어그램;
- 도3은 RF송신 시스템의 기능적 블록 다이어그램;
- 도4는 생성된 DTV신호에 대한 진폭 대 주파수의 플롯;
- 도5는 동기 신호 카운터 회로의 기능적 블록 다이어그램;
- 도6은 이전 기술의 인터리빙회로의 기능적 블록 다이어그램;

도7은 인터리버(interleaver) 버퍼 회로의 기능적 블록 다이어그램;

도8은 레이트(rate) 변환 회로의 기능적 블록 다이어그램;

도9는 격자 인코더를 위한 제어회로의 제1실시예의 기능적 블록 다이어그램;

도10은 격자 인코더의 제1실시예의 기능적 블록 다이어그램;

도11은 격자 인코더의 제2실시예의 기능적 블록 다이어그램;

도12는 이론적인 정정된 비-선형 진폭 및 그것의 관련 신호의 진폭과 주파수의 관계를 나타내는 일련의 플롯;

도13은 도12의 일련의 플롯을 위한 주파수 영역을 나타내는 일련의 플롯;

도14는 전형적인 비-선형 증폭기의 입력 및 출력 회로로 조합된 위상 및 진폭의 플롯;

도15는 전형적인 정정된 비-선형 진폭 및 그것의 관련 신호의 주파수 영역을 나타내는 일련의 플롯;

도16은 본 발명의 한 양상에 따른 향상된 커렉터(corrector) 회로의 기능적 블록 다이어그램;

도17은 중간 주파수 보상 회로에서의 사용을 위한 도16의 커렉터 회로의 제2실시예의 기능적 블록 다이어그램;

도18은 한 양상을 이용하는 스튜디오 사이트(site)의 기능적 블록 다이어그램;

도19는 본 발명의 한 양상을 이용하는 송신 사이트의 기능적 블록 다이어그램이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 DTV시스템	102 압축부
106 RF/송신 시스템	108 비디오신호
110 오디오 신호	112 보조 데이터 신호
114 제어 데이터 신호	120 채널 코드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 아날로그 및 디지털 신호들을 통신하기 위한 회로 및 시스템에 관한 것이며, 특히 디지털 텔레비전 신호를 생성하고 통신하기 위한 것이다.

여러해 동안 통상의 텔레비전 신호들은 NTSC로 알려진 포맷을 사용하는 방송이었다. 고 선명 텔레비전의 출현 및 계속적으로 차지하게 되는 무선 스펙트럼으로 인하여, 대규모로 설치된 NTSC 수신기의 베이스와 새로이 설치된 DTV 수신기들이 동일한 방송을 동시에 즐길 수 있도록 텔레비전 방송국들은 NTSC 신호 및 디지털 텔레비전(DTV) 신호 양쪽의 동시방송을 제공할 것이 결정되었다. 그래서 동시방송은 각각의 텔레비전 채널에 대하여 두 개의 상이한 포맷으로 인코딩된 동일한 프로그램들의 동시 송신을 포함할 것이다. NTSC 및 DTV 채널 모두는 대역폭이 6 MHz로서 정의 되었다.

NTSC 및 DTV 포맷으로된 동시 방송은 두 개의 다른 채널들을 함유할 것이다. 추가 채널에 대해 유용한 스펙트럼이 상당히 제한되기 때문에, 추가적인 채널이 다른 기존의 채널에 인접하는 채널에 할당되어야 한다는 것이 제안되었다. NTSC 및 DTV 신호 모두가 인접하는 채널에 송신되는 곳에서는 NTSC 및 DTV 신호가 서로 혼신하는 동일채널 혼신의 심각한 문제가 존재한다. 만약 DTV 및/또는 NTSC 파형으로 운반되는 신호가 정확히 위치지정되고 할당된 채널 대역폭 내에 유지되지 않는다면 인접하는 채널들 사이에서의 혼신문제는 더욱 악화될 것이다.

제안된 DTV 시스템에 있어서, 도1에 나타나는 바와 같이, 비디오 및 오디오 데이터를 가진 신호는 텔레비전 스튜디오와 같은 신호 소스로부터 그곳에 동일하게 위치하지 않는 RF/송신 사이트에 보내어질 것이다. 그러한 시스템에 있어서, 비디오 및 오디오 데이터 신호는 마이크로웨이브 링크와 같은 기존의 통신 기술을 이용하여 스튜디오로부터 RF/송신 사이트로 송신될(또는 이송될)것이다. 종종 이송 신호로 언급되는 이 신호는 데이터 및 데이터를 위한 클럭 모두를 개별로 또는 맨체스터 코딩과 같은 자기-클로킹(self-clocking) 코딩을 이용하여 함유할 것이다. 일반적으로, RF/송신 시설은 송신 시설에서의 데이터를 회복을 위해서 데이터 클럭을 사용할 것이다. 그래서, 만약 이송클럭이 부정확하거나 또는 드리프트(drift) 하다면, 부정확의 결과는 송신 시설로부터 최종적으로 방송되는 신호에 영향을 미칠 것이다. 정확한 방송 주파수를 유지하는 중요성을 고려할 때, 이송클럭(종종 스튜디오라고 함)에서의 부정확한 클럭에 의해 야기되는 주파수 오류는 받아들이 수 없을 만큼 높을 것이다. 아래에서 기재되듯이, 본 발명의 한 실시예에 있어서, 데이터 클럭에서의 부정확은 방송되는 신호가 안정한 주파수 성분들을 갖도록 RF/송신 사이트에서 이용되는 시스템에 의해 제거되거나 보상될 수 있다.

동일 채널 및 크로스 채널 혼신의 문제는 최소한 부분적으로 비디오 및/또는 오디오 신호를 생성으로부터 방송으로 생성 또는 송신하기 위해 사용되는 클럭들 사이에서의 차이에 기초를 둘 것이다. 그러한 혼신은 여기서 기재되는 신호 생성 및 방송 시스템의 상이한 부분들에 대한 베이스로서 역할을 할 공통 클럭의 사용에 의해 감소되거나 제거될 것이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 주파수를 기초로 하는 성분들이 정확히 생성 및/또는 유지되는 디지털 텔레비전 신호를 생성하기 위한 회로 및 시스템을 제공하는 것이다.

또다른 목적은 텔레비전 신호의 방송이전에 데이터 클럭에서의 정확성을 위해 보상 및/또는 조절을 위한 회로 및 시스템을 제공하는 것과, 동기 핸드셰이크(handshake)없이 두 개의 동기 클럭상에서 작동할 수 있는 회로 및 시스템을 제공하는 것이다.

또한 다른 목적은 지표신호를 텔레비전 신호에 추가하고, 텔레비전 신호에서 오류 취급을 위한 회로 및 시스템을 제공하는 것이다.

또한 다른 목적은 데이터 신호가 디지털 데이터 레이트(rate)의 주파수에 대한 의존성이 제거되도록 하고 주파수가 규격 상태로 정정되도록 하는 텔레비전 송신을 위한 회로 및 시스템을 제공하고, 격자 인코딩을 위한 회로 및 시스템과 텔레비전 시스템을 위한 다중-대역 안테나를 위한 것이다.

발명의 구성 및 작용

본 발명에 따라 소스로부터 텔레비전 디지털 신호를 수신하여 그 텔레비전 디지털 신호를 안테나를 통해 텔레비전 송신기 전력 증폭 스테이지에 의해 방송하기 위한 표준 포맷으로 변환하는 익사이더 회로에 있어서, 상기 익사이더 회로는 디지털 클럭 신호 및 디지털 데이터 신호를 분리하여 출력하도록 추출된 디지털 클럭 신호를 출력하기 위한 입력 텔레비전 디지털 신호로부터 데이터 및 클럭 신호를 추출하는 데이터 회복 회로, 디지털 데이터 신호에 따라, 입력 텔레비전 디지털 신호 레이트에서 디지털 데이터 신호를 수신하기 위해 동기화된 패킷으로, 추출된 디지털 데이터 신호의 순서를 변경하기 위한 랜더마이저 회로, 제2 층 레이트로 디지털 데이터 신호의 패킷을 수신하기 위해 동기화된 디지털 데이터 신호 패킷의 중첩 인터리빙을 수행하는 인터리버 회로, 중첩 인터리브 디지털 데이터 신호를 디지털 텔레비전 표준에 따라 격자 코드와 인코딩하는 인코더 회로, 세그먼트 및 필드 동기 신호를 인코딩된 디지털 데이터 신호에 삽입하기 위한 동기 삽입 회로, 인코딩된 디지털 데이터 신호의 스펙트럼을 디지털 텔레비전 표준으로 제한하는 필터 회로, 추출된 디지털 클럭 신호를 필터 회로 출력으로 삽입하는 신호 삽입 회로 및 전력 증폭기 스테이지에 의한 송신 형식으로 디지털 데이터 신호 및 디지털 클럭 신호를 아날로그 신호로 변환하기 위한 디지털 아날로그 변환회로를 포함한다.

본 발명은 예로서 수반되는 도면을 참고로 이하에서 기재된다.

미국 정부 차세대 텔레비전 표준 위원회(ATSC) 디지털 텔레비전 표준(1995.9.16)에서 정의되듯이, 기본 DTV시스템(100) 블록 다이어그램은 도1에서 나타나는 것처럼, 소스 코딩(source coding) 및 압축부(102), 서비스 다중화 및 이송부(104) 및 RF/송신 시스템(106)을 포함하는 3개의 구획으로 구성된다. 소스 코딩 및 압축부(102)는 비디오 신호(108) 및 오디오 신호(110)를 수신하고 이들 신호들을 각각 디지털 데이터 스트림(stream)으로 인코딩한다. 인코딩은 기존의 그리고 비디오 및 오디오 데이터에 적합한 압축 기술 및 비트 레이트 감소 방법을 포함할 것이다.

도1은 인코딩된 비디오 및 오디오 데이터가 서비스 다중화 및 이송부(104)에 보조 데이터 신호(112)와 함께 제공되고 제어 데이터 신호(114)를 제어할 것이다. 보조 신호(112) 및 제어신호(114)는 제어 데이터, 조건적인 액세스(access) 제어 데이터 및 폐쇄 캡셔닝(captioning)과 같은 오디오 및 비디오 서비스와 관련된 데이터를 포함한다. 일반적으로 비디오 신호는 MPEG-2 비디오 스트림 구문 및 오디오 신호를 tk용하여 압축될 것이고 오디오 신호는 디지털 오디오 압축(AC-3) 표준을 이용하여 압축될 것이다.

서비스 다중화 및 이송부(104)에 있어서, 압축된 데이터 스트림은 정보의 패킷들로 분할되며 각 패킷 또는 패킷 타입을 확인하기 위한 수단이 덧붙여질 것이다. 처리에 있어서 비디오 데이터 스트림, 오디오 스트림 및 보조 데이터 스트림 패킷들은 단일 데이터 스트림으로 다중화될 것이다. 패킷으로된 데이터는 디지털 방송 시스템을 위한 비디오, 오디오 및 데이터 신호의 패킷화 및 다중화를 위해 MPEG-2 이송 시스템에 의해 이송될 것이다.

RF/송신부(106)에 있어서 패킷으로된 데이터는 채널 코드로되고 변조된다. 채널코더(120)는 데이터 스트림을 변형시키고 전형적인 송신 혼신 소스에 의해 영향을 받은 수신된 신호로부터의 데이터를 재구성하도록 수신기에 의해 이용될 수 있는 부가 신호를 추가할 것이다.

변조(122)는 송신된 신호를 변조하기 위해 디지털 데이터 스트림을 이용한다. DTV 표준에서 변조는 8 VSB 스킴(scheme)을 이용할 수 있다. 변조된 신호는 증폭되고 기존의 방식에서의 방송을 위한 안테나에 적용될 것이고

도2는 RF/송신 시스템이 도1의 시스템에서 나타나는 송신부로부터의 데이터 및 클럭 신호(10)를 수신하는 것을 나타낸다. 데이터 및 클럭 신호는 데이터를 송신 포맷으로부터 추출하는 데이터 회복 회로(202)에 적용될 것이고, 만약 필요하다면, 동일한 신호로부터 데이터 클럭을 추출할 것이다. 데이터 신호는 DTV 표준에 따라 데이터 스트림 내에서 데이터의 순서를 변화시키는 랜더마이저(randomizer)(204)에 적용될 것이다. 랜더마이저(204)는 생성 다항식 및 가상 랜덤 바이너리 시퀀스(binary sequence)에 기초하여 연산할 것이다.

신호의 수신기에 알려진 소정 방법으로 인코딩된 패킷들을 제공하기 위해 랜더마이저(204)로부터 출력된 신호는 리드-솔로몬 인코딩 기술을 이용하는 리드-솔로몬 인코더(206)에 적용될 것이다. 인코딩된 패킷들은 소정 스킴에 따라 데이터상에 기존의 인터리빙(interleaving)을 수행하는 인터리버(interleaver)(208)에 적용된다. 리드 솔로몬 인코더(206)는 이송 층 데이터 레이트로 데이터 버퍼에 기록하고, 인터리버(208)는 송신 층 데이터 레이트로 데이터 버퍼를 판독한다. 이것은 시스템이 동기 핸드셰이킹 없이 두 개의 동기 클럭상에서 연산하도록 한다.

인터리버(208)로부터 출력된 신호는 격자 인코더(210)에 적용될 것이다. DTV 시스템에 있어서, 격자 인코

더는 하나의 인코딩되지 않은 비트를 가진 2/3 레이트 격자 코드를 사용한다. DTV 시스템에 있어서, 하나의 입력 비트가 프리코딩(pre-coding)되는 반면 다른 하나의 입력 비트는 1/2 레이트 기존 코드를 사용하는 두 개의 출력 비트로 인코딩된다. DTV 명세에 따라, 격자 코드와 함께 사용되는 신호 파형은 8-레벨(3비트) 1차원 배열이다. 격자 인코더(210)로부터 출력되는 신호는 디지털 데이터 스트림내에서 적합한 위치에 데이터 세그먼트 동기 및 데이터 필드 동기를 삽입시키는 동기 삽입 회로(212)에 적용될 것이다.

동기 삽입 회로(212)로부터 출력된 디지털 데이터 스트림은 인코딩된 데이터 스트림의 스펙트럼을 송신 시스템(표준 DTV시스템에 대해 6 Mhz)의 대역폭으로 제한시키기 위해 나이퀴스트 필터에 적용될 것이다. 본 발명에 있어서의 여과 기능은 : 1)신호를 보간 및 상향변환하는 단계; 2)비-선형을 위해 신호를 정정하는 단계; 3)적용필터로 현존하는 주파수 응답 결함을 균등화하는 단계; 및 4)디지털 샘플을 하향변환 및 기억하는 단계를 포함한다.

나이퀴스트 필터(214)(및 관련 펄스 형성)후에 지표신호가 추가될 것이다. 지표신호 삽입은 나이퀴스트 필터에 의한 펄스 형성후에 지표신호삽입을 수행하여 회로에 저장한다. 지표가 추가된 나이퀴스트 필터에 의해 제공된 디지털 신호는 디지털-아날로그 변환기(216)에 의해 아날로그 신호로 변환되고 IF 믹서(mixer)(30)의 입력중 하나에 적용된다. IF 믹서(30)로의 다른 입력 신호는 IF 주파수 위상 로크 루프 회로(218)로부터 파생된 IF 캐리어 주파수이다. IF 믹서에 의해 생성된 IF신호는 IF 신호를 필터하는 IF 회로(40)에 적용되고, 출력 신호를 채널 믹서(50)의 입력중 하나에 출력 신호를 적용한다. 채널믹서(50)의 다른 입력은 UHF 위상 로크 루프(170)으로부터 파생된 채널주파수이다. 본 발명의 한 실시예에 있어서, IFF PLL(218) 및 UHF PLL(70)은 공통 클럭 기준(190)으로부터의 개개의 신호들을 생성한다. 클럭 기준(190)은 클럭킹 신호를 외부로 파생된 신호(EXT REF) 또는 지역적으로 발달된 엑사이터(exiter)에 의해 수신된 데이터로부터의 적합한 클럭킹 신호에 기준할 것이다.

채널 믹서(50)로부터 출력된 신호는 방송을 위해 충분히 증폭되어 안테나(220)에 제공될 필터된 신호를 발생하기 위해서 기존의 방송으로 대역통과필터(60)에 적용될 것이다. 도2는 데이터 회복 회로(202)에 입력되는 신호가 분리데이터 및 클럭신호 또는 (맨체스터 인코딩의 이용으로부터와 같은) 단일의 임베드(embed)된 클럭 신호인 것을 나타낸다. 클럭 회복 회로는 수신된 데이터 내에 임베드된 클럭으로 로크하기 위해 표준 위상 로크 루프를 사용할 것이다. 클럭이 회복되면, 그것은 시스템 타이밍을 구동하기 위해 이용될 것이다. 데이터 회복 회로(202)는 이송부(도1)로부터 송출된 신호 내에서 동기 신호를 알아내고 처리를 위해 수신된 데이터 스트림을 바이트로 배열하기 위해 프레임 싱크로나이저를 또한 포함할 것이다.

도2는 표준 DTV시스템에 있어서, 리드 솔로몬 인코더가 이송부로부터 수신된 각 데이터 바이트에 대해 20 모듈 256 곱셈 및 20 배타적 논리(XOR) 가산을 요구하는 것을 나타낸다. DTV시스템에서 이용되는 높은 데이터 레이트에서, 인코딩은 초당 97,000,000 연산이 가능한 프로세서를 필요로 한다. 본 발명의 한 실시예에 있어서, 리드 솔로몬 인코더는 록-업 테이블과 연결하여 필드 프로그래머블 게이트 어레이(FPGA) 내에서의 상당히 높은 데이터 레이트를 획득하도록 실행될 것이다.

나이퀴스트 필터(214)는 0.1152의 알파 인자와 함께 루트를 높인 코사인 필터로서 실행될 것이다. 필터는 유한 임펄스 응답 필터로서 실행될 것이다. 바람직한 실시예에서, 필터는 잔류 측파대 기능을 다루기 위한 복합 필터이다.

도2 및 3은(여기서 공통 엘리먼트들이 공통 기준 숫자들로 제공된다) 본 발명의 실시예에 있어서, 도1의 믹서(30,50) 및 관련 PLL(218,70)이 도1의 회로의 변조기(20) 부분이 도3의 단일의 블록인 변조기(20)로 단순화되는 회로내에서 실현될 것을 나타낸다. 변조기(20)에 적용되는 데이터 신호(10)는 클럭신호(302) 및 인코딩된 데이터 신호(21)(아날로그 포맷으로)를 생성한다. 클럭 신호(302) 및 인코딩된 데이터 신호(21) 모두가 디지털 데이터 스트림으로부터 처음 생성되기 때문에, 이들 신호의 결과적인 주파수는 디지털 데이터 레이트에 대해 직접적으로 부분적이다. 만약 이들 신호들이 송신될 신호를 발생하기 위해 이용된다면, 송신 신호는 데이터 소스의 주파수에 로크될 것이다. 송신 층이 이송 층으로부터 원거리에 있는(그리고 공통 제어하에서 조차 있지 않는) 어느 경우에 있어서, 그러한 조건 내에서 원거리 데이터 소스를 기초하는 신호를 송신하는 방송국은 그러한 방송국에 필요한 고정된 명세에 대한 방송 주파수를 제어하지 못한다. 또한, 동일 채널 또는 인접 채널 혼신 문제들을 위해 미국 연방 통신 위원회와 같은 규제 당국에 의해 요구되는 송신된 신호에 대한 주파수 오프셋은 원래의 데이터 레이트를 변화시키지 않고는 이루어질 수 없다. 본 발명의 한 양상에 있어서, 디지털 데이터 레이트에 대한 송신 주파수의 의존성은 도3의 회로에 의해 제거된다. 이 회로는 또한 요구될 정확한 주파수 오프셋을 만들기 위한 수단을 또한 제공한다.

도3 및 4는 인코딩된 데이터(21)의 아날로그 변조 주파수 신호를 생성하는 변조기(20)를 나타낸다. 표준 DTV 신호에 있어서, 인코딩된 데이터 신호(21)는 DTV를 위해 지정된것과 같은 8 VSB신호의 포맷내에 있을 것이다. 인코딩된 데이터 신호(21)는 NTSC 신호, FM 신호 및/또는 SSB 신호등과 같은 다른 변조된 신호가 될 수 있다. 8 VSB 신호의 경우에 대해서, 신호가 10.76 MHz에서 규격 센터 주파수를 갖고 8.06 MHz에서 규격으로 VSB 지표 신호를 갖는 도4에 나타나는 것과 같은 형식을 갖을 것이다. 정상적으로 인코딩된 데이터 신호(21)는 신호가 방송되고 방송 주파수로 상향변환되어야만 하는 주파수보다 상당히 아래인 주파수에 있다. 인코딩된 신호(21)는 먼저 IF신호(31)를 생성하도록 (믹서와 같은)주파수 정보 변환기(30)에 적용된다. IF 신호(31)는 다음 IF신호를 요구되는 채널 주파수로 상향 조정하기 위해 (믹서와 같은)제2 주파수 정보변환기(50)에 적용된다.제2 주파수 정보변환기(50)로부터 출력된 신호는 기재되듯이 증폭후에 로드에 적용될 것이다.

인코딩된 데이터 신호를 상향변환하기 위해 주파수 정보변환기(30)에 의해 이용되는 주파수는 데이터 클럭(302)에 의해 변형된 상태로 기준 주파수로(190)부터 파생된다. 이 방법으로, 인코딩된 데이터 신호는 디지털 데이터 레이트의 주파수에 대한 의존성이 제거되도록 하고 신호의 주파수는 규격 조건으로 또는 그에 가깝게 정정된다.

도3은 디지털 변조기(20)의 캐리어 또는 지표주파수에 대해 1대1의 비율로 프로그래머블 주파수 분할기(180)에 적용되는 디지털 데이터 클럭(302)을 또한 생성하는 디지털 변조기(20)를 보여준다.그래서 DTV

시스템을 위한 주파수 분할기로 부터의 신호(181)는 규격으로 8.06 MHz에 있다. 신호(181)는 제3주파수 정보변환기(150)에 적용된다.

기준 주파수(190)는 기준 분할기(80), 위상 감지기(90), 루프 필터(92) 및 전압제어발전기(VCO)(94)에 적용된다. 기준 신호(191)는 수치제어발전기(NCO)(120)에 적용된다. VCO(94) 및 NCO(120)으로부터 출력된 신호들은 제4주파수 정보변환기(130)에 적용된다. 제4정보 변환기(130)으로부터의 출력신호는 대역통과필터(BPF(140))되어 제3주파수 정보변환기(150)의 제2입력단자에 적용된다. 제3주파수 정보변환기(150)로부터의 출력신호는 제2BPF(170)에 의해 대역통과필터되고 위상 감지기(90)에 적용되기 전에 제2프로그램머블 주파수 분할기(98)에 의해 분할된다.

연산에 있어서, NCO(110)의 주파수는 기준 주파수(190)에 의해 제어된다. 기준 주파수는 지역적으로 생성되던지 또는 외부회로나 장치(도시되지 않음)로부터 수신될 것이다. 기준 주파수는 다른 유사한 회로에 적용되고 복수의 디지털-생성된 신호가 동일한 주파수에 로크되는 주파수가 될 것이다

NCO(120)는 IF신호(31)에 의해 요구되는 정도로 주파수 선명도를 제공할 수 있어야 한다. NCO(120)의 출력은 제4주파수 정보변환기(130)에서 VCO(94)의 출력으로부터 공제된다. BPF(140)은 제4주파수 정보변환기(130)로부터의 모든 불필요한 출력을 필터하기 위해 사용된다.

연산에 있어서 제3주파수 정보변환기(150)는 제1 BPF(140)의 출력으로부터 프로그램머블 분할기(180)의 출력 신호를 공제한다. 제2 BPF(70)은 제3 주파수 정보변환기(150)로부터 모든 불필요한 출력을 제거하고, 이 상이한 주파수를 제2프로그램머블 주파수 분할기(98)에 적용한다. 규격 신호 조건에 있어서, 제2프로그램머블 분할기(98) 및 기준 분할기(80)는 그것들의 출력 주파수가 동일하도록 설정된다. 이들 두 개의 분할기(98,80)의 출력은 위상 감지기(90)에 제공된다. 그래서, 위상감지기(90)의 출력은 두 개의 입력들 사이에서 위상차에 비례하고 루프필터(92)에 적용된다. 루프필터(92)는 위상 감지기(90)의 출력을 위상차에 비례하는 압력으로 변환하고 이 전압을 VCO(94)에 적용한다. 그 결과, VCO(94)는 기준 주파수에 로크되고 원래의 디지털 레이트에는 로크되지 않는 주파수이다.

비규격 데이터 레이트에서 입력 데이터 신호와의 연산에 있어서, 도3의 회로는 비규격 레이트의 효과를 제거한다. 예를들어, 만약 들어오는 데이터(10)의 클럭 레이트가 델타에 의해 비규격이라면, 신호(302)의 주파수는 $10.76 \text{ MHz} + \text{델타}$ 와 같고, 신호(181)의 주파수는 $8.06 \text{ MHz} + \text{델타}$ 와 같을 것이다. 델타는 제1주파수정보변환기(30)에서의 상향변환을 위해 이용된 신호가 델타에 의해 규격으로부터 또한 오프셋되도록 기준 주파수 성분들에 걸쳐서 그리고 궁극적으로는 VCO(94)에 걸쳐서 전개된다. 신호(21)에서의 데이터 신호가 델타에 의해 또한 오프셋 되므로, 제1주파수정보변환기(30)는 신호(31)를 델타 오프셋이 없도록 하는 두 개의 델타 성분들을 공제할 것이다.

DTV 표준 이송 프로토콜에 있어서, 동기신호(바이트)는 유일한 숫자가 아니다. 따라서, 데이터의 임의의 8개의 인접하는 비트가 동기 바이트에 동일하다면 동기화의 잘못된 지시가 주어질 것이다. 본 시스템은 이 잘못된 동기를 신뢰 카운터를 사용하여 극복한다. 신뢰 카운터는 동기 바이트의 수를 계속해서 카운트한다. 도2를 참조하여, 기대될 때 만약 동기 바이트가 데이터 회복 회로(202)에 의해 감지되지 않으면, 동기 로크를 가지는 신뢰는 감소되고 신뢰 카운터는 감소된다. 만약 몇몇 프레임이 데이터 스트림내에서의 특정한 바이트 위치에서 감지되는 동기 바이트 없이 발생한다면, 프레임 싱크로나이저는 시스템이 동기 로크밖에 있다는 것을 지시할 것이고 자동적으로 새로운 프레임 서치(search)를 하고 연산을 얻을 수 있다.

도5는 본 발명의 한 실시예를 도시하고 있고, 프레임 및 신뢰 카운터를 사용하는 비트 싱크로나이저는 직렬 형태(직렬 데이터)로 이송 층으로부터 수신되듯이 데이터를 수신할 것이고, 직렬 데이터는 직렬-병렬 변환기(750)에 의해 병렬 형태(8비트 병렬 데이터 워드)로 변환되고, 동기 감지기(752)에 제공될 것이다. 동기 감지기는 데이터 워드를 소정 동기 워드 및 동기가 발견되는지의 여부를 지시하는 신호가 신뢰 카운터(754)에 제공된다. 만약 동기가 기대되는 곳에서 발견된다면 신뢰카운터(754)는 카운터를 증가시키고, 동기가 기대되는 곳에서 발견되지 않으면 카운터를 감소시킨다. 동기는 마지막으로 감지된 동기 워드로부터 정확히 하나의 프레임이 기대된다. 그래서 모듈 카운터(758)는 마지막 동기 감지이후에 나타나는 워드들의 수를 카운트하고 동기가 기대되는 그 워드에서 신뢰 카운터(754)를 인에이블 한다. 만약 신뢰 카운터(754)가 소정 값에 도달한다면, 프레임이 동기로 고려되고 동기 로크 신호가 회로내에서 다른 엘리먼트들에 송출되고/또는 시스템 조작을 위해 표시된다. 만약 신뢰 카운터(754)가 0으로 감소된다면, 동기는 동기 로크 신호가 제거되도록 하고 동기를 새롭게 서치 시작 하도록 모듈 카운터(758)를 재설정(즉, 새로운 프레임 및 포착 모드를 시작)하는데 소멸되는 것으로 고려된다.

도5는 모듈 카운터(758)는 직렬-병렬 변환기(750)내에 들어오는 직렬 비트의 모듈 8 카운트를 또한 제공한다. 이 방법으로, 계수기(750)는 동기 감지 회로의 나머지와 나란히 비트로 남는다. 각 모듈 8 카운트의 마지막에는 데이터 워드가 동기 감지기에 제공되면서 데이터 랜더마이저에 제공된다. 데이터 랜더마이저 및 회로의 다른 엘리먼트들은 데이터 바이트가 쓸모있는지의 여부를 결정하기위해 동기 로크 신호를 이용할 수 있다. 신뢰 카운터는 동기 로크가 얻어지는 어느정도의 신뢰를 얻도록 용이하게 변형될 수 있다; 일반적으로, 요구되는 더높은 신뢰는 더긴 동기 감지 시간을 필요로한다. 또한, 동기 로크의 손실은 신뢰 카운터가 0으로 돌아갈때까지 기다릴 필요가 없다(예를들며, 5개의 정정 동기 감지가 로크를 얻기 위해 요구될 수 있으나, 동기를 감지하는데 3개의 연속하는 실패는 동기의 손실을 일으킬 수 있다). 그와 유사하게, 성공적인 동기 감지의 수는 동기가 로크되었을 때 신뢰카운터가 로킹(locking) 값을 초과하여 증가하지 않도록(그러나 기대되는 동기가 발견되지 않으면 감소할 것이다) 한도가 부과될 것이다.

입력 동기의 손실이후의 개시에서, 신뢰 카운터 회로는 포착 모드를 시작하도록 설정된다. 포착모드에 있어서, 직렬 데이터 비트는 8-비트 버퍼의 형태를 취할 직렬-병렬 변환기(750)에 직렬로 클럭 된다. 거기서, 각 클럭 사이클에서, 동기 바이트의 실재를 위해 8비트 데이터 워드가 감지된다. 만약, 동기 바이트가 감지된다면, 카운트 인에이블 비트는 설정되고 회로는 신뢰 시험 모드에 들어간다. 카운트 인에이블 비트가 설정될때마다, 모듈 1504 카운터는 다음 1504 비트(1프레임 또는 각 8비트의 188 워드)가 송신될 때까지 모듈 1504 계수기는 카운팅을 시작한다. 이 때에, 동기가 또다시 체크되고, 만약 존재한다면 처리가 반복된다. 만약 동기 바이트가 존재하지 않다면 카운트 인에이블 비트는 재설정되고 포착모드는 재시

작된다. 만약 연속하는 프레임 싱크의 소정 수가 감지된다면, 동기 로크 신호는 설정되고 회로는 프레임 로크 모드에 들어간다. 그런다음, 정상적인 연산은 시작하고 프레임 동기는 확실한 송신을 확실히 하기 위해 계속해서 체크된다. 만약 프레임 싱크가 프레임의 소정 수를 위해 발견되지 않으면, 회로는 포착모드로 되돌아가고 전체 처리를 재시작할 것이다.

신뢰 카운터 회로가 DTV 신호의 송신에서 그리고 DTV 또는 다른 디지털로 프레임된 신호를 수신하고 표시하려는 수신기에서 활용되는 것을 유의한다. 그러한 수신기들은 상기에서처럼 프레임 동기를 확립하고 유지하는 유사한 문제에 직면하고, 본 발명의 회로는 그러한 수신기들에 또한 유용할 것이다.

본 발명의 한 양상에 있어서, 이송층에 이용되는 신호의 주파수는 데이터 인터리버(interleaver)에 의해 송신층에서의 신호의 주파수와는 무관하게 만들어질 수 있다. 데이터를 데이터의 주파수가 변하게되는 방식으로 인터리브하는 것은 기존의 기술에서 알려져 있다. 예를들어, 도7은 이송층으로부터의 신호가 데이터를 19.39 MHz 레이트로 운반하면서 기존의 방식으로 인코딩하기 위해 리드 솔로몬 인코더에 전형적으로 제공되는 것을 나타낸다. 리드 솔로몬 인코더(550)를 역사이트하는 데이터는 인코드된 데이터를 인터리브하고 그것을 임의의 레이트로 보통은 버스트 모드로 리-타이머(Re-Timer) 버퍼(554)에 제공되는 마이크로프로세서(552)에 제공될 것이다. 리-타이머 버퍼(554)는 전형적으로 마이크로프로세서로부터의 버스트 모드데이터를 버퍼하고 클럭에 의해 제어되듯이 특정 레이트로 보통은 표준 1.76 MHz 레이트로 신호를 출력할 것이다. 종종 종래기술의 시스템에 있어서, 리-타이머 버퍼(554)에 제공되는 10.76 MHz 클럭 신호는 19.39 MHz 클럭(종종 데이터들부터 얻어짐)으로부터 파생되는 PLL(556)으로부터 발생될 것이다.

본 발명의 또다른 양상에 있어서, 이전 기술의 버스트 모드 마이크로프로세서는 적합한 인터리버 버퍼로 제거될 것이다. 도7은 이송층의 주파수 19.39 MHz에서 데이터를 수신하고 인코드된 데이터를 데이터 인터리버 버퍼(208)에 제공하는 것을 나타낸다. 데이터는 43.04 MHz의 레이트로 인터리버 버퍼(208)로부터 출력되고, 송신층과 관련되는 10.76 MHz 레이트로 격자 인코드된 데이터를 출력하는 격자 인코더(210)에 제공된다. 레이트가 변환된 43.04 MHz 클럭은 격자 인코더(210)에 유용하고 그러므로 인터리버 버퍼(208)로부터 그리고 격자 인코딩을 위해 데이터의 추출을 맞추는데 이용될 수 있다는 것을 유의한다. 격자 인코더에 대한 클럭들은 43.04 MHz 클럭 신호를 생성하도록 임중계 19.39 MHz 클럭 신호를 $313 \times 207 \times 832 / 312 / 188 / 828$ 의 비율로 변환하는 레이트 변환기(650)에 의해 제공된다. 결과적인 클럭 신호는 4의 인자에 의해 감소되거나 분할될 수 있고 송신층 내에서의 다른 엘리먼트들에 제공될 것이다. 본 발명의 이 엘리먼트에 있어서, 인터리버 버퍼(208)의 어느쪽(입력 또는 출력)에 대한 디지털 엘리먼트들은 이전 기술에서 보다 좀더 간단하게 만들어지는데 그 이유는 이들 엘리먼트들이 연속모드내에서 연산할 수 있고 버스트 모드 연산을 위해 크기가 맞추어질 필요는 없기 때문이다.

도6은 데이터로부터(본 발명의 또다른 양상에서 수신되거나 정정되었던) 또는 국부 발진기로부터 얻어지는 19.39 MHz 클럭을 나타낸다. 국부 발진기의 사용은 격자 인코더가 이송 신호 내에서 이송 신호의 손실 또는 클럭의 손실에도 불구하고 계속해서 연산할 것을 확실히 한다. 결국, 국부 클럭은 이송층으로부터의 신호(인코드된 신호)의 손실 시에 리드 솔로몬 인코더를 구동하기 위해 이용될 수 있다. 적어도 하나의 공포된 표준은 원래에 인코드된 신호가 손실될지라도 송신층이 계속해서 신호(일반적으로 가상랜덤 신호)를 송신할 것을 요구하기 때문에, 연산에 있어서 리드 솔로몬 인코더를 유지하는 것은 송신 신호를 유지하기 위해 필요한 데이터 신호를 제공한다.

본 발명의 또다른 실시예에 있어서, 만약 충분히 견고한 디지털 신호 프로세서(DSP)가 사용된다면, 모든 리드 솔로몬 인코딩, 데이터 인터리빙 및 격자 인코딩 및 주파수 변환이 요구되는 클럭이 제공된 하나 또는 그이상의 적합하게 프로그램된 DSP의 체인 내에서 이루어질 수 있다.

도8은 클럭 신호(19.39 MHz 신호와 같은)를 수신하는 디바이드 바이(Divide By) 141 회로(570)를 포함하고, 주파수 분할 신호를 위상 감지 회로(572)에 그리고 그후 열적으로 보상된 전함 제어 발진기(576)를 구동하는 루프 필터(574)에 제공하는 레이트 변환기를 나타낸다. TXCO(576)의 출력은 버퍼에 제공되고 위상 감지기(572)에 또한 연결되는 디바이드 바이 313 회로(580)에 피드백된다. TXCO(576)는 요구되는 출력 주파수(예를들면, 43.04 MHz)에서 중심주파수를 갖고 표준 DTV 시스템에서 캐리어 주파수의 최대 허용 제어편차인 ± 3 Hz에서 레일(rail)을 갖는다.

연산에 있어서, 클럭 주파수가 회로를 향한 입력에 존재하고 그 신호의 주파수가 시스템의 요구되는 한계 내에 있는한, 발생된 43.04 MHz 클럭은 입력 신호를 추적하도록 허용될 것이다. 만약 입력 신호가 한계 밖에서 주파수에 있어 변한다면, TXCO(576)는 그 레일 밖으로 가지 않고 요구되는 명세내에서 출력 주파수를 한계유지할 것이다.

도8은 입력 신호의 출력신호를 위한 기초로서 역할을 하는 입력 신호의 이용 가능성은 신뢰 카운터 회로와 관련하여 여기서 기재되는 동기 로크 신호와 같은 외부 신호에 의해 지시될 것이다. 시스템이 동기밖에 있을 때, 게이트(582)는 TXCO(576)를 요구되는 출력 주파수로 구동시킬 전압 신호를 제공할 수 있다. 만약 요구된다면, 전압 신호의 크기는 사용자-설정 퍼텐셜미터(도시되지 않음)를 통하는 것과 같은 시스템의 조작자에 의해 설정될 수 있다.

도9, 10 및 11은 인코드된 디지털 데이터의 스트림(DATA IN)을 수신하는 격자 인코더를 나타낸다. 디지털 데이터 스트림은 회로의 나머지와 때를 맞춰 데이터를 배열하기 위해 FIFO 버퍼(52) 및 스테이징/타이머 회로(54)에 적용된다. 적당한 때에, 데이터는 인코딩 싱크의 룰에 따라 적당한 2 비트 니블을 입력 디지털 데이터로부터 선택하는 니블 선택 회로(56)에 적용된다. 교대로, 선택된 니블들은 (DTV 시스템을 위해 그것에 입력되는 데이터의 각 2비트에 대해 출력 데이터의 3 비트를 공급하는)격자 인코더(58)에 의해 인코딩된다. 격자 인코더(58)로부터 출력되는 데이터는 데이터를 동기 비트 및/또는 멀티플렉서의 가상 랜덤 숫자 인코딩 출력으로 다중화하는 멀티플렉서에 공급된다. 도9의 회로의 연산은 데이터의 프레임링, 심볼(symbol) 재설정 및 세그먼트 카운터(53,55)를 적합하게 조정하는 제어 논리회로(51)에 의해 제어된다. 카운터(53,55)의 출력은 프레임 내에서 들어오는 데이터의 위치를 알 필요가 있는 각 엘리먼트가 가능한 그 데이터를 갖도록 회로의 다른 엘리먼트들에 페이싱 신호를 제공하는 인에이블러(57)에 제공된다.

연산에 있어서, 디지털 데이터 스트림은 격자 인코더 회로에 제공되고 입력 버퍼 및 스테이징 엘리먼트들에 의해 수신된다. 제어논리회로(51)는 프레임 경계를 결정하기 위해 들어오는 데이터를 관찰한다. 프레

이미지가 이루어지면, 제어 논리회로(51)는 새로운 프레임을 시작하기 위해 심볼 카운터(53)와 세그먼트 카운터(55)를 재설정한다. 데이터가 그후 수신되므로 심볼 및 세그먼트 카운터(53,55)는 증가되고 자체가 데이터의 포맷에 따라 순환한다. 심볼 및 세그먼트 카운터(53,55)는 적합한 제어/선택 신호를 회로의 다른 엘리먼트들에 송출하는 인에이블러(57)를 구동시킨다.

도9는 인에이블러(57)로부터의 신호에 의해 안내된다면 니블 선택 회로(56)는 다음에 인코드될 입력 데이터 스트림으로부터 적합한 니블을 선택하는 것을 나타낸다. 표준 DTV 신호의 경우에 있어서, 임의의 다른 변환 스킴이 실행될 수 있을 지라도 선택된 니블들은 DTV 명세[첨부 D, 디지털 텔레비전 표준에 대한 표 2]에 따라 이루어진다. 그후, 각 니블은 격자 인코더(58)에 의해 선택되는 순서에 따라 인코드된다. 지정된 프로토콜을 위해 적합하듯이 그리고 인에이블러(57)에 의해 안내되듯이, 멀티플렉서는 시스템에 의해 따르게 되는 프로토콜과 일치하여 격자 인코드된 데이터 또는 동기 데이터를 양자택일로 출력한다. 입력 데이터 신호가 손실되거나 동기를 손실한 경우, 데이터 비트의 가상 스트림(PN)은 멀티플렉서(54)에 의해 출력 데이터 스트림에 적용될 수 있다.

니블 선택 회로(56)는 각 12개의 기억 레지스터(R1,R12)에서 디지털 데이터의 스트림을 수신한다. 입력 데이터의 스트림은 직렬로 도착하고, 기억 레지스터(R1,R12)중 연속하는 것에 순환될 것이다. 12개의 레지스터들은 제1 멀티플렉서(62)의 한쪽에 연결된다. 프레임 내에서 입력 데이터의 위치에 기초하는 멀티플렉서 제어 신호(도시되지 않음)의 제어하에서, 제1 멀티플렉서(62)는 그것의 출력 터미널에서 입력 데이터의 바이트들 중 하나를 제시한다. 제2멀티플렉서 제어 신호의 제어하의 제2멀티플렉서(64)는 선택된 바이트를 수신하고 출력할 데이터의 2비트를 선택한다. 출력 비트는 2비트를 3비트로 인코드하는 격자 인코더에 적용되고, 그다음 송신 시스템 내에서 다음 스테이지에 통과된다.

도10은 본 발명에서 사용되는 니블 선택 회로(56)가 디지털 데이터의 스트림(DATA IN)을 수신하는 니블선택회로(56)이다. 모든 레지스터들이 순환하도록 격자 인코딩 회로는 입력 멀티플렉서(72), 일련의 12개의 레지스터(R1,R12)중 처음 또는 열(12)내의 마지막 레지스터의 내용으로부터의 데이터로 일련의 12개의 레지스터(R1,R12)중 첫번째것을 로드하는 입력 멀티플렉서(72)를 포함할 것이다. 각 비트 선택 시간에서, 마지막 레지스터(R12)의 내용은 미리선택된 프로토콜과 일치하여 마지막 레지스터(R12)로부터의 비트들중 2개를 선택하는 니블선택회로(74)에 제시된다. 각 니블이 마지막 레지스터로부터 선택되므로, 레지스터들의 내용은 한 번에 한 레지스터가 순환되어, 한 세그먼트 내의 모든 12 바이트가 니블 선택 회로(74)에, 교대로, 총 4번 제공된다. 12 워드들의 모든 비트가 니블 선택 회로(74)로부터 출력될 때, 입력 멀티플렉서(72)는 데이터의 다음 세그먼트를 인코드하기 위해 12개의 레지스터(R1,R12)내에 새로운 데이터를 로드한다.

또한 격자 인코더 회로의 또다른 실시예가 입력 데이터 스트림(DATA IN)이 제1 멀티플렉서(82)에 의해 12개의 병렬 레지스터(R1,R12)로 향하게 되는 도11에 나타난다. 레지스터들이 로드된다면, 각 기억 레지스터(R1,R12)에 연관된 니블 선택 회로(84)는 그것과 관련된 기억 레지스터(R1,R12)로부터 2 데이터 비트를 선택하고 선택된 비트를 관련 격자 인코더(86)에 제공할 것이다. 각 격자 인코더(86)는 수신된 비트를 소정 인코딩 스킴에 따라 인코딩하고 3개의 인코드된 비트를 출력 멀티플렉서(88)의 출력에 제공한다. 출력 멀티플렉서는 프로토콜에 따라 적합한 격자 인코더(86)로부터 인코드된 비트를 선택한다. 만약 표준 DTV 시스템의 격자 인코딩 스킴이 이용된다면 도11에서의 실시예의 격자 인코더는 1의 뎀스(depth)를 요구하고 반면 도10의 격자 인코더는 12의 뎀스를 요구하는 것을 유의한다.

신호 증폭기가 증폭되는 신호에 비-선형을 자주 삽입한다는 것은 잘 알려져 있다. 그러한 비 선형 증폭기에 의해 증폭될 신호를 선형화 하기 위해, 증폭기에 의해 적용될 것으로 기대되는 비선형 효과에 정반대인 방법으로 입력신호를 미리-왜곡시키는 것은 또한 잘 알려져 있다. 도12는(신호 대 주파수의 진폭을 나타내고 있으며), 도12(A)에서의 형태를 가지는 입력신호는 도12(B)에서 보여주는 전승함수에 의해 미리-왜곡(프리-커렉션(pre-correction))될 것이다. 증폭기가 도12(C)에서 보여주는 증폭효과를 프리-커렉션된 입력 신호에 적용한 후, 도12(D)에 나타나듯이 정정된 증폭된 신호 형태가 얻어진다. 추가적인 설명을 위하여, 도13에서는 도12에서 도시된 동일한 신호 및 효과가 기술되며, 이 세트의 도면 그림은 주파수 영역 내에 도시된다.

기존의 프리-커렉션 방법은 보통 증폭기의 주파수 응답 및 시스템 대역폭에 제한되는 것이 알려져 있다. 증폭기의 왜곡을 취소하기 위해 사용된 프리-커렉션 생성은 위상에 및 진폭에 있어서 증폭기의 입력 회로에 의해 변형된다. 위상 및 진폭에 있어서의 이들 변화는 증폭기에 있어서의 왜곡 생성의 취소를 제한한다. 예를들면, 전형적인 증폭기의 입력 회로들은 해당 주파수 대역에 대해 도14에서 도시하는 진폭 및 위상 응답을 자주 갖는다. 이들 진폭 및 위상 변화는 프리커렉션이 증폭의 모든 바라지않는 왜곡을 취소하지 않도록 한다. 그러한 회로내에서 보통 얻어지는 결과적인 신호는 주파수 영역 시리즈 도면인 도15에 나타난다. 정정되지 않은 왜곡에 의해 야기되는 주파수 엘리먼트들의 사이드로브(sidelobe)를 유의한다.

요구되지 않는 비선형성을 제거하기 위한 하나의 방법은 이전 기술의 프리-커렉션 및 비-선형 증폭기 사이에 진폭 및 위상 커렉터를 삽입시키는 것이다. 커렉터는 그것의 진폭 및 위상 응답이 비-선형 증폭기의 진폭 및 위상 응답의 반대가 되도록 조절된다.

도16은 비-선형 증폭기(170) 및 그것의 관련 증폭기 입력 회로(166) 및 증폭 출력 회로(172)를 포함하는 개선된 증폭 시스템 응답을 실행할 수 있는 회로이다. 입력에 대한 진폭을 위한(즉, 선형성 커렉터) 그리고 입력에 대한 위상을 위한(즉, 위상커렉터) 프리커렉션 회로가 특정한 증폭기(170) 및 해당 주파수범위를 위한 기존 방식으로 비-선형을 위해 조절할 것이다. 주파수 응답 및 위상 커렉터(166)가 선형성 커렉터(164) 및 증폭기 입력 회로(168) 사이에 위치되고 입력 회로를 보상하기 위해 조정되며, 엘리먼트의 캐스캐이드된 쌍의 네트 결과는 단일이 된다. 이러한 방법으로 프리커렉션 신호는 비-선형 증폭기(170)내에서 완전히 보상될 수 있다.

도16의 회로에서 위상 커렉터(162)는 선형성 커렉터(164)에 앞선다는 것을 유의한다. 만약 이들 커렉터가 순서에 있어 반대가 된다면 진폭 프리-커렉션의 조정인 위상 프리-커렉션에 있어서 원하지 않는 변화를 야기하기 때문에 이것은 이들 커렉터의 바람직한 구성이다. 이들 바람직하지 못한 변화들은 제거될 수 있다; 반면, 바람직하지 못한 상호작용의 효과를 제거하기 위한 회로의 조정은 더욱 어렵게 된다.

비-선형 증폭기(170)의 증폭기출력회로(172)는 또한 전체 시스템 주파수 및 위상 응답을 자주 변형시킬 것이다. 이 효과를 제어하기 위해, 주파수 응답 커랙터(160)가 주파수 및 위상 응답에 있어서의 투명성을 위해 전체 시스템을 정정하도록 추가될 수 있다.

주파수 응답 커랙터(160, 166)은 개별적으로 지정된 주파수 범위에서 신호의 주파수 응답 및 그룹 지연(또는 위상)응답을 변형할 수 있는 날날오된 선형 커랙션 회로에서 각각 구현될 것이다. 이들 커랙터는: (1)위상(지연)과는 무관하게 주파수에 대한 진폭을 변조하고; (2)주파수(그룹 지연으로 일컬음)에 대한 위상(지연)을 변조할 수 있어야 한다. 바람직한 실시예에 있어서, 주파수 응답 커랙터들은 서로에 무관하게 이들 상태의 기능들을 실행할 것이다..

위상 커랙터(162)는 신호의 위상 전송 함수를 입력 레벨의 함수로서 변환할 수 있는 날날오된 선형 커랙션 회로에서 구현될 것이다. 선형성 커랙터(164)는 입력 레벨의 함수로서 신호의 선형성 전송 함수를 변환할 수 있는 기존의 날날오된 선형 커랙션 회로에 의해 구현될 것이다. 도16의 회로에 사용된 증폭기는 입력 신호의 레벨을 더 높은 레벨로 증가시키기 위한 임의의 장치일 것이고 일반적으로 전송 함수에 있어서 비-선형성 또는 비연속성을 갖는다. 그러한 증폭기는 고형상태(바이폴러 MOSFET, LDMOS, 시리온 카바이드 등과 같은)이거나 진공관(IOT, 4극관, 속도변조관 등과 같은)일 것이다. 증폭기 입력 회로들(168)은 전형적으로 입력 매칭 회로, 필터, 공동 공진기, 순환장치 등과 같은 증폭기로서의 입력 회로들을 포함할 것이다. 증폭기 출력 회로들(172)은 전형적으로 출력 매칭 회로, 필터, 공동 공진기 등과 같은 증폭기로부터의 출력 회로들을 포함할 것이다.

본 발명의 이 양상에 있어서 이용되는 커랙터들의 세트는 위상 커랙터(162) 및 선형성 커랙터(166)로 시작하여 설계될 것이다. 그러한 커랙터 외로들은 일반적으로 증폭기의 비정상을 역으로 매칭시키는 요구되는 미리왜곡된 신호를 생성하도록 설계될 수 있다. 선형성 및 위상 커랙터를 설계한 후에 선형성 커랙터 다음에 오는 주파수 응답 커랙터는 증폭기 입력 회로에 의해 야기된 주파수 관련 오류를 위해 정정할 것이므로 다음에 설계될 수 있다. 최종적으로, 신호 흐름의 초기에서의 주파수 응답 커랙터는 증폭기 출력 회로를 포함하는 총 전송 함수에서의 오류를 미연에 방지하도록 설계될 수 있다.

도17은 엘리먼트들이 도16의 엘리먼트에서 공통이고 공통의 참고번호가 주어지며, 이전 기술 시스템에서의 프리-커랙션이 중간 주파수에서 자주 이루어진다는 것이 알려져 있다. 본 발명의 이 양상의 블록 다이어그램은 주파수 믹서(또는 정보변환기)(174)가 프리커랙션 엘리먼트 및 비-선형 증폭기(170) 사이에 위치되는 도7에서 보여주는 것과 같이 변형될 것이다. 믹서(174)는 새로운 주파수로 증폭되는 신호를 정보변환하기 위해 주파수 기준(176)으로부터의 신호로 공급될 것이다. 주파수 기준(176)은 발진기, 튜닝이 이루어진 회로, 외부 기준, 또는 기준 주파수를 제공하기 위한 임의의 기준 수단 또는 회로를포함할 것이다.

다른 채널들과의 최소의 혼신을 확보하도록 DTV방송국에 부과될 뻔뻔한 주파수제어요구는 상호변조 생성 및 주파수 안정 및 제어의 효과에 특별한 주의가 주어져야 한다. 만족할만한 주파수 제어를 얻기위한 하나의 시스템이 도18 및 19의 기능적 블록 다이어그램내에서 설명되며, 이 도면은 텔레비전 신호들이 발생하는 전형적인 장소(스튜디오와 같은)[도18]를 나타내고 그곳에서 그것들은 방송(송신기 사이트와 같은)[도 19]이다. 도18은 다중 및 대체소스로부터의 텔레비전신호인 스튜디오 A/V가 외부 클럭 기준(182)을 사용하는 기존의 방식으로 신호를 인코딩하는 기존의 MPEG-2 인코더(180)에 제공되는 것을 나타낸다. 클럭 기준(182)은 임의의 높은 안정된 클럭 소스일 것이고, GPS신호와 같은 특히 원거리 위치에서 용이하게 수신될 수 있는 클럭 소스일 것이다. 인코더(180)는 지역 오디오-비주얼 모니터(184)에 모니터 신호를 제공하기 위해 내부 디코더를 제공할 것이다. 인코딩된 텔레비전 신호(들)는 들어오는 MPEG-2 신호를 그랜드 얼라이언스(Grand Alliance) 시스템의 이송층을 위해 필요한 적당한 포맷으로 포맷할 그랜드 얼라이언스 이송 머신(186)에 제공된다. 대신에, GA 이송 기계는 (선택성 스위치를 통하여) 외부 MPEG-2 신호 발생기로부터 신호를 수신할 것이다. 이송 포맷된 신호는 이송 포맷된 신호를 다른 데이터와 함께 다중화하고 방송 송신기 사이트로 송신을 위해 다중화된 데이터를 송신시설(190)에 제공하는 멀티플렉서(188)에 제공될 것이다. 다소 병렬 통로를 따라, 표준 텔레비전비디오신호 또는 신호들이 아날로그-디지털 변환기에 의해 디지털 형태로 변환될 것이고, 디지털화된 비디오 신호는 해당 디지털 오디오 신호와 함께 NTSC 4/1 압축기(194)에 제공될 것이다. 압축된 디지털 NTSC 신호는 이송 포맷된 신호와의 다중화를 위해 그리고 송신 시설(190)에 의한 송신을 위해 멀티플렉서(188)에 제공된다. 인코더(180), 이송 머신(186), 멀티플렉서(188), A/D (192) 및 압축기(194)의 각각은 공통 클럭 기준(182)에 로크된다. 만약 클럭 기준이 잘-알려진 지구측위 위성 시스템(또는 모든 유사한 유용한 안정 시스템) 으로부터 주어진다면, 스튜디오 사이트는 위성 시스템에 의해 제공되는 1 MHz 기준 신호를 사용할 수 있다. 그래서, DTV 신호(이송 머신(186)에 의해 발생된) 및 디지털 NTSC 신호 모두는 송신기 사이트로의 효과적인 디지털 송신을 위해 로크된다. DTV신호가 공통 기준 클럭에 로크되기 때문에 다중화는 디지털 NTSC신호와 동기모드로 이루어질 것이다.

도19는 다중화된 신호가 송신기 사이트에 도착할 때 그것은 (송신 시설(190)에 의해 제공되는 순방향 오류 정정 신호를 이용하는) 역다중화기에 의해 역다중화되고, 두 개의 데이터 스트림 DTV 및 NTSC로서 제공되는 것을 도시한다. DTV신호는 DTV방송을 위해 포맷될 것이고 익사이터(200)에 의해 증폭되고, 파워 증폭되고 상향변환될 것이고, 궁극적으로는 적합한 안테나(204)를 통하여 방송할 것이다. NTSC 신호는 NTSC 디코더(208)에 의해 방송하도록 디코딩되며 기존의 수단을 통하여 방송할 것이다. 역다중화기(198), 익사이터(200), PA 상향변환기(202) 및 NTSC디코더(208)는 각각 공통 클럭 기준(212)에 로크될 것이다.

송신기 사이트에서의 클럭 기준(212)은 스튜디오 사이트에서 사용되는 클럭 기준(182)에 공통하도록 최적으로 선택된다[도18]. 예를 들면, 양 사이트들은 동일한 GPS기준신호를 이용할 수 있다. 동일한 기준 신호(GPS 10 MHz 신호와 같은)를 이용하여, DTV신호 및 NTSC 신호가 동일한 안정 소스에 로크된다. 그 결과, NTSC 색 신호 (3.58 MHz에서)는 송신된 DTV 지표신호 및 송신된 NTSC색신호 사이에서의 혼신의 가능성 및/또는 심함을 감소시킬 안정 주파수 소스에 로크된다.

발명의 효과

다른 안정 클럭 주파수 신호는 본 발명의 잇점을 얻기위해 스튜디오 사이트 및 송신 사이트 사이에서 공통으로 이용될 수 있다. 예를들어, 만약 스튜디오 사이트가 송신기 사이트에 충분히 가깝다면, STL 송신은 제거될 수 있고 클럭 신호는 스튜디오와 송신기 사이에서 기존의 수단에 의해 운반될 수 있다.

필요하다면, 도18 및 19에서 클럭 기준(CLK REF)에 관련되는 것으로 보이는 모든 성분들보다 더 적은 성분들은 단일(또는 관련된) 클럭 기준에 묶여질 필요가 있다. 본 발명의 이 실시예로부터 얻어지는 인접 및 동일채널 혼신에서의 개선은 DTV 익사이터(200) 및 송신기(PA 및 상향변환기(202))가 공통 클럭 기준을 사용할때만이 얻어질 수 있다. 또한, 본 발명의 잇점들이 복수 사이트에서 공통 클럭 기준을 사용하여 더욱 폭넓게 활용될 수 있다. 만약 복수 익사이터들 및 송신기들이 위성 신호와 같은 공통 안정 기준을 사용한다면, 각각은 동일발생된 텔레비전 신호 뿐만 아니라 할당된 채널들이 주파수 부정확으로부터의 혼신을 다르게 일으키는 다른 사이트들에서 발생된 다른 신호들로도 혼신을 감소시키는 NTSC 및 DTV 신호를 발생시킬 수 있다.

(57) 청구의 범위

청구항 1

소스로부터 텔레비전 디지털 신호를 수신하여 그 텔레비전 디지털 신호를 안테나를 통해 텔레비전 송신기 전력 증폭 스테이지에 의해 방송하기 위한 표준 포맷으로 변환하는 익사이터 회로에 있어서, 상기 익사이터 회로는 디지털 클럭 신호 및 디지털 데이터 신호를 분리하여 출력하도록 추출된 디지털 클럭 신호를 출력하기 위한 입력 텔레비전 디지털 신호로부터 데이터 및 클럭 신호를 추출하는 데이터 회복 회로, 디지털 데이터 신호에 따라, 입력 텔레비전 디지털 신호 레이트에서 디지털 데이터 신호를 수신하기 위해 동기화된 패킷으로, 추출된 디지털 데이터 신호의 순서를 변경하기 위한 랜더마이저 회로, 제2 층 레이트로 디지털 데이터 신호의 패킷을 수신하기 위해 동기화된 디지털 데이터 신호 패킷의 중첩 인터리빙을 수행하는 인터리버 회로, 중첩 인터리브 디지털 데이터 신호를 디지털 텔레비전 표준에 따라 격자 코드와 인코드하는 인코더 회로, 세그먼트 및 필드 동기 신호를 인코드된 디지털 데이터 신호에 삽입하기 위한 동기 삽입 회로, 인코드된 디지털 데이터 신호의 스펙트럼을 디지털 텔레비전 표준으로 제한하는 필터 회로, 추출된 디지털 클럭 신호를 필터 회로 출력으로 삽입하는 신호 삽입 회로 및 전력 증폭기 스테이지에 의한 송신 형식으로 디지털 데이터 신호 및 디지털 클럭 신호를 아날로그 신호로 변환하기 위한 디지털 아날로그 변환회로를 포함하는 것을 특징으로 하는 익사이터 회로.

청구항 2

송신기에 의한 송신을 위해 클럭 신호를 포함하는 디지털 텔레비전 신호를 수신하며, 데이터 신호 및 클럭 신호를 각각 제공하기 위해 디지털 텔레비전 신호로부터 데이터 신호 및 클럭 신호를 추출하는 데이터 회복 회로, 디지털 텔레비전 표준에 따라 데이터 신호의 순서를 변경하도록 데이터 회복 회로로부터 데이터 신호를 수신하는 랜더마이저, 패킷으로 디지털 신호를 인코드하도록 랜더마이저로부터 변경된 데이터 신호를 수신하는 제1 인코더, 인코드된 디지털 신호로 중첩 인터리빙을 수행하도록 리드 솔로몬 인코더로부터 디지털 신호 패킷을 수신하는 인터리버, 디지털 텔레비전 표준에 따라 중첩된 디지털 신호를 인코드하도록 중첩된 디지털 신호를 인터리버로부터 수신하는 제2 인코더, 동기 신호를 삽입하도록 인코드된 디지털 신호를 제2 인코더로부터 수신하는 동기 삽입 회로, 디지털 텔레비전 표준에 따라 조합된 디지털 신호 스펙트럼을 제한하도록 조합된 디지털 신호를 동기 삽입 회로로부터 수신하는 필터 및 클럭 신호를 수신하며 제2 인코더, 동기 삽입 회로 및 클럭 신호와는 관계되지만 클럭 신호가 사전 설정 한계를 벗어나는 경우에는 클럭 신호와는 독립되어 적용되는 필터에 개별 클럭 신호를 제공하는 레이트 변환 회로를 포함하는 것을 특징으로 하는 디지털 텔레비전 송신기용 익사이터 회로.

청구항 3

제 2 항에 있어서, 상기 레이트 변환 회로는 사전 설정 한계의 허용된 제어편차를 갖는 중심 주파수를 포함하는 제어 가능한 발진기와, 운송 총 클럭 기능 및 발진기의 사전 설정 한계내에서 발진기의 주파수를 제어하도록 발진기에 적용되는 차동 신호를 제공하기 위한 발진기 출력 기능을 하는 신호를 수신하는 검파기 회로를 포함하는 것을 특징으로 하는 익사이터.

청구항 4

제 3 항에 있어서, 레이트 변환 회로는, 발진기가 동기 신호의 아웃을 수신할 때 사전 설정 주파수를 출력하고 바람직하게는 디지털 신호 클럭이 19.39 MHz인 규격 주파수에서 흐르고 발진기 중심 주파수가 +/- 3Hz의 최대 허용 제어편차로 레일을 가지고 43.04 MHz이도록 발진기에 제어 신호를 적용하기 위한 동기 신호 아웃을 수신하는 동기 제어 회로를 포함하는 것을 특징으로 하는 익사이터 회로.

청구항 5

제 1 항 내지 제 4 항중 어느 한 항에 있어서, 조합 디지털 신호를 아날로그형식으로 변환하기 위해 필터 회로로부터 조합 디지털 신호를 수신하는 디지털 아날로그 변환기 및 파일럿 신호를 조합 디지털 신호에 삽입하도록 필터 회로 및 디지털-아날로그 변환기 사이에 연결되며 파일럿 신호 주파수가 8.07 MHz로 규격화된 신호 삽입 회로를 포함하는 것을 특징으로 하는 익사이터 회로.

청구항 6

송신기에 의한 송신을 위해 클럭신호를 포함하는 디지털 텔레비전 신호를 수신하며, 데이터 신호 및 클럭 신호를 분리하여 제공하도록 디지털 텔레비전 신호로부터 데이터 신호 및 클럭 신호를 추출하는 데이터 회복 회로, 디지털 텔레비전 표준에 따라 데이터 신호의 순서를 변경하도록 데이터 회복 회로로부터 데이터 신호를 수신하는 랜더마이저, 디지털 신호를 인코드하도록 랜더마이저로부터 변경된 데이터 신호를 패킷으로 수신하는 제1 인코더, 인코드된 디지털 신호로 중첩 인터리빙을 수행하도록 리드 솔로몬 인코더로부터 디지털 신호 패킷을 수신하는 인터리버, 디지털 텔레비전 표준에 따라 중첩된 디지털 신호를 인코드

하도록 인터리버로부터 중첩된 디지털 신호를 수신하는 제2 인코더, 디지털 신호내에 동기 신호를 삽입하도록 제2 인코더로부터 인코딩된 디지털 신호를 수신하는 동기 삽입 회로, 디지털 텔레비전 표준에 따라, 조합된 디지털 신호의 스펙트럼을 제한하도록 동기 삽입 회로로부터 조합된 디지털 신호를 수신하는 필터, 조합된 디지털 신호를 아날로그 형식으로 변환하기 위한 필터회로부터 조합된 디지털 신호를 수신하는 디지털 아날로그 변환기 및 파일럿 신호를 조합된 디지털 신호에 삽입하도록 필터 회로 및 디지털 아날로그 변환기 사이에 연결된 신호 삽입 회로를 포함하는 것을 특징으로 하는 디지털 텔레비전 송신기용 익사이더 회로.

청구항 7

제 5 항에 있어서, 파일럿 신호는 8.07 MHz인 것을 특징으로 하는 익사이더 회로.

청구항 8

소스로부터 텔레비전 디지털 신호를 수신하여 그 텔레비전 디지털 신호를 안테나를 통해 텔레비전 송신기 전력 증폭 스테이지에 의해 방송하기 위한 표준 포맷으로 변환하는 익사이더 회로에 있어서, 상기 익사이더 회로는 디지털 클럭 신호 및 디지털 데이터 신호를 분리하여 출력하도록, 추출된 디지털 클럭 신호를 출력하기 위한 입력 텔레비전 디지털 신호로부터 데이터 및 클럭 신호를 추출하는 데이터 회복 회로, 디지털 텔레비전 표준에 따라, 추출된 디지털 데이터 신호 순서를 변경하는 랜더마이저 회로, 입력 텔레비전 디지털 신호 레이트로 디지털 데이터 신호를 수신하기 위해 동기화된 패킷으로 디지털 데이터 신호를 인코딩하는 인코더 회로, 제2 층 레이트로 디지털 데이터 신호의 패킷을 수신하기 위해 동기화된 디지털 데이터 신호 패킷으로 중첩 인터리빙을 수행하는 인터리버 회로, 중첩 인터리브된 디지털 데이터 신호를 디지털 텔레비전 표준에 따라 격자 코드와 인코딩하는 인코더 회로, 세그먼트 및 필드 동기 신호를 인코딩된 디지털 데이터 신호에 삽입하기 위한 동기 삽입 회로, 인코딩된 디지털 데이터 신호의 스펙트럼을 디지털 텔레비전 표준으로 제한하는 필터 회로, 추출된 디지털 클럭 신호를 필터 회로 출력으로 삽입하는 신호 삽입 회로 및 전력 증폭기 스테이지에 의한 송신 형식으로 디지털 데이터 및 디지털 클럭 신호를 아날로그 신호로 변환하기 위한 디지털 아날로그 변환회로를 포함하는 것을 특징으로 하는 익사이더 회로.

청구항 9

디지털 데이터 스트림 및 디지털 텔레비전 신호에 대응하는 클럭신호를 수신하는 데이터 회복 회로, 랜더마이저 회로, 제1 인코더, 인터리버 회로, 제2 인코더, 동기 삽입 회로 및 필터 회로를 포함하는 디지털 텔레비전 송신기용 익사이더 회로의 타이밍을 제어하는 방법에 있어서, 상기 방법은, 디지털 데이터 스트림 클럭 레이트 기능을 하는 클럭 레이트로 데이터 회복 회로, 랜더마이저 회로, 제1 인코더 회로 및 인터리버 회로를 작동하는 제1 단계 및 디지털 데이터 스트림 클럭 레이트 기능을 하지만 디지털 데이터 스트림 클럭 레이트가 사전 설정 한계를 초과하는 경우에는 디지털 데이터 스트림 클럭 레이트와는 독립된 클럭 레이트로, 제2 인코더, 동기 삽입 회로 및 필터 회로를 작동하는 제2 단계를 포함하는 것을 특징으로 하는 방법.

청구항 10

제 9항에 있어서, 상기 방법은 차동 신호를 제공하기 위해 제한된 주파수 범위의 발진을 갖는 신호 제한된 발진기의 클럭레이트와 디지털 데이터 스트림 클럭 레이트를 비교하는 제 3단계, 신호 제어된 발진기가 제한된 범위의 발진을 하기 위해 제어되며 차동신호가 디지털 데이터 스트림 클럭 레이트가 사전 설정 한계를 벗어 나는 지를 지시하는 경우에 디지털 데이터 스트림 클럭에는 의존하지 않을 때, 디지털 데이터 스트림 클럭 레이트의 기능으로서 신호 제어된 발진기의 발진 주파수를 제어하도록 차동 신호를 적용하는 제 4 단계 및 신호 제어된 발진기로부터 발진 신호를 클럭신호로서 제 2 인코더, 동기 삽입 및 필터 회로에 적용하는 제 5 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 11

제 9 항에 있어서, 상기 제2 단계는 익사이더가, 동기 신호의 아웃동안 사전 설정 주파수로 신호 제어된 발진기의 발진 주파수를 유지하기 위한 동기를 상실할 경우 신호 제어된 발진기에 동기 신호 아웃을 적용하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 12

- (a) 신호를 보간하고 상향 변환하는 단계;
- (b) 신호를 정정하는 단계;
- (c) 기존 주파수 응답을 적용 필터로 균등화하는 단계;
- (d) 신호를 하향 변환하는 단계; 및
- (e) 주파수 응답을 균등화한 후에 파일럿 신호를 삽입하는 단계를 포함하는 것을 특징으로 하는 익사이더에서 디지털 텔레비전 송신 신호를 필터링하는 방법.

청구항 13

운송 층 주파수에서 신호를 수신하며 인터리버 회로로부터 송신 층으로 출력 신호를 적용하는 인터리버 회로, 운송 층 클럭 신호를 수신하며 운송층 클럭과 관계되지만 독립적인 또 다른 클럭으로 출력 신호를 제공하며 사전 설정 범위의 허용된 제어편차로 중심 주파수를 갖는 제어가능한 발진기를 포함하는 레이트 변환 회로, 운송층 클럭 기능을 하며 발진기의 사전 설정 한계내에서 발진 주파수를 제어하기위해 발진기에 적용되는 차동 신호를 제공하는 발진기 출력 기능을 하는 신호를 수신하는 검파기 회로 및 송신 층의 타이밍을 제어하기 위해 발진기의 출력을 제공하는 회로 수단을 포함하는 것을 특징으로 하는 DTV 시스템의 운송층 및 DTV시스템의 송신층의 타이밍을 운송층의 제어편차 타이밍 한계내에서 상호 연관되며 제어

편차 한계가 초과되는 경우에 서로 독립적으로 인에이블하는 인터리버 및 레이트 변환기 장치.

청구항 14

제 13 항에 있어서, 발진기가 동기 신호 아웃을 수령할 때 사전 설정 주파수를 출력하도록 발진기에 제어 신호를 적용하는 동기 신호 아웃을 수신하기 위해 동기 제어 회로가 제공되는 것을 특징으로 하는 인터리버.

청구항 15

제 11 항에 있어서, 상기 운송층 클럭은 19.39MHz의 규격 주파수로 흐르며 발진기 중심 주파수는 +/-3 최대 허용 제어편차로 레일을 가지고 43.04MHz인 것을 특징으로 하는 인터리버 및 레이트 변환기 회로 장치.

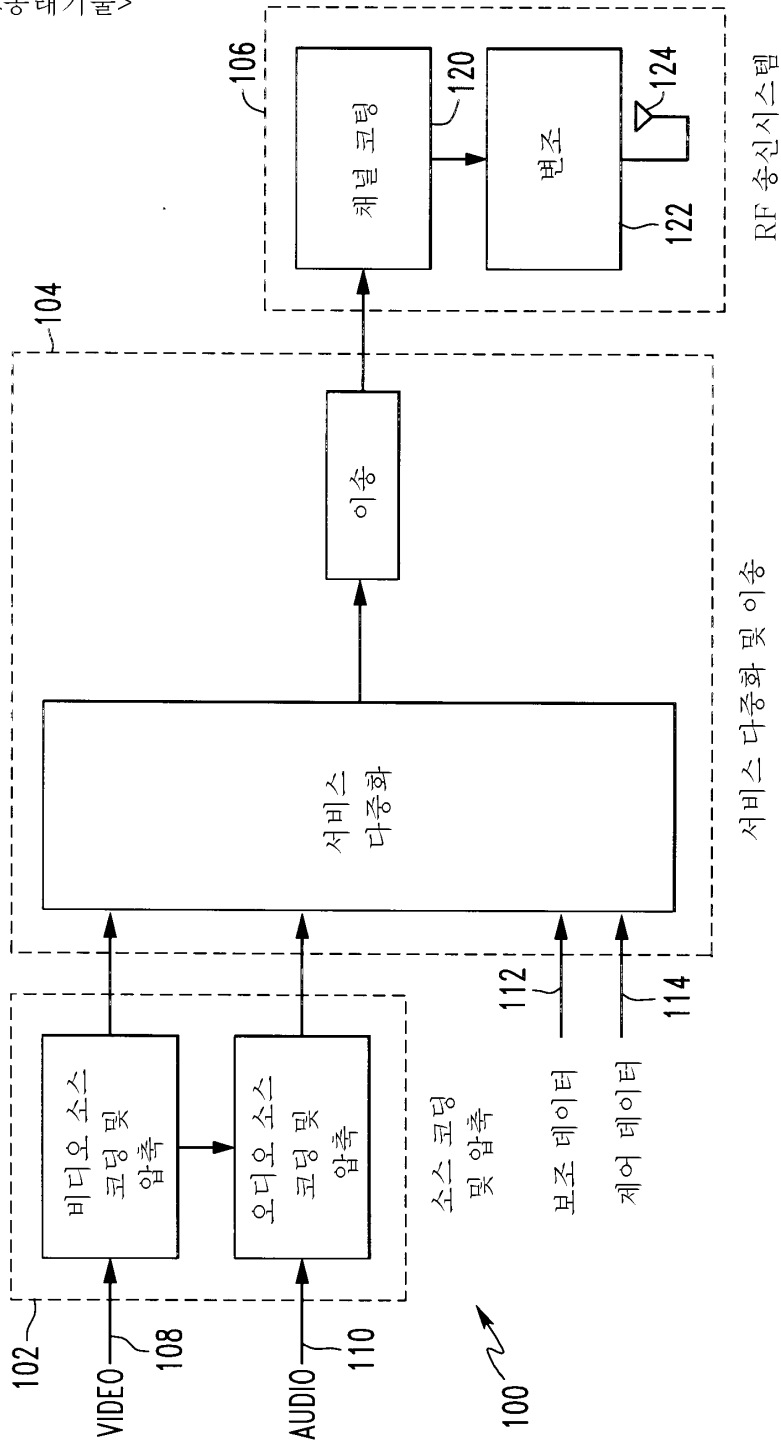
청구항 16

운송 층 클럭 신호를 수신하며 운송 층 클럭과 관계되지만 독립되어 적용되는 또 다른 클럭 레이트로 출력 신호를 제공하며, 사전 설정 범위의 허용 제어편차로 중심 주파수를 갖는 제어 가능한 발진기를 포함하는 주파수 제어 회로, 운송 층 클럭 기능을 하며 발진기의 사전 설정 한계내에서 발진 주파수를 제어하도록 발진기에 적용되는 차동 신호를 제공하기 위한 발진기의 출력 기능을 하는 신호를 수신하는 검파기 회로 및 송신 층의 타이밍을 제어하도록 발진기 출력을 제공하는 회로 수단을 포함하는 것을 특징으로 하는 DTV 시스템의 운송층 및 DTV 시스템의 송신층의 타이밍이 운송층 타이밍의 제어 편차 한계내에서 연관되며 제어 편차 한계를 초과하면 서로 독립적으로 인에이블하는 레이트 변환기.

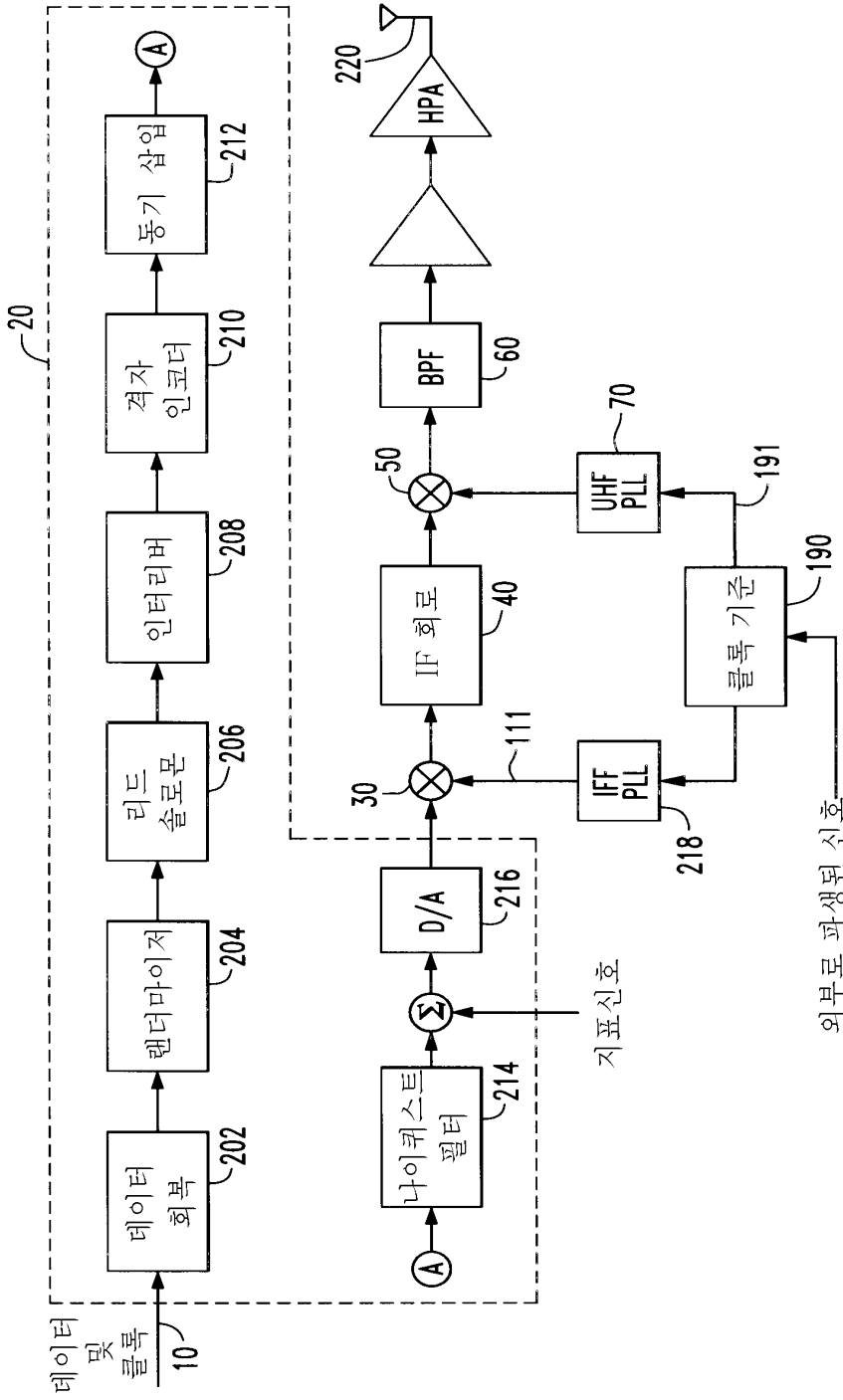
도면

도면1

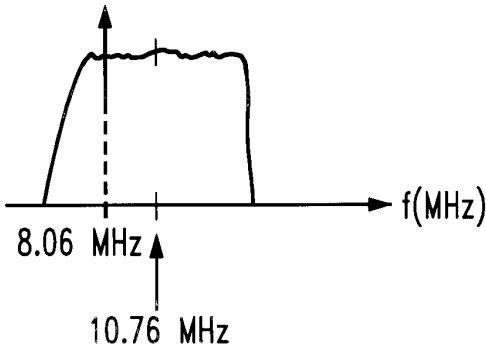
<종래기술>



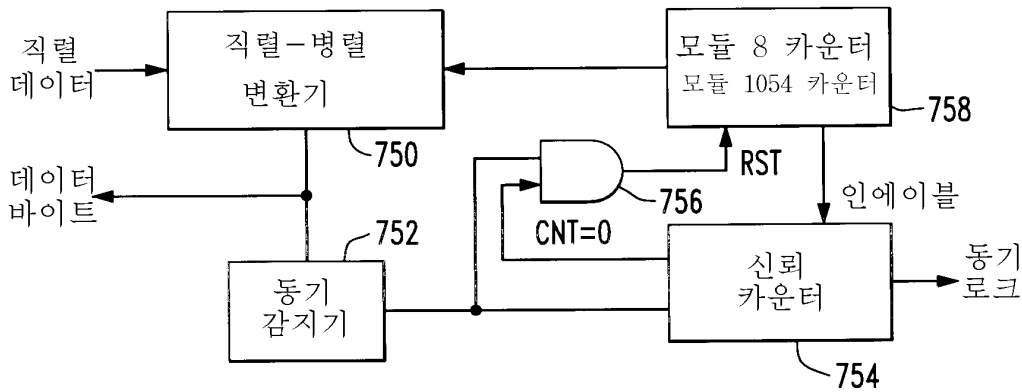
도면2



도면4

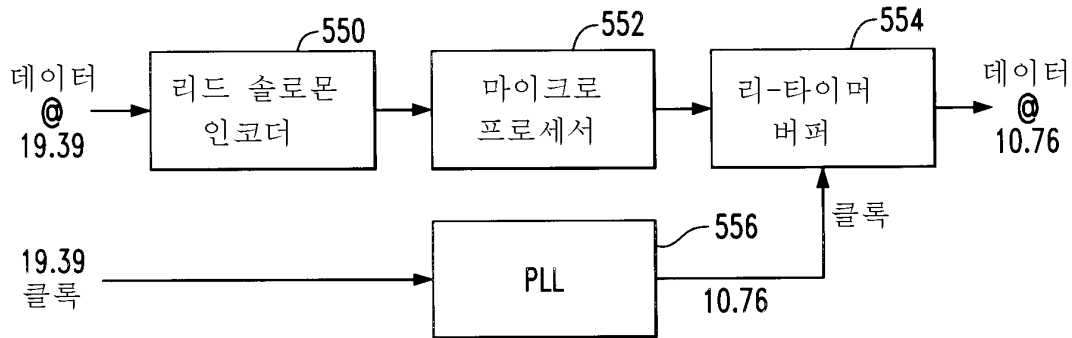


도면5

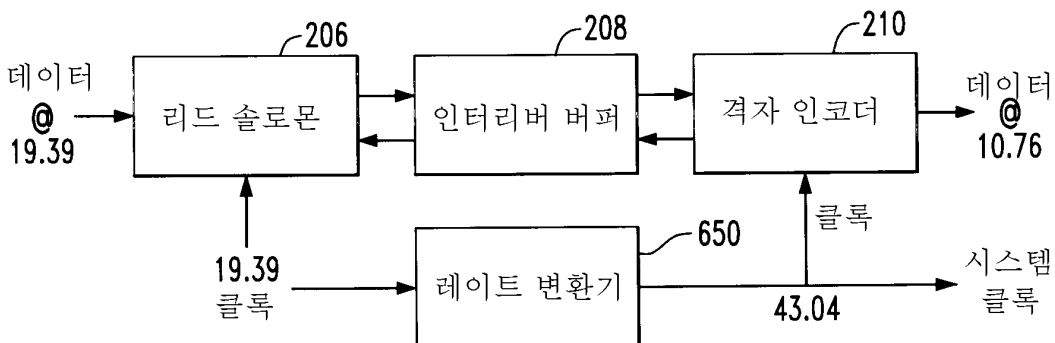


도면6

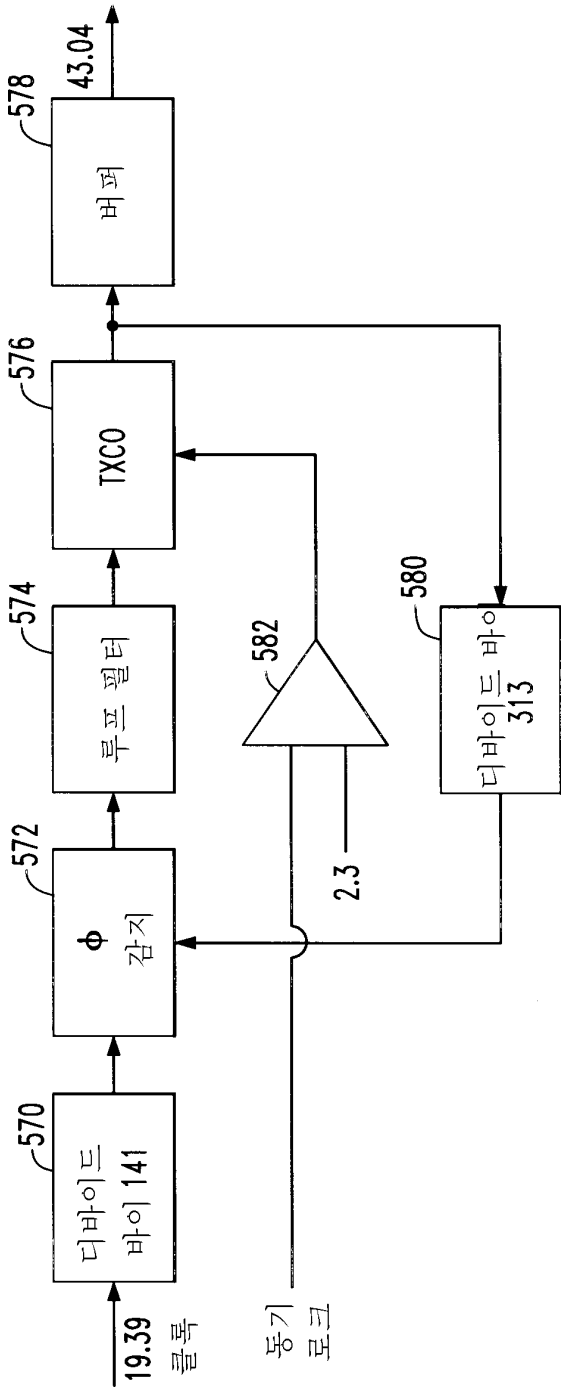
<종래기술>



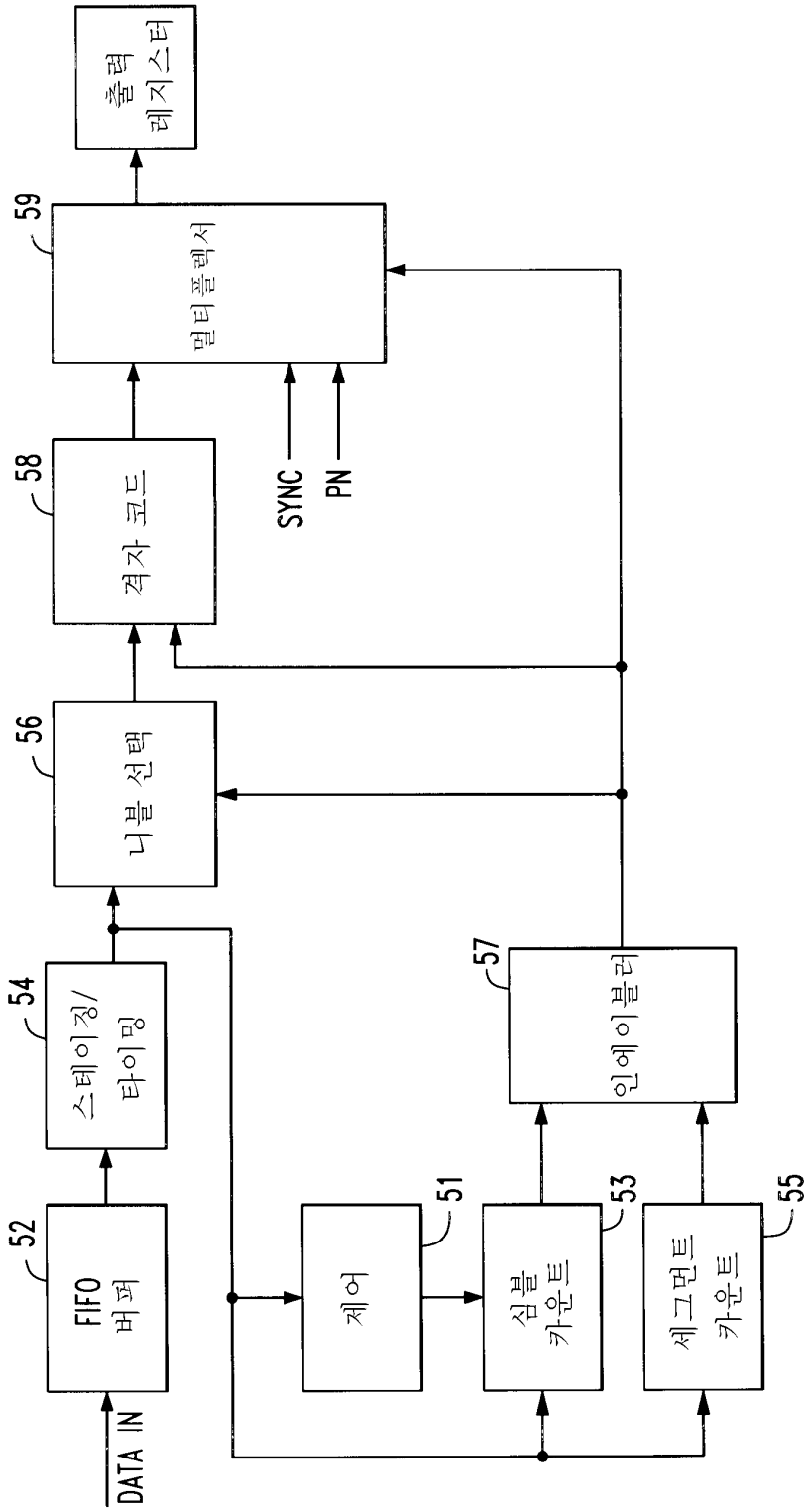
도면7



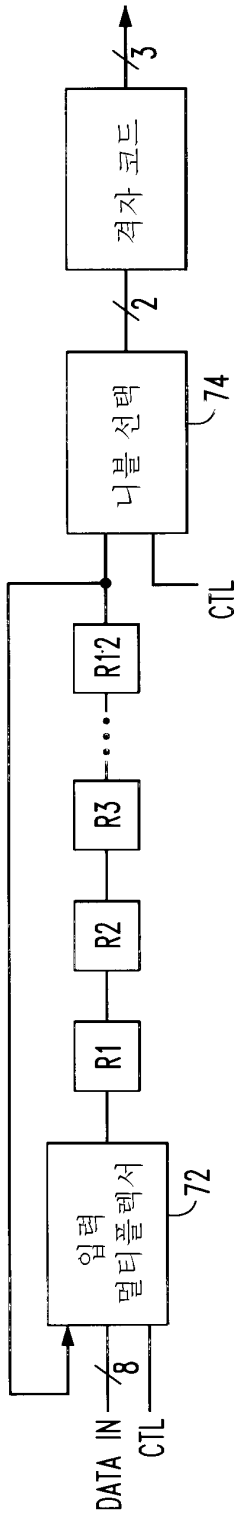
도면8



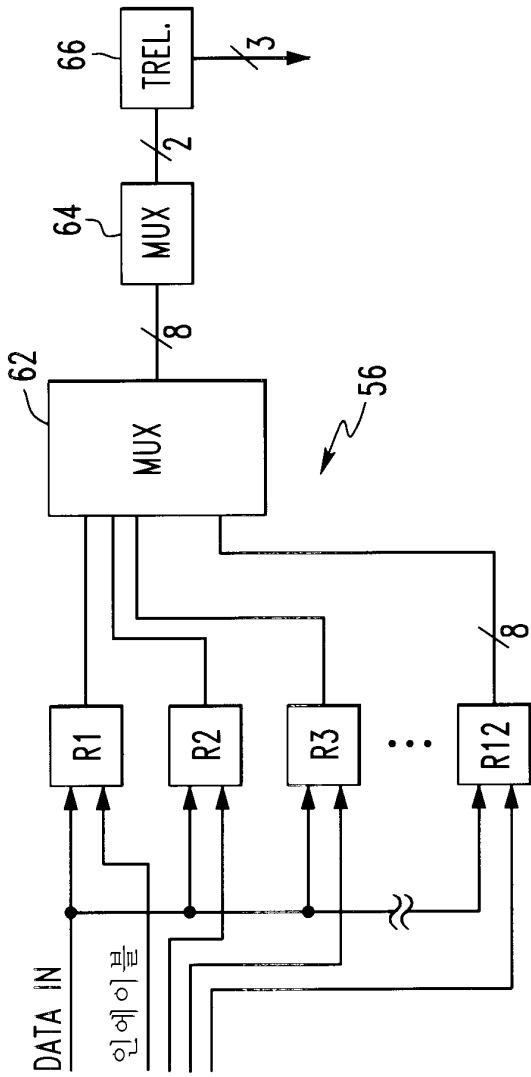
도면9



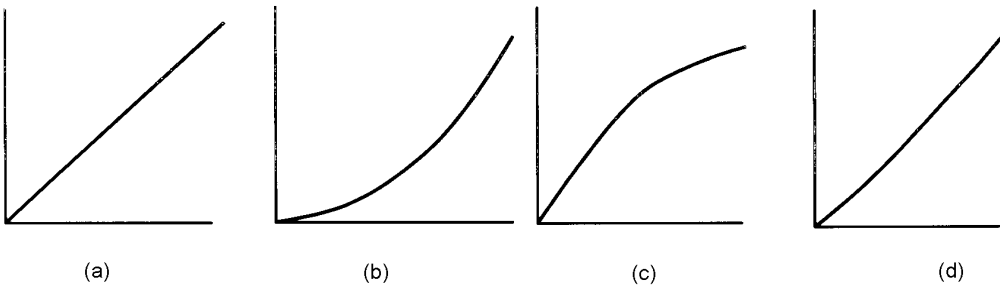
도면10



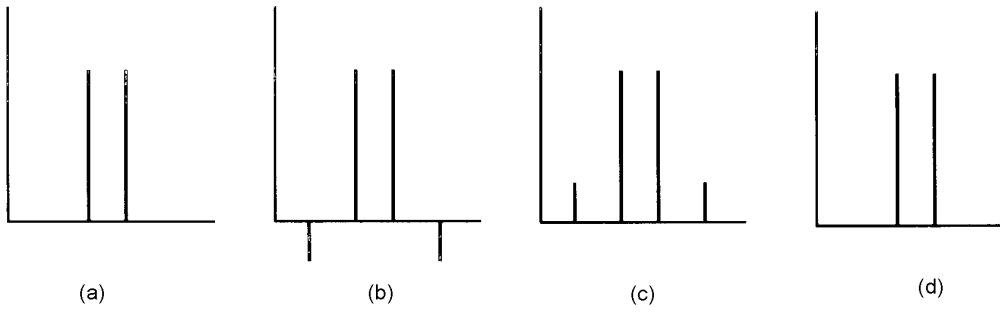
도면11



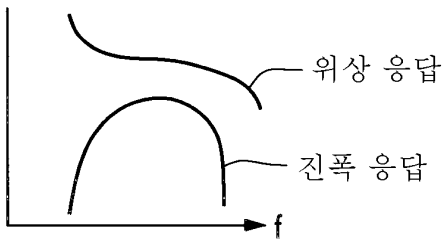
도면12



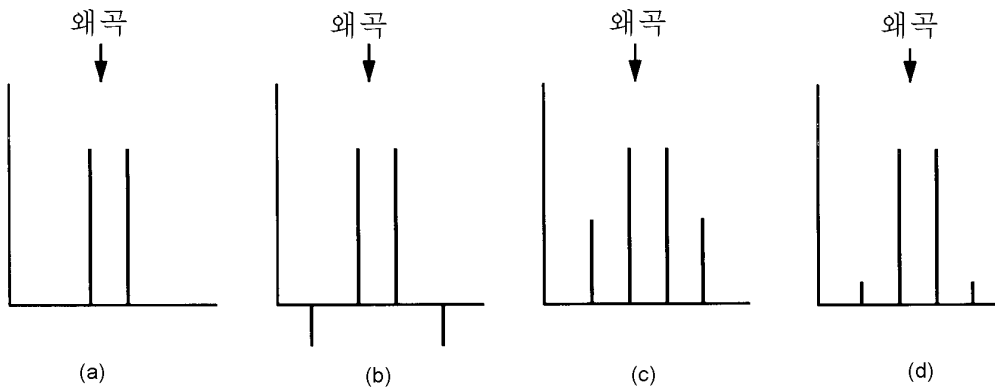
도면13



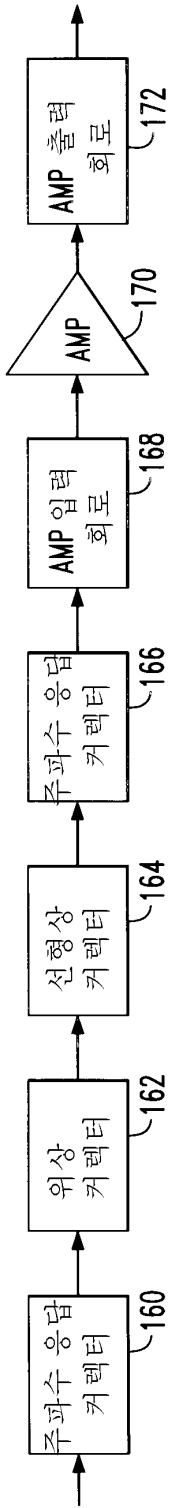
도면14



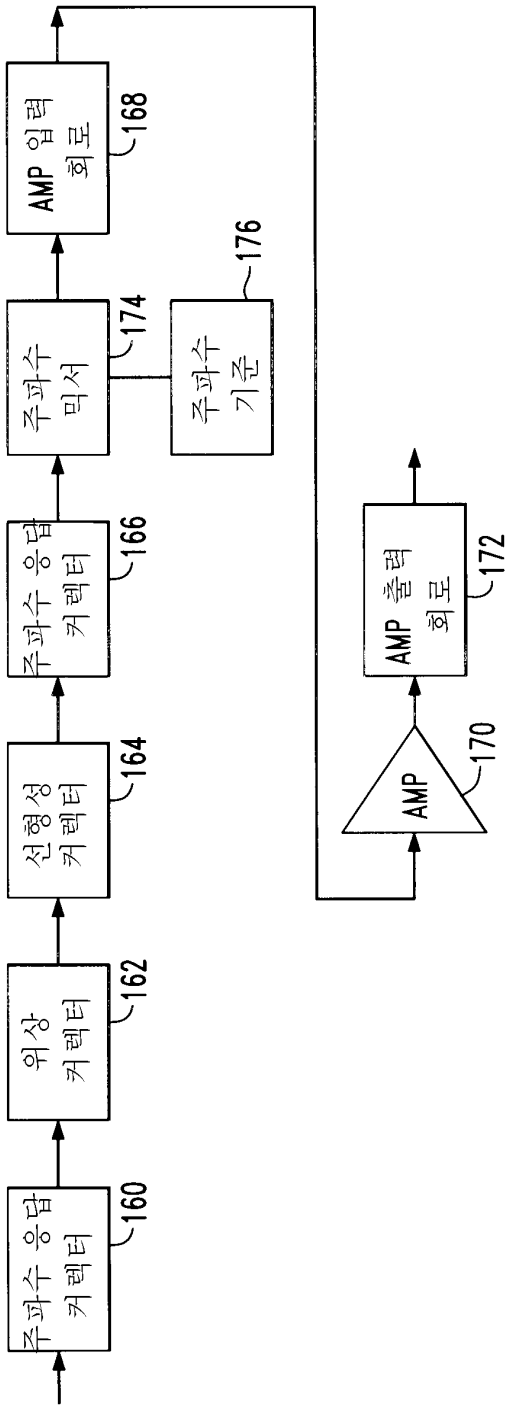
도면15



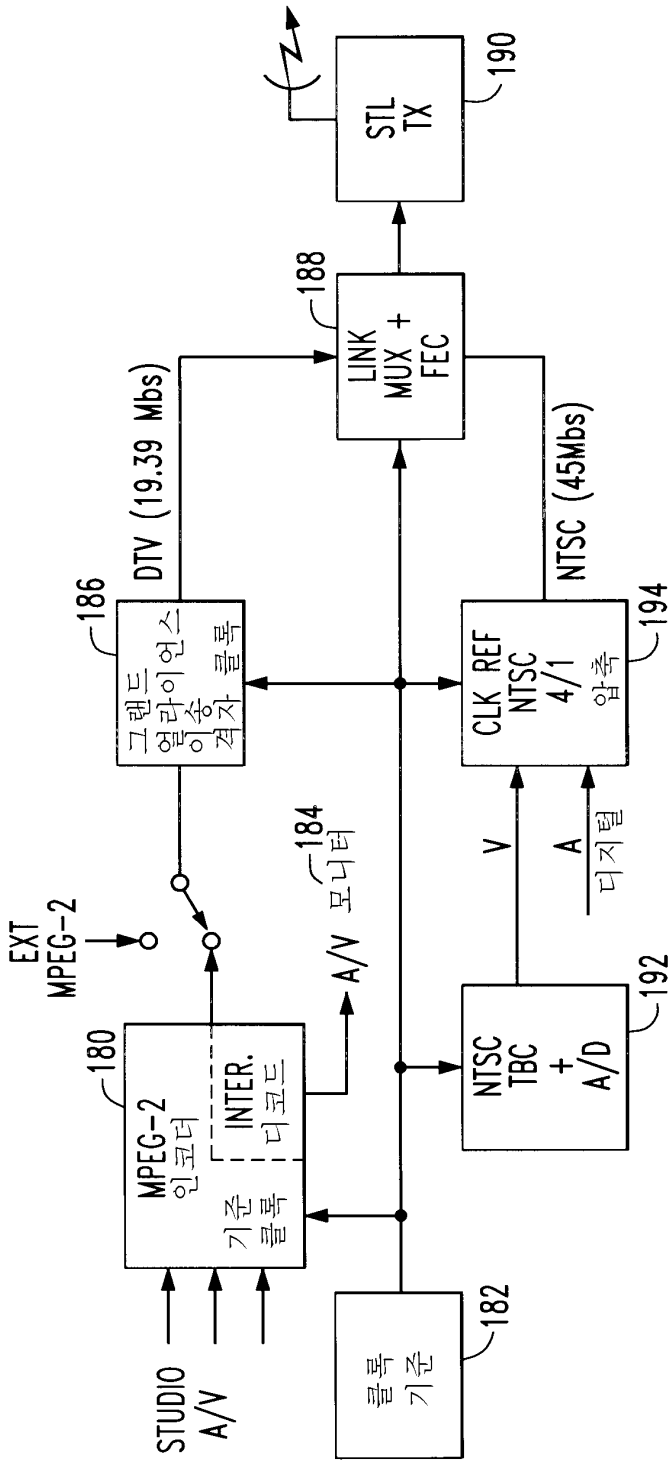
도면 16



도면17



도면 18



도면 19

