

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5511541号
(P5511541)

(45) 発行日 平成26年6月4日(2014.6.4)

(24) 登録日 平成26年4月4日(2014.4.4)

(51) Int.Cl.		F I			
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO4N	5/357	(2011.01)	HO4N	5/335	570
HO1L	27/146	(2006.01)	HO1L	27/14	A

請求項の数 18 (全 24 頁)

(21) 出願番号 特願2010-144221 (P2010-144221)
 (22) 出願日 平成22年6月24日 (2010.6.24)
 (65) 公開番号 特開2012-10106 (P2012-10106A)
 (43) 公開日 平成24年1月12日 (2012.1.12)
 審査請求日 平成25年5月31日 (2013.5.31)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 箕輪 雅章
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 沖田 彰
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び固体撮像装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1光電変換部と、
 フローティングディフュージョンと、
 前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、
 前記第1光電変換部で発生した電子を前記フローティングディフュージョンへ転送する第1転送トランジスタと、を有し、
 前記フローティングディフュージョンの電圧がリセットされた第1の状態において、前記増幅トランジスタが第1の信号を出力し、
 前記フローティングディフュージョンに前記電子が転送された第2の状態において、前記増幅トランジスタが第2の信号を出力する固体撮像装置において、
 前記第1転送トランジスタの導通を制御するための電圧が供給される制御電極と電氣的に短絡されず、前記フローティングディフュージョンと結合容量を介して接続されたノードと、
 前記ノードの電圧を制御する電圧制御手段と、を有し、
 前記電圧制御手段は、
 前記増幅トランジスタが前記第1の信号を出力する時に、前記ノードの電圧を第1の電圧に制御し、
 前記第1の電圧に制御した後であって、前記第1転送トランジスタが導通している期間

10

20

の少なくとも一部の期間に、前記ノードの電圧を第 2 の電圧に制御し、

前記第 2 の電圧に制御した後であって、前記増幅トランジスタが前記第 2 の信号を出力する時に、前記ノードの電圧を第 3 の電圧に制御し、

前記第 2 の電圧は、前記第 1 の電圧及び前記第 3 の電圧よりも高い電圧であり、

1 つ以上の MOS トランジスタをさらに有し、

前記 MOS トランジスタのソースまたはドレインのいずれか一方が前記フローティングディフュージョンに接続され、

前記 MOS トランジスタのゲートが前記ノードに接続され、

前記結合容量は前記 MOS トランジスタのゲートと前記フローティングディフュージョンとの容量成分を含み、

前記第 1 の電圧、前記第 2 の電圧、及び前記第 3 の電圧は、前記 MOS トランジスタが非導通状態となる電圧である

ことを特徴とする固体撮像装置。

【請求項 2】

第 1 光電変換部と、

フローティングディフュージョンと、

前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記第 1 光電変換部で発生したホールを前記フローティングディフュージョンへ転送する第 1 転送トランジスタと、を有し、

前記フローティングディフュージョンの電圧がリセットされた第 1 の状態において、前記増幅トランジスタが第 1 の信号を出力し、

前記フローティングディフュージョンに前記ホールが転送された第 2 の状態において、前記増幅トランジスタが第 2 の信号を出力する固体撮像装置において、

前記第 1 転送トランジスタの導通を制御するための電圧が供給される制御電極と電氣的に短絡されず、前記フローティングディフュージョンと結合容量を介して接続されたノードと、

前記ノードの電圧を制御する電圧制御手段と、を有し、

前記電圧制御手段は、

前記増幅トランジスタが前記第 1 の信号を出力する時に、前記ノードの電圧を第 1 の電圧に制御し、

前記第 1 の電圧に制御した後であって、前記第 1 転送トランジスタが導通している期間の少なくとも一部の期間に、前記ノードの電圧を第 2 の電圧に制御し、

前記第 2 の電圧に制御した後であって、前記増幅トランジスタが前記第 2 の信号を出力する時に、前記ノードの電圧を第 3 の電圧に制御し、

前記第 2 の電圧は、前記第 1 の電圧及び前記第 3 の電圧よりも低い電圧であり、

1 つ以上の MOS トランジスタをさらに有し、

前記 MOS トランジスタのソースまたはドレインのいずれか一方が前記フローティングディフュージョンに接続され、

前記 MOS トランジスタのゲートが前記ノードに接続され、

前記結合容量は前記 MOS トランジスタのゲートと前記フローティングディフュージョンとの容量成分を含み、

前記第 1 の電圧、前記第 2 の電圧、及び前記第 3 の電圧は、前記 MOS トランジスタが非導通状態となる電圧である

ことを特徴とする固体撮像装置。

【請求項 3】

前記フローティングディフュージョンの電圧をリセットするリセットトランジスタを有し、

前記リセットトランジスタが前記 MOS トランジスタであることを特徴とする請求項 1 または請求項 2 に記載の固体撮像装置。

10

20

30

40

50

【請求項4】

第2光電変換部と、

前記第2光電変換部で発生した信号電荷を前記フローティングディフュージョンへ転送する第2転送トランジスタと、を有し、

前記第2転送トランジスタが前記MOSトランジスタであることを特徴とする請求項1乃至請求項3のいずれか1項に記載の固体撮像装置。

【請求項5】

第1光電変換部と、

フローティングディフュージョンと、

前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記第1光電変換部で発生した電子を前記フローティングディフュージョンへ転送する第1転送トランジスタと、を有し、

前記フローティングディフュージョンの電圧がリセットされた第1の状態において、前記増幅トランジスタが第1の信号を出力し、

前記フローティングディフュージョンに前記電子が転送された第2の状態において、前記増幅トランジスタが第2の信号を出力する固体撮像装置において、

前記第1転送トランジスタの導通を制御するための電圧が供給される制御電極と電氣的に短絡されず、前記フローティングディフュージョンと結合容量を介して接続されたノードと、

前記ノードの電圧を制御する電圧制御手段と、を有し、

前記電圧制御手段は、

前記増幅トランジスタが前記第1の信号を出力する時に、前記ノードの電圧を第1の電圧に制御し、

前記第1の電圧に制御した後であって、前記第1転送トランジスタが導通している期間の少なくとも一部の期間に、前記ノードの電圧を第2の電圧に制御し、

前記第2の電圧に制御した後であって、前記増幅トランジスタが前記第2の信号を出力する時に、前記ノードの電圧を第3の電圧に制御し、

前記第2の電圧は、前記第1の電圧及び前記第3の電圧よりも高い電圧であり、

1つ以上のMOSトランジスタをさらに有し、

前記MOSトランジスタのソースまたはドレインのいずれか一方が前記フローティングディフュージョンに接続され、

前記MOSトランジスタのゲートが前記ノードに接続され、

前記結合容量は前記MOSトランジスタのゲートと前記フローティングディフュージョンとの容量成分を含み、

前記第1の電圧、前記第2の電圧、及び前記第3の電圧は、前記MOSトランジスタが導通状態となる電圧であることを特徴とする固体撮像装置。

【請求項6】

第1光電変換部と、

フローティングディフュージョンと、

前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記第1光電変換部で発生したホールを前記フローティングディフュージョンへ転送する第1転送トランジスタと、を有し、

前記フローティングディフュージョンの電圧がリセットされた第1の状態において、前記増幅トランジスタが第1の信号を出力し、

前記フローティングディフュージョンに前記ホールが転送された第2の状態において、前記増幅トランジスタが第2の信号を出力する固体撮像装置において、

前記第1転送トランジスタの導通を制御するための電圧が供給される制御電極と電氣的に短絡されず、前記フローティングディフュージョンと結合容量を介して接続されたノードと、

10

20

30

40

50

ドと、

前記ノードの電圧を制御する電圧制御手段と、を有し、

前記電圧制御手段は、

前記増幅トランジスタが前記第 1 の信号を出力する時に、前記ノードの電圧を第 1 の電圧に制御し、

前記第 1 の電圧に制御した後であって、前記第 1 転送トランジスタが導通している期間の少なくとも一部の期間に、前記ノードの電圧を第 2 の電圧に制御し、

前記第 2 の電圧に制御した後であって、前記増幅トランジスタが前記第 2 の信号を出力する時に、前記ノードの電圧を第 3 の電圧に制御し、

前記第 2 の電圧は、前記第 1 の電圧及び前記第 3 の電圧よりも低い電圧であり、

1 つ以上の MOS トランジスタをさらに有し、

前記 MOS トランジスタのソースまたはドレインのいずれか一方が前記フローティングディフュージョンに接続され、

前記 MOS トランジスタのゲートが前記ノードに接続され、

前記結合容量は前記 MOS トランジスタのゲートと前記フローティングディフュージョンとの容量成分を含み、

前記第 1 の電圧、前記第 2 の電圧、及び前記第 3 の電圧は、前記 MOS トランジスタが導通状態となる電圧であることを特徴とする固体撮像装置。

【請求項 7】

前記第 1 光電変換部及び前記フローティングディフュージョンを含む画素が行列状に配され、

隣接する 2 つの画素のフローティングディフュージョンの電氣的接続を制御する接続トランジスタを有し、

前記接続トランジスタが前記 MOS トランジスタであることを特徴とする請求項 1、請求項 2、請求項 5、または、請求項 6 のいずれか一項に記載の固体撮像装置。

【請求項 8】

第 1 光電変換部と、

フローティングディフュージョンと、

前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記フローティングディフュージョンの電圧をリセットするリセットトランジスタと、

前記第 1 光電変換部で発生した電子を前記フローティングディフュージョンへ転送する第 1 転送トランジスタと、を有し、

前記フローティングディフュージョンの電圧がリセットされた第 1 の状態において、前記増幅トランジスタが第 1 の信号を出力し、

前記フローティングディフュージョンに前記電子が転送された第 2 の状態において、前記増幅トランジスタが第 2 の信号を出力する固体撮像装置において、

前記リセットトランジスタのゲートの電圧を制御する電圧制御手段と、を有し、

前記電圧制御手段は、

前記増幅トランジスタが前記第 1 の信号を出力する時に、前記リセットトランジスタの前記ゲートの電圧を第 1 の電圧に制御し、

前記第 1 転送トランジスタが導通している期間の少なくとも一部の期間に、前記リセットトランジスタの前記ゲートの電圧を第 2 の電圧に制御し、

前記増幅トランジスタが前記第 2 の信号を出力する時に、前記リセットトランジスタの前記ゲートの電圧を第 3 の電圧に制御し、

前記第 2 の電圧は、前記第 1 の電圧及び前記第 3 の電圧よりも高い電圧であり、

前記第 1 の電圧、前記第 2 の電圧、及び前記第 3 の電圧は、いずれも前記リセットトランジスタが非導通状態となる電圧である

ことを特徴とする固体撮像装置。

【請求項 9】

10

20

30

40

50

第1光電変換部と、
 フローティングディフュージョンと、
 前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記フローティングディフュージョンの電圧をリセットするリセットトランジスタと、
 前記第1光電変換部で発生したホールを前記フローティングディフュージョンへ転送する第1転送トランジスタと、を有し、

前記フローティングディフュージョンの電圧がリセットされた第1の状態において、前記増幅トランジスタが第1の信号を出力し、

前記フローティングディフュージョンに前記ホールが転送された第2の状態において、前記増幅トランジスタが第2の信号を出力する固体撮像装置において、

前記リセットトランジスタのゲートの電圧を制御する電圧制御手段と、を有し、
 前記電圧制御手段は、

前記増幅トランジスタが前記第1の信号を出力する時に、前記リセットトランジスタの前記ゲートの電圧を第1の電圧に制御し、

前記第1転送トランジスタが導通している期間の少なくとも一部の期間に、前記リセットトランジスタの前記ゲートの電圧を第2の電圧に制御し、

前記増幅トランジスタが前記第2の信号を出力する時に、前記リセットトランジスタの前記ゲートの電圧を第3の電圧に制御し、

前記第2の電圧は、前記第1の電圧及び前記第3の電圧よりも低い電圧であり、

前記第1の電圧、前記第2の電圧、及び前記第3の電圧は、いずれも前記リセットトランジスタが非導通状態となる電圧である

ことを特徴とする固体撮像装置。

【請求項10】

第1光電変換部と、

第2光電変換部と

フローティングディフュージョンと、

前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記第1光電変換部で発生した電子を前記フローティングディフュージョンへ転送する第1転送トランジスタと、

前記第2光電変換部で発生した電子を前記フローティングディフュージョンへ転送する第2転送トランジスタと、を有し、

前記フローティングディフュージョンの電圧がリセットされた第1の状態において、前記増幅トランジスタが第1の信号を出力し、

前記フローティングディフュージョンに前記第1光電変換部で発生した前記電子が転送された第2の状態において、前記増幅トランジスタが第2の信号を出力する固体撮像装置において、

前記第2転送トランジスタのゲートの電圧を制御する電圧制御手段と、を有し、

前記電圧制御手段は、

前記増幅トランジスタが前記第1の信号を出力する時に、第2転送トランジスタの前記ゲートの電圧を第1の電圧に制御し、

前記第1転送トランジスタが導通している期間の少なくとも一部の期間に、第2転送トランジスタの前記ゲートの電圧を第2の電圧に制御し、

前記増幅トランジスタが前記第2の信号を出力する時に、第2転送トランジスタの前記ゲートの電圧を第3の電圧に制御し、

前記第2の電圧は、前記第1の電圧及び前記第3の電圧よりも高い電圧であり、

前記第1の電圧、前記第2の電圧、及び前記第3の電圧は、いずれも前記第2転送トランジスタが非導通状態となる電圧である

ことを特徴とする固体撮像装置。

【請求項 1 1】

第 1 光電変換部と、
 第 2 光電変換部と
 フローティングディフュージョンと、
 前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、
 前記第 1 光電変換部で発生したホールを前記フローティングディフュージョンへ転送する第 1 転送トランジスタと、
 前記第 2 光電変換部で発生したホールを前記フローティングディフュージョンへ転送する第 2 転送トランジスタと、を有し、
 前記フローティングディフュージョンの電圧がリセットされた第 1 の状態において、前記増幅トランジスタが第 1 の信号を出力し、
 前記フローティングディフュージョンに前記第 1 光電変換部で発生した前記ホールが転送された第 2 の状態において、前記増幅トランジスタが第 2 の信号を出力する固体撮像装置において、
 前記第 2 転送トランジスタのゲートの電圧を制御する電圧制御手段と、を有し、
 前記電圧制御手段は、
 前記増幅トランジスタが前記第 1 の信号を出力する時に、第 2 転送トランジスタの前記ゲートの電圧を第 1 の電圧に制御し、
 前記第 1 転送トランジスタが導通している期間の少なくとも一部の期間に、第 2 転送トランジスタの前記ゲートの電圧を第 2 の電圧に制御し、
 前記増幅トランジスタが前記第 2 の信号を出力する時に、第 2 転送トランジスタの前記ゲートの電圧を第 3 の電圧に制御し、
 前記第 2 の電圧は、前記第 1 の電圧及び前記第 3 の電圧よりも低い電圧であり、
 前記第 1 の電圧、前記第 2 の電圧、及び前記第 3 の電圧は、いずれも前記第 2 転送トランジスタが非導通状態となる電圧である
 ことを特徴とする固体撮像装置。

10

20

【請求項 1 2】

第 1 光電変換部と、
 フローティングディフュージョンと、
 前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、
 前記第 1 光電変換部で発生した電子を前記フローティングディフュージョンへ転送する第 1 転送トランジスタと、を含む複数の画素を有し、
 前記フローティングディフュージョンの電圧がリセットされた第 1 の状態において、前記増幅トランジスタが第 1 の信号を出力し、
 前記フローティングディフュージョンに前記電子が転送された第 2 の状態において、前記増幅トランジスタが第 2 の信号を出力する固体撮像装置において、
 前記複数の画素のうち第 1 の画素の前記フローティングディフュージョンと前記複数の画素のうち第 2 の画素の前記フローティングディフュージョンとの電氣的接続を制御する接続トランジスタと、
 前記接続トランジスタのゲートの電圧を制御する電圧制御手段と、を有し、
 前記電圧制御手段は、
 前記増幅トランジスタが前記第 1 の信号を出力する時に、前記接続トランジスタの前記ゲートの電圧を第 1 の電圧に制御し、
 前記第 1 転送トランジスタが導通している期間の少なくとも一部の期間に、前記接続トランジスタの前記ゲートの電圧を第 2 の電圧に制御し、
 前記増幅トランジスタが前記第 2 の信号を出力する時に、前記接続トランジスタの前記ゲートの電圧を第 3 の電圧に制御し、
 前記第 2 の電圧は、前記第 1 の電圧及び前記第 3 の電圧よりも高い電圧である

30

40

50

ことを特徴とする固体撮像装置。

【請求項 1 3】

第 1 光電変換部と、
フローティングディフュージョンと、
前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記第 1 光電変換部で発生したホールを前記フローティングディフュージョンへ転送する第 1 転送トランジスタと、を含む複数の画素を有し、

前記フローティングディフュージョンの電圧がリセットされた第 1 の状態において、前記増幅トランジスタが第 1 の信号を出力し、

前記フローティングディフュージョンに前記ホールが転送された第 2 の状態において、前記増幅トランジスタが第 2 の信号を出力する固体撮像装置において、

前記複数の画素のうち第 1 の画素の前記フローティングディフュージョンと前記複数の画素のうち第 2 の画素の前記フローティングディフュージョンとの電気的接続を制御する接続トランジスタと、

前記接続トランジスタのゲートの電圧を制御する電圧制御手段と、を有し、

前記電圧制御手段は、

前記増幅トランジスタが前記第 1 の信号を出力する時に、前記接続トランジスタの前記ゲートの電圧を第 1 の電圧に制御し、

前記第 1 転送トランジスタが導通している期間の少なくとも一部の期間に、前記接続トランジスタの前記ゲートの電圧を第 2 の電圧に制御し、

前記増幅トランジスタが前記第 2 の信号を出力する時に、前記接続トランジスタの前記ゲートの電圧を第 3 の電圧に制御し、

前記第 2 の電圧は、前記第 1 の電圧及び前記第 3 の電圧よりも低い電圧である

ことを特徴とする固体撮像装置。

【請求項 1 4】

前記増幅トランジスタが埋め込みチャンネル型であることを特徴とする請求項 1 乃至請求項 1 3 のいずれか一項に記載の固体撮像装置。

【請求項 1 5】

前記第 1 の電圧と前記第 3 の電圧とが等しいことを特徴とする請求項 1 乃至請求項 1 4 のいずれか一項に記載の固体撮像装置。

【請求項 1 6】

前記増幅トランジスタからの前記信号が出力される垂直出力線と、
前記垂直出力線に接続された定電流源とを有し、
前記増幅トランジスタと前記定電流源とがソースフォロア回路を構成していることを特徴とする請求項 1 乃至請求項 1 5 のいずれか一項に記載の固体撮像装置。

【請求項 1 7】

光電変換部と、
フローティングディフュージョンと、
前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記光電変換部で発生した電子を前記フローティングディフュージョンへ転送する転送トランジスタと、

前記転送トランジスタの導通を制御するための電圧が供給される制御電極と電気的に短絡されず、前記フローティングディフュージョンと結合容量を介して接続されたノードと、を有する固体撮像装置の駆動方法であって、

前記フローティングディフュージョンの電圧がリセットされた第 1 の状態において、前記増幅トランジスタが第 1 の信号を出力するステップと、

前記フローティングディフュージョンに前記電子が転送された第 2 の状態において、前記増幅トランジスタが第 2 の信号を出力するステップと、

10

20

30

40

50

前記増幅トランジスタが前記第1の信号を出力する時に、前記ノードの電圧を第1の電圧に制御するステップと、

前記第1の電圧に制御した後であって、前記転送トランジスタが導通している期間の少なくとも一部の期間に、前記ノードの電圧を第2の電圧に制御するステップと、

前記第2の電圧に制御した後であって、前記増幅トランジスタが前記第2の信号を出力する時に、前記ノードの電圧を第3の電圧に制御するステップと、を含み、

前記第2の電圧は、前記第1の電圧及び前記第3の電圧よりも高い電圧であり、

前記固体撮像装置は、1つ以上のMOSトランジスタをさらに有し、

前記MOSトランジスタのソースまたはドレインのいずれか一方が前記フローティングディフュージョンに接続され、

前記MOSトランジスタのゲートが前記ノードに接続され、

前記結合容量は前記MOSトランジスタのゲートと前記フローティングディフュージョンとの容量成分を含み、

前記第1の電圧、前記第2の電圧、及び前記第3の電圧が、いずれも、前記MOSトランジスタが非導通状態となる電圧である、または、前記第1の電圧、前記第2の電圧、及び前記第3の電圧が、いずれも、前記MOSトランジスタが導通状態となる電圧である

ことを特徴とする固体撮像装置の駆動方法。

【請求項18】

光電変換部と、

フローティングディフュージョンと、

前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、

前記光電変換部で発生したホールを前記フローティングディフュージョンへ転送する転送トランジスタと、

前記転送トランジスタの導通を制御するための電圧が供給される制御電極と電氣的に短絡されず、前記フローティングディフュージョンと結合容量を介して接続されたノードと、を有する固体撮像装置の駆動方法であって、

前記フローティングディフュージョンの電圧がリセットされた第1の状態において、前記増幅トランジスタが第1の信号を出力するステップと、

前記フローティングディフュージョンに前記ホールが転送された第2の状態において、前記増幅トランジスタが第2の信号を出力するステップと、

前記増幅トランジスタが前記第1の信号を出力する時に、前記ノードの電圧を第1の電圧に制御するステップと、

前記第1の電圧に制御した後であって、前記転送トランジスタが導通している期間の少なくとも一部の期間に、前記ノードの電圧を第2の電圧に制御するステップと、

前記第2の電圧に制御した後であって、前記増幅トランジスタが前記第2の信号を出力する時に、前記ノードの電圧を第3の電圧に制御するステップと、を含み、

前記第2の電圧は、前記第1の電圧及び前記第3の電圧よりも低い電圧であり、

前記固体撮像装置は、1つ以上のMOSトランジスタをさらに有し、

前記MOSトランジスタのソースまたはドレインのいずれか一方が前記フローティングディフュージョンに接続され、

前記MOSトランジスタのゲートが前記ノードに接続され、

前記結合容量は前記MOSトランジスタのゲートと前記フローティングディフュージョンとの容量成分を含み、

前記第1の電圧、前記第2の電圧、及び前記第3の電圧が、いずれも、前記MOSトランジスタが非導通状態となる電圧である、または、前記第1の電圧、前記第2の電圧、及び前記第3の電圧が、いずれも、前記MOSトランジスタが導通状態となる電圧である

ことを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置のひとつである増幅型固体撮像装置では、各画素の光電変換部で発生した電荷を、転送部を介して増幅トランジスタの入力ノードに転送する構成が知られている。

【0003】

電荷転送をおこなう際に、光電変換部の電荷を完全転送することで、ノイズを抑制することができる。特許文献1は、光電変換部から転送できる最大の電荷量を大きくする手法を開示している。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-192191号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1の固体撮像装置では、フォトダイオードからフローティングディフュージョン(以下、FD)への電荷転送を開始する前に、FDの電圧をFDがリセットされた状態の電圧よりも高くしている。しかし、電荷を転送した後、増幅トランジスタから信号を出力する時に、FDの電圧を制御することについては記載されていない。

【0006】

増幅型固体撮像装置では、出力信号のリニアリティが良好な動作範囲で増幅回路を動作させることが望ましい。特許文献1の固体撮像装置では、FDの電圧が高いと増幅トランジスタが線形領域で動作する場合がある。もしくは飽和領域と線形領域との境界領域で動作する場合がある。出力信号のリニアリティを維持するためには、増幅トランジスタが飽和領域で動作することが望ましい。したがって、特許文献1の固体撮像装置は、増幅トランジスタからの出力信号のリニアリティの観点において改善の余地がある。

【0007】

本発明は上記課題に鑑み、光電変換部からフローティングディフュージョンへの電荷転送効率を向上しつつ、出力信号のリニアリティを良好なものとすることを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る固体撮像装置は、第1光電変換部と、フローティングディフュージョンと、前記フローティングディフュージョンの電荷の量に基づく信号を出力する増幅トランジスタと、前記第1光電変換部で発生した電子を前記フローティングディフュージョンへ転送する第1転送トランジスタと、を有し、前記フローティングディフュージョンの電圧がリセットされた第1の状態において、前記増幅トランジスタが第1の信号を出力し、前記フローティングディフュージョンに前記電子が転送された第2の状態において、前記増幅トランジスタが第2の信号を出力する固体撮像装置において、前記第1転送トランジスタの導通を制御するための電圧が供給される制御電極と電気的に短絡されず、前記フローティングディフュージョンと結合容量を介して接続されたノードと、前記ノードの電圧を制御する電圧制御手段と、を有し、前記電圧制御手段は、前記増幅トランジスタが前記第1の信号を出力する時に、前記ノードの電圧を第1の電圧に制御し、前記第1の電圧に制御した後であって、前記第1転送トランジスタが導通している期間の少なくとも一部の期間に、前記ノードの電圧を第2の電圧に制御し、前記第2の電圧に制御した後であって、前記増幅トランジスタが前記第2の信号を出力する時に、前記ノードの電圧を第3の電圧に制御し、前記第2の電圧は、前記第1の電圧及び前記第3の電圧よりも高い電圧であり、1つ以上のMOSトランジスタをさらに有し、前記MOSトランジスタのソースまたはドレインのいずれか一方が前記フローティングディフュージョンに接続され、前記MOSト

10

20

30

40

50

ランジスタのゲートが前記ノードに接続され、前記結合容量は前記M O Sトランジスタのゲートと前記フローティングディフュージョンとの容量成分を含み、前記第1の電圧、前記第2の電圧、及び前記第3の電圧は、前記M O Sトランジスタが非導通状態となる電圧であることを特徴とする。

【発明の効果】

【0009】

本発明によれば、リニアリティを向上させることが可能となり、撮像画像の画質を向上させた固体撮像装置を提供することができる。

【図面の簡単な説明】

【0010】

【図1】実施例1の画素の等価回路図。

【図2】実施例1の全体回路図。

【図3】実施例1の固体撮像装置を駆動するための駆動パルス。

【図4】実施例1の画素の等価回路と図3の駆動パルスを実現するための回路。

【図5】実施例2の画素の等価回路図。

【図6】実施例2の固体撮像装置を駆動するための駆動パルス。

【図7】実施例3の画素の等価回路図。

【図8】実施例3の固体撮像装置を駆動するための駆動パルス。

【図9】実施例3の固体撮像装置を駆動するための駆動パルス。

【図10】実施例1の変形例の画素の等価回路図

【発明を実施するための形態】

【0011】

(実施例1)

図1は、本発明の第1の実施例における画素の等価回路を示す。第1の実施例では信号電荷として電子を扱う場合を例に説明する。

【0012】

図1において、画素1は、光電変換部であるフォトダイオード(以下、PD)2、転送トランジスタ3、FD4、増幅トランジスタ5、リセットトランジスタ6、選択トランジスタ7を含む。PD2では入射光が光電変換される。本実施例では、PD2で発生した電子ホール対のうち、電子を信号電荷として扱う。転送トランジスタ3は信号電荷をPD2からFD4へ転送する。FD4は増幅トランジスタ5のゲートに接続される。増幅トランジスタ5はFD4の電荷の量に基づく信号を出力する。本実施例では、増幅トランジスタ5は埋め込みチャンネル型のM O Sトランジスタである。また、増幅トランジスタ5はN型チャンネルである。リセットトランジスタ6はFD4にリセット電源に基づく電圧を供給し、FD4の電圧をリセットする。選択トランジスタ7によって、複数配される画素行のうち読み出される画素行が選択される。

【0013】

転送トランジスタ3、リセットトランジスタ6、選択トランジスタ7のゲートには、それぞれ制御線8、9、10が接続される。各トランジスタのゲートは互いに電氣的に短絡されていない。ただし各ゲート間に結合容量が形成されていてもよいが、各トランジスタの導通状態を独立に制御することができる必要がある。増幅トランジスタ5からの増幅信号は、垂直出力線11に出力される。垂直出力線11には、定電流源12が接続される。増幅トランジスタ5と定電流源12とによりソースフォロア回路が構成される。

【0014】

容量13はリセットトランジスタ6のゲートとFD4の間に形成される、リセットトランジスタ6のゲート-ソース間の結合容量である。容量13が配されることによって、リセットトランジスタ6のゲートに供給される電圧に応じて、FD4の電圧を変化させることが可能である。

【0015】

詳細は後述するが、リセットトランジスタ6のゲートに接続される制御線9の電圧を制

10

20

30

40

50

御することでFD4の電圧を制御することが本実施例の特徴である。具体的には、PD2からFD4へ電子を転送する時の制御線9の電圧を、増幅トランジスタ5が信号を出力する時の制御線9の電圧よりも高い電圧に制御する。

【0016】

図2は、本実施例の画素領域と信号保持部の回路図を示している。図1に示される画素1が行列状に配置されることで画素領域が構成される。制御線8、9、10は、1つの画素行に含まれる複数の画素に共通に接続される。垂直走査部21は制御線8、9、10に所定の電圧を供給する。垂直走査部21により、対応するトランジスタの導通状態を制御する。画素の各トランジスタのゲートは互いに電氣的に短絡されていないので、各トランジスタは独立に導通状態を制御することができる。垂直走査部21が後述の電圧制御手段の一部を構成する。垂直出力線11は1つの画素列に含まれる複数の画素の出力ノードに共通して接続される。画素の出力ノードとしては、図1に示されるように選択トランジスタ7のソースである。他に増幅トランジスタのソースの場合もある。複数の垂直出力線11に出力された各信号は略同一に信号保持部に供給され、保持される。

10

【0017】

本実施例では各画素列に信号保持部が配される。本実施例の信号保持部は、2つのスイッチ14、15と、2つのサンプルホールド容量16、17を含む。スイッチ14、15は、垂直出力線11とサンプルホールド容量16、17との電氣的接続を制御する。スイッチ14、15のゲートには制御線18、19がそれぞれ接続される。制御線18、19には、対応するスイッチの導通状態を制御する駆動パルスが供給される。

20

【0018】

サンプルホールド容量17は、FD4の電圧がリセットされた状態において、増幅トランジスタ5が出力する信号(以下、N信号)を保持することができる。本実施例において、リセットトランジスタ6がFD4にリセット電源に基づく電圧を供給した後オフした時点から、FD4へ信号電荷の転送が行われる時点までの間は、FD4の電圧がリセットされた状態である。この期間内の少なくとも一部において、サンプルホールド容量17においてN信号をサンプリングすることができる。N信号には、リセットトランジスタ6がオフした際に発生するリセットノイズが含まれてもよい。

【0019】

サンプルホールド容量16は、FD4に信号電荷が転送された状態において、増幅トランジスタ5が出力する信号(以下、S信号)を保持することができる。本実施例において、FD4へ信号電荷が転送されてから、FD4にリセット電源に基づく電圧が供給されるまでの間は、FD4に信号電荷が転送された状態である。この期間内の少なくとも一部において、S信号をサンプリングすることができる。

30

【0020】

スイッチ25、26はサンプルホールド容量16、17と水平出力線24a、24bとの接続を制御する。スイッチ25、26には、対応するスイッチの導通状態を制御する駆動パルスが水平走査部22から供給される。水平走査部22により、サンプルホールド容量16に保持されたS信号と、サンプルホールド容量17に保持されたN信号とが1列ごとに順次差動アンプ20に入力される。差動アンプ20はS信号とN信号の差分を増幅して出力する。S信号とN信号との差分演算処理によって、増幅トランジスタ5の閾値ばらつき等に起因する固定パターンノイズが除去される。S信号とN信号が互いに相関のあるリセットノイズを含む場合には、FD4をリセットする際のリセットノイズを除去することができる。

40

【0021】

図3は、本実施例の固体撮像装置を駆動するための駆動パルスを示している。さらに、図3は、本実施例の固体撮像装置の動作に伴う、FD4の電圧の変化の様子を模式的に示している。

【0022】

図3において、PRESは、制御線9を介してリセットトランジスタ6のゲートに供給

50

される駆動パルスである。PTXは、制御線8を介して転送トランジスタ3のゲートに供給される駆動パルスである。PTSは、制御線18を介してスイッチ14に供給される駆動パルスである。PTNは、制御線19を介してスイッチ15に供給される駆動パルスである。各駆動パルスのハイレベルは、対応するトランジスタ、スイッチがオンする電圧であり、駆動パルスのローレベルは対応するトランジスタがオフする電圧である。

【0023】

本実施例において、更に、制御線9から供給されるPRESのローレベルの電圧として、2つの異なる電圧VRESL1及びVRESL2が設定可能である。VRESL2はVRESL1よりも高い電圧であり、VRESL1及びVRESL2のいずれもリセットトランジスタ6がオフする電圧である。すなわちリセットトランジスタ6は、PRESに供給される電圧がハイレベルの電圧VRESHである時にオンし、PRESがローレベルの電圧VRESL1またはVRESL2(>VRESL1)である時にオフする。

10

【0024】

図3を用いて、本実施例の固体撮像装置の駆動方法を説明する。すでに露光が開始されておりPD2には信号電荷が存在しているものとする。また、読み出される画素行の選択トランジスタ7はオンしている。

【0025】

最初は、PTX、PTS、PTNがローレベルであり、転送トランジスタ3、及びスイッチ14、15はオフしている。PRESがハイレベルであり、リセットトランジスタ6がオンしているので、FD4の電圧はリセットされた状態である。FD4のリセット電圧Vrsは、リセットトランジスタ6のゲートに供給された電圧VRESHと、リセットトランジスタ6の閾値電圧Vth_resを用いて、式(1)で表される。ここで、リセット電源の電圧はVRESH-Vth_resより高い。

20

$$Vrs = VRESH - Vth_res \quad \dots (1)$$

時刻T101においてPRESがVRESHからVRESL1に切り替わる。このリセットトランジスタ6のゲートの電圧の変化に応じて、容量13を介してFD4の電圧がV1だけ下がる。時刻T101にリセットトランジスタ6がオフした後は、垂直出力線11にはFD4の電圧がリセットされた状態における信号(N信号)が出力される。N信号には、リセットトランジスタ6がオフする際に生じるkTCノイズなどのリセットノイズが含まれる。

30

【0026】

次に、時刻T102に、PTSとPTNがハイレベルになり、2つのスイッチ14、15がオンし、垂直出力線11とサンプルホールド容量16、17とが導通する。これによって、2つのサンプルホールド容量16、17が垂直出力線11に出力されたN信号によりリセットされる。時刻T103にPTSとPTNがローレベルになり、垂直出力線11とサンプルホールド容量16、17とが非導通となる。

【0027】

時刻T104に、PTNがハイレベルになる。スイッチ15がオンして、サンプルホールド容量17にN信号が書き込みが開始される。時刻T105に、PTNがローレベルになり、スイッチ15がオフし、サンプルホールド容量17へのN信号の書き込みが終了する。図3が示すとおり、リセットトランジスタ6のゲートの電圧がVRESL1に制御され、PTNがハイレベルである期間(T104~T105)は、FDの電圧変化が安定するのに十分な期間であることが望ましい。

40

【0028】

続いて時刻T106においてPTSがハイとなり、スイッチ14がオンし、サンプルホールド容量16へのS信号の書き込みが開始される。

【0029】

時刻T107において、PRESの電圧がVRESL1からVRESL2に切り替わる。この電圧の変化に応じて、容量13を介してFD4の電圧がV2だけ上がる。PRESの電圧がVRESL2に上がっても、リセットトランジスタ6はオフしたままである。

50

【0030】

時刻T108にPTXがハイレベルになり、転送トランジスタ3がオンする。この時点で、PD2の信号電荷のFD4への転送が開始される。時刻T109にPTXがローレベルになり、転送トランジスタ3がオフして、信号電荷の転送が終了する。時刻T108から時刻T109までの期間は、PD1に蓄積された全ての信号電荷が転送されるのに十分な長さであることが好ましい。全ての信号電荷が転送される場合、すなわち信号電荷が完全転送される場合には、時刻T109よりも前に信号電荷の転送が終了してもよい。FD4に転送された信号電荷の量に応じて、FD4の電圧は電圧Vsigだけ低下する。信号電荷がFD4に転送された後は、垂直出力線11にはFD4に信号電荷が転送された状態における信号(S信号)が出力される。

10

【0031】

時刻T110においてPRESの電圧がVRESL2からVRESL1に切り替わると、FD4の電圧はV2だけ下がる。

【0032】

続いて、時刻T111において、PTSがローレベルになる。この時点で、スイッチ4がオフして、S信号のサンプルホールド容量16への書き込みが終了する。リセットトランジスタ6のゲートの電圧がVRESL1に制御され、PTSがハイレベルである期間(T110~T111)は、FDの電圧変化が安定するのに十分な期間であることが望ましい。最後に、時刻T112においてPRESがVRESHとなり、FD4の電圧がリセットされる。

20

【0033】

本実施例の要部は以下の点である。まず1点目として、時刻T105及び時刻T111において、リセットトランジスタ6のゲートに供給される電圧がVRESL1に制御される点である。そして、2点目として、時刻T107~T110の期間に、リセットトランジスタ6のゲートに供給される電圧が、VRESL1よりも高い電圧であるVRESL2に制御される点である。2点目の特徴により、VRESL1が供給される場合に比べて、FD4の電圧がV2だけ高い状態で、信号電荷を転送できる。PD2の電圧は、光電変換期間前にリセットされた時の電圧に比べて光電変換により生じた信号電荷の量に応じて下がる。このような状態でFD4の電圧をV2だけ上げるため、PD2とFD4との電圧差を大きくする事が可能となる。これにより、PD2からFD4へ転送できる最大の電荷量を大きくすることができる。このため、信号電荷の完全転送が容易となる。

30

【0034】

また1点目の特徴によれば、FD4の電圧が下がるので、増幅トランジスタ5が飽和領域で動作しやすくなり、増幅トランジスタからの出力信号のリニアリティを向上させることが可能となる。

【0035】

図3で示された動作では、転送トランジスタ3がオンの期間は、常時リセットトランジスタ6のゲートの電圧が増幅トランジスタの出力時より高い電圧に制御される。しかし、リセットトランジスタ6のゲートに供給される電圧がVRESL2に制御される期間が、転送トランジスタ3がオンしている期間の一部と重なってればよい。

40

【0036】

図4は、VRESH、VRESL1、VRESL2の3値を制御線9へ供給するための回路例である。PMOSTランジスタ101は、ゲートにローレベルの電圧が供給された時にオンし、ハイレベルの電圧が供給された時にオフする。NMOSTランジスタ102、103、104は、ゲートにハイレベルの電圧が供給された時にオンし、ローレベルの電圧が供給された時にオフする。105はインバータである。第1のノード106の電圧をローレベルの電圧にすると、第2のノード107の電圧によらず、制御線9にVRESHが出力される。第1のノード106、第2のノード107の電圧を共にハイレベルの電圧にすると、制御線9にVRESL1が出力される。第1のノード106の電圧をハイレベルの電圧にし、第2のノード107の電圧をローレベルの電圧にすると、制御線9にV

50

RESL2が出力される。構成101～105は図2の垂直走査部21の後段もしくは、垂直走査部21と一体的に構成される。第1のノード106、第2のノード107の少なくとも一方に垂直走査部21からのパルスが供給される。両者に対して垂直走査部21からパルスが供給されてもよいし、少なくとも一方に対して供給され、他方に対しては、チップ外部から直接もしくはチップ外部からのパルスに対して簡易なロジック回路を介して供給されてもよい。

【0037】

したがって少なくとも垂直走査部21、構成101～105により、制御線9に3値の電圧を供給することができるため、これらが結合容量を介してFDと接続されたノードの電圧制御手段として機能する。更に電圧制御手段としてタイミングジェネレータを含んで

10

【0038】

次に、本実施例によって得られる効果を詳細に説明する。まず、光電変換部の信号電荷が完全転送されるための条件と、センサ出力のリニアリティが良好に保たれるための条件について説明する。

【0039】

PD2に蓄積することができる最大の電荷量を飽和電荷量とする。PD2に飽和電荷量の信号電荷が蓄積された場合に、信号電荷を完全転送するための条件は、式(2)で表される。

$$V_{rs} - V_{sat} > V_{dep} \quad \dots (2)$$

20

ここで、 V_{sat} はPD2の飽和電荷量の信号電荷がFD4に転送された時のFD4の電圧変化量、 V_{dep} はPD2を完全空乏化するのに必要なFD4の電圧である。ここで完全に空乏化するのには、PD2を構成する半導体領域のうち、少なくともN型の半導体領域である。 V_{dep} はPD2を構成するN型半導体領域が完全に空乏化するための電圧であるといえる。式(2)が示す通り、信号電荷の完全転送のためには、FD4のリセット電圧 V_{rs} が高い方がよい。

【0040】

入射光量と増幅トランジスタの出力信号との関係が良好なリニアリティを確保するためには、増幅トランジスタ5がソースフォロア動作するための条件(飽和領域で動作するための条件)である式(3)を満たす必要がある。

30

$$V_g - V_d < V_{th_sf} \quad \dots (3)$$

ここで、 V_g 、 V_d 、 V_{th_sf} はそれぞれ増幅トランジスタ5のゲート電圧、ドレイン電圧、閾値電圧である。図1が示すように、増幅トランジスタ5のゲートはFD4に接続されているので V_g はFD4の電圧であり、増幅トランジスタ5のドレインは電源に接続されているので V_d は電源電圧である。FD4に信号電荷が転送されるとFD4の電圧は下がるので、 V_g がFD4のリセット電圧 V_{rs} である時に式(3)が満たされれば、広範囲な輝度領域で良好なリニアリティが保たれる。したがって、広範囲な輝度領域で良好なリニアリティが保たれる条件は式(4)で表される。

$$V_{rs} - V_d < V_{th_sf} \quad \dots (4)$$

40

式(4)が示す通り、リニアリティの向上のためには、FD4の電圧は低い方が好ましく、つまり、FD4のリセット電圧 V_{rs} が低い方がよい。しかし、式(4)を満たすためにリセット電圧 V_{rs} を低くすると、完全転送の条件である式(2)を満足することが困難になる。

【0041】

特許文献1には、信号電荷の完全転送のためにFD4の電圧を高くする手法が開示されている。しかし、FD4の電圧が高い状態で増幅トランジスタ5から信号を出力しようとすると、式(3)が満たされにくいので、リニアリティを確保することが困難になる。

【0042】

このように、信号電荷の完全転送もしくはそれに準じた高効率での電荷転送と、増幅トランジスタからの出力信号のリニアリティの確保はトレードオフの関係にある。そこで、

50

発明者らは、信号電荷の完全転送の条件である式(2)と、良好なりニアリティを確保するための条件である式(4)が満たされるべき時刻に注目した。式(2)は、電荷転送時(図3の時刻T108~T109の期間)に満たされればよく、電荷転送時以外には必ずしも満たされる必要は無い。式(4)は、S信号及びN信号が対応するサンプルホールド容量16、17に書き込まれる時刻T111及びT105で満たされればよく、それ以外の期間には必ずしも満たされる必要は無い。したがって、2つの条件を両立するためには、時刻T111およびT105においてFD4の電圧を低く制御し、時刻T108~T109の少なくとも一部の期間においてFD4の電圧を高く制御できればよい。

【0043】

本実施例によれば、時刻T105及びT111にはリセットトランジスタ6のゲートにVRESL1が供給され、時刻T107~T110の期間にはリセットトランジスタ6のゲートにVRESL2が供給される。T107におけるFD4の電圧は、 $V_{rs} - V_1 + V_2$ と表される。時刻T105におけるFD4の電圧は、 $V_{rs} - V_1$ と表される。よって、信号電荷の完全転送の条件と、良好なりニアリティを確保するための条件とは、式(1)を用いて、それぞれ式(5)、式(6)で表される。

$$VRESH - V_{th_res} - V_1 + V_2 - V_{sat} > V_{dep} \quad \dots (5)$$

$$VRESH - V_{th_res} - V_1 - V_d < V_{th_sf} \quad \dots (6)$$

時刻T111におけるFD4の電圧は、 $V_{rs} - V_1 - V_{sig}$ と表される。 V_{sig} は信号電荷が転送されたことによる、FD4の電圧変化量である。信号電荷が電子の場合には、信号電荷の転送によってFD4の電圧は下がるので、式(6)が満足されれば良好なりニアリティが確保される。

【0044】

例えば、VRESHを固定し、式(6)を満たすような V_1 を与えるVRESL1を設定した後、式(5)を満たすような V_2 を与えるVRESL2を設定することで、式(5)と式(6)とを両立することができる。したがって、本実施例によれば、転送できる最大の電荷量を増やすために、信号電荷の転送時にFD4の電圧を高くする場合でも、センサ出力の良好なりニアリティを確保することが可能となる。式(5)、(6)を完全に満たすことが望ましい。しかしそうでなくても、時刻T111およびT105においてFD4の電圧を低く制御し、時刻T108~T109の少なくとも一部の期間においてFD4の電圧を高く制御すれば一定の効果は得られる。

【0045】

更に、増幅トランジスタ5を埋め込みチャンネル型にすることで、RTSなどのノイズを低減することができる。チャンネルをゲート絶縁膜とチャンネル部との界面からチャンネル部深部へ深く埋め込むほど、ノイズ低減の効果が大きくなる。しかしながら、増幅トランジスタ5を埋め込みチャンネル型にすると V_{th_sf} が低下する。チャンネルを深く埋め込むほど V_{th_sf} は低下するので、式(4)が満たされにくくなる。したがって、増幅トランジスタが埋め込みチャンネル型の構成に本実施例の構成を適用するとリニアリティの向上の効果がより顕著になる。

【0046】

式(2)及び式(4)はそれぞれ、式(7)及び式(8)の通りに変形することができる。増幅トランジスタ5の閾値電圧が低い場合、とくに負になる場合には、 $V_{sat} + V_{dep} > V_d + V_{th_sf}$ となりうる。式(7)及び式(8)を同時に満たすリセット電圧 V_{rs} は存在しない。このような場合に本発明を実施すると、低輝度領域でのリニアリティの向上の効果がより顕著になる。

$$V_{sat} + V_{dep} < V_{rs} \quad \dots (7)$$

$$V_{rs} < V_d + V_{th_sf} \quad \dots (8)$$

また、完全転送の課題を解決する手法として、特許文献1には、増幅トランジスタからの増幅信号が出力される信号出力線とFDとの結合容量を介して、電荷転送時にFDの電圧を高くする手法が開示されている。この結合容量は、意図的に組み込まれた容量であってもよいし、寄生容量であってもよいとされている。

【 0 0 4 7 】

結合容量が寄生容量である場合は、製造プロセスに起因するばらつきが大きいいため、電圧制御の精度にばらつきがあるという課題がある。FDの容量は、いくつかの成分で構成される。半導体内のPN接合の結合容量、FDから増幅トランジスタのゲートまでの配線と他の配線あるいはシリコン基板との静電容量、増幅トランジスタのゲート容量である。このうち、FDから増幅トランジスタのゲートまでの配線と、それより上層の配線との間の静電容量は、層間絶縁膜の膜厚ばらつきにより変動しやすい。特にCMP法で平坦化工程を使用する一般的な多層配線技術でばらつきは顕著である。

【 0 0 4 8 】

本実施例においては、リセットトランジスタ6のソースがFD4に接続され、リセットトランジスタ6のゲートとソースとの間の結合容量を利用して、FD4の電圧を制御している。容量13の主たる容量成分が、リセットトランジスタ6のゲートとソースとの間の結合容量である。MOSトランジスタのゲート電極を形成する工程に起因する製造ばらつきは、CMP工程に起因する製造ばらつきよりも小さいため、このような構成によれば、高精度にFD4の電圧を制御することができる。ソースまたはドレインの一方がFDに接続されたMOSトランジスタのゲートの電圧を制御する構成によれば、製造プロセスに起因するばらつきの影響が小さい手法により、センサ出力のリニアリティを向上させることが可能である。

10

【 0 0 4 9 】

また、本実施例を、FD4に対して意図的に容量を組み込んで実施することもできる。しかしこの場合、画素部のレイアウト面積を圧迫するという課題が生じる。本実施例においては、リセットトランジスタ6のゲートとソースとの間の結合容量を利用して、FD4の電圧を制御している。そのため、画素部のレイアウトを圧迫することがない。

20

【 0 0 5 0 】

製造プロセスに起因するばらつきが小さいという利点は、MOSトランジスタのゲートとFDとが結合容量を接続される場合に得られる。画素部のレイアウトを圧迫することがないという利点は、リセットトランジスタ、転送トランジスタ、選択トランジスタなど、画素に含まれる画素MOSトランジスタのゲートとFDとが結合容量を接続される場合に得られる。

【 0 0 5 1 】

本実施例においては、時刻T105及び時刻T111において、リセットトランジスタ6のゲートに供給される電圧が同じ電圧VRESL1に制御される。しかし、VRESL2より低い電圧であれば、時刻T105及び時刻T111において、リセットトランジスタ6のゲートに供給される電圧が異なってもよい。S信号が出力される時、及びN信号が出力される時に、リセットトランジスタ6のゲートの電圧が電荷転送時よりも低い電圧に制御されていれば、リニアリティの向上の効果が得られる。

30

【 0 0 5 2 】

本実施例の通り、時刻T105及び時刻T111において、リセットトランジスタ6のゲートに供給される電圧が等しいことによって、S信号とN信号との間の基準電圧に差が生じない。そのためS信号とN信号との差分処理を行った際に、オフセットの少ないセンサ出力を得ることができる。

40

【 0 0 5 3 】

(実施例1の変形例)

信号電荷が電子である場合に、P型チャネルの増幅トランジスタが用いられてもよい。図10は、実施例1の変形例の画素の等価回路図である。図1と同様の機能を有する部分には同じ符号を付し、詳細な説明は省略する。

【 0 0 5 4 】

実施例1の変形例では、増幅トランジスタ100がP型チャネルのMOSトランジスタである。P型チャネル増幅トランジスタ100のドレインがGND電圧を供給するノードに接続される。P型チャネル増幅トランジスタ100のソースが、選択トランジスタ7を

50

介して垂直出力線 1 1 に接続される。垂直出力線 1 1 には定電流源 1 2 が接続される。P 型チャンネル増幅トランジスタ 1 0 0 と定電流源 1 2 とによりソースフォロア回路が構成される。

【 0 0 5 5 】

このような構成において、F D 4 の電圧が上がると垂直出力線 1 1 の電圧が上がるため、定電流源 1 2 の両端の電圧が小さくなる。そのため、定電流源 1 2 を構成するトランジスタが線形領域で動作しやすくなる。定電流源 1 2 を構成するトランジスタが線形領域で動作すると、垂直出力線 1 1 を流れる電流値が変化するため、出力信号のリニアリティが悪化する。

【 0 0 5 6 】

また、電子がホールの場合に、増幅トランジスタに P 型チャンネルのトランジスタが用いられた構成に本発明を適用した場合も、実施例 1 と同様の効果を得ることができる。

【 0 0 5 7 】

(実施例 2)

図 5 は、本発明の第 2 の実施例における画素の等価回路を示す。実施例 1 と同様の機能を有する部分には同一の符号を付し、詳細な説明は省略する。

【 0 0 5 8 】

本実施例では、P D 2 及び P D 3 1 が、対応する転送トランジスタ 3 及び転送トランジスタ 3 2 を介して、1 つの F D 4 に接続される。2 つの画素が 1 つの F D 4 及び 1 つの増幅トランジスタ 5 を共有している。このような構成によって、2 つの画素の信号電荷を加算して読み出すことが可能となる。それぞれの P D に蓄積された信号電荷を別々に読み出すことも可能である。ここで 1 つの F D 4 としたが、半導体領域は各々設けられ、これらが電氣的に接続されて電氣的に同一ノードとなって F D 4 を構成している場合も共有に含む。

【 0 0 5 9 】

容量 3 3 は転送トランジスタ 3 のゲートと F D 4 との間の結合容量である。容量 3 4 は転送トランジスタ 3 2 のゲートと F D 4 との間の結合容量である。図 5 に示していないが、本実施例において制御線 9 と F D 4 との間に結合容量を備えていてもよい。

【 0 0 6 0 】

本実施例では、電荷を転送していない転送トランジスタのゲートに接続される制御線に供給される電圧を制御することが特徴である。具体的には、一方の転送トランジスタがオンの時に、他方の転送トランジスタのゲートに供給される電圧を、増幅トランジスタ 5 が信号を出力する時に他方の転送トランジスタのゲートに供給される電圧よりも高い電圧に制御する。

【 0 0 6 1 】

図 6 は、本実施例の固体撮像装置を駆動するための駆動パルスを示す。図 6 を用いて、P D 2 の信号電荷を転送トランジスタ 3 によって F D 4 に転送する場合の駆動を説明する。P R E S、P T S、P T N、F D が意味するものは、図 3 と同じである。P T X 1 は制御線 8 を介して転送トランジスタ 3 のゲートに供給される駆動パルスであり、P T X 2 は制御線 3 5 を介して転送トランジスタ 3 2 のゲートに供給される駆動パルスである。駆動パルスのハイレベルは、対応するトランジスタがオンする電圧であり、駆動パルスのローレベルは対応するトランジスタがオフする電圧である。

【 0 0 6 2 】

本実施例において、P T X 1 及び P T X 2 のローレベルの電圧として、2 つの異なる電圧 V T X L 1 及び V T X L 2 が設定可能である。V T X L 2 は V T X L 1 よりも高い電圧であり、V T X L 1 及び V T X L 2 のいずれも転送トランジスタ 3、3 2 がオフする電圧である。すなわち転送トランジスタ 3 は、P T X 1 がハイレベルの電圧 V T X H である時にオンし、P R E S がローレベルの電圧 V T X L 1 または V T X L 2 ($> V R E S L 1$) である時にオフする。転送トランジスタ 3 2 は、P T X 2 がハイレベルの電圧 V T X H である時にオンし、P R E S がローレベルの電圧 V T X L 1 または V T X L 2 ($> V R E S$

10

20

30

40

50

L1)である時にオフする。

【0063】

図6において、時刻T201~T206、T211~T212の駆動は、実施例1における図3の時刻T101~T106、T111~T112の駆動と同様である。

【0064】

時刻T207において、PTX2の電圧がVTXL1からVTXL2に切り替わる。この転送トランジスタ32のゲートの電圧の変化に応じて、容量34を介してFD4の電圧がV3だけ上がる。PTX2のローレベルの電圧がVTXL2に上がっても、転送トランジスタ32はオフしたままである。

【0065】

時刻T208にPTX1がハイレベルになり、転送トランジスタ3がオンする。この時点で、PD2の信号電荷のFD4への転送が開始される。時刻T209にPTX1がローレベルになり、転送トランジスタ3がオフして、信号電荷の転送が終了する。信号電荷がFD4に転送された後は、垂直出力線11にはFD4に信号電荷が転送された状態における信号(S信号)が出力される。

【0066】

時刻T210においてPTX2の電圧がVTXL2からVTXL1に切り替わると、FD4の電圧はV3だけ下がる。なお、PTX1は、時刻T207~T208および時刻T209~T210の期間にVTXL1であってもVTXL2であってもいい。

【0067】

本実施例によれば、時刻T205及びT211には転送トランジスタ32のゲートにVTXL1が供給され、時刻T207~T210の期間には転送トランジスタ32のゲートにVTXL2が供給される。時刻T207におけるFD4の電圧は、 $V_{rs} - V_1 + V_3$ と表される。時刻T205及びT211におけるFD4の電圧は、 $V_{RESH} - V_{th_res} - V_1$ と表される。式(5)においてV2をV3に置き換えることで、本実施例において信号電荷の完全転送される条件を表すことができる。本実施例においても、V1とV3を適切に設定することで、式(5)と式(6)とを両立することができる。したがって、本実施例によれば、転送できる最大の電荷量を増やすために、信号電荷の転送時にFD4の電圧を高くする場合でも、センサ出力の良好なりニアリティを確保することが可能となる。

【0068】

VTXL1は、転送トランジスタのチャネル部における暗電流抑制のため負の値に設定されてもよい。転送トランジスタ32のゲートの電圧を一時的にVTXL2に上げることで暗電流によるノイズが発生する可能性がある。したがって、転送トランジスタ32のゲートの電圧をVTXL2に制御する期間は、短いほうが好ましい。また暗電流抑制の観点でいえばVTXL2をVTXL1との大小関係を満たしつつ負の値にしても良い。

【0069】

さらに本実施例においては、3以上の画素でFD4を共有する構成とすることができる。例えば4つの画素で1つのFD及び1つの増幅トランジスタを共有する場合には、電荷転送のためにオンする転送トランジスタ以外の3つの転送トランジスタのゲートの電圧を制御することができる。転送トランジスタが1つの場合に比べて、FD4の電圧の変化量(V3)が略3倍となる。したがって、本実施例の構成によれば、実施例1の効果に加えて、転送可能な電荷の最大量をさらに大きくすることが可能となる。

【0070】

(実施例3)

図7は、本発明の第3の実施例における画素の等価回路を示す。実施例1または実施例2と同様の機能を有する部分には同一の符号を付し、詳細な説明は省略する。

【0071】

図7は、1つのFD4及び増幅トランジスタ5を共有した2つの画素のブロック40が、列方向に3個配された構成を示している。隣接するブロックのFD4が接続トランジスタ

10

20

30

40

50

タ 4 1 を介して接続されていることが本実施例の特徴である。接続トランジスタ 4 1 は隣接するブロックの F D 間の電氣的接続を制御する。この接続トランジスタ 4 1 によって、隣接するブロックの信号を加算することが可能となる。容量 4 2 は、接続トランジスタ 4 1 のゲートと F D 4 との間の結合容量である。制御線 4 3 が接続トランジスタ 4 1 のゲートに接続される。図示していないが、更に、F D 4 と各トランジスタの制御線との間に結合容量が配されていてよい。

【 0 0 7 2 】

図 7 は 1 画素列に含まれる複数の画素を示している。実際には図 7 に示された 1 列の画素が行方向に複数列配されることで、画素が行列状に配された画素領域が構成される。

【 0 0 7 3 】

図 8 は、本実施例の固体撮像装置を駆動するための駆動パルスを示す。図 8 を用いて本実施例の駆動を説明する。なお、ここでは信号の加算を行わずにブロックごとに別々に信号を出力する際の駆動を例に説明する。すなわち、図 8 で示された期間中、接続トランジスタ 4 1 は常にオフしている。

【 0 0 7 4 】

P R E S、P T X 1、P T S、P T N、F D が意味するものは、図 6 と同じである。転送トランジスタ 3 2 のゲートに供給される駆動パルス P T X 2 は省略しているが、図 6 に示される駆動パルス P T X 2 と同様のパルスが供給される。転送トランジスタ 3 2 のゲートには、図 8 で示される期間中、常に一定の電圧が供給されてもよい。S W は、制御線 4 3 を介して接続トランジスタ 4 1 のゲートに供給される駆動パルスである。駆動パルスのハイレベルは、対応するトランジスタがオンする電圧であり、駆動パルスのローレベルは対応するトランジスタがオフする電圧である。

【 0 0 7 5 】

本実施例において、S W のローレベルの電圧として、2 つの異なる電圧 V S W L 1 及び V S W L 2 が設定可能である。V S W L 2 は V S W L 1 よりも高い電圧であり、V S W L 1 及び V S W L 2 のいずれも接続トランジスタ 4 1 がオフする電圧である。接続トランジスタ 4 1 は、S W がハイレベルの電圧 V S W H の時にオンし、S W がローレベルの電圧 V S W L 1 または V S W L 2 ($> V S W L 1$) の時にオフする。

【 0 0 7 6 】

図 8 において、時刻 T 3 0 1 ~ T 3 0 6、T 3 1 1 ~ T 3 1 2 の駆動は、実施例 1 における図 3 の時刻 T 1 0 1 ~ T 1 0 6、T 1 1 1 ~ T 1 1 2 の駆動と同様である。

【 0 0 7 7 】

時刻 T 3 0 7 において、S W のローレベルの電圧が V S W L 1 から V S W L 2 に切り替わる。この接続トランジスタ 4 1 のゲートの電圧の変化に応じて、容量 4 2 を介して F D 4 の電圧が V 4 だけ上がる。S W のローレベルの電圧が V S W L 2 に上がっても、接続トランジスタ 4 1 はオフしたままである。

【 0 0 7 8 】

時刻 T 3 0 8 に P T X 1 がハイレベルになり、転送トランジスタ 3 がオンする。この時点で、P D 2 の信号電荷の F D 4 への転送が開始される。時刻 T 3 0 9 に P T X 1 がローレベルになり、転送トランジスタ 3 がオフして、信号電荷の転送が終了する。

【 0 0 7 9 】

時刻 T 3 1 0 において S W のローレベルの電圧が V S W L 2 から V S W L 1 に切り替わると、F D 電圧は V 4 だけ下がる。

【 0 0 8 0 】

本実施例によれば、時刻 T 3 0 5 及び T 3 1 1 には接続トランジスタ 4 1 のゲートに V S W L 1 が供給され、時刻 T 3 0 7 ~ T 3 1 0 の期間には接続トランジスタ 4 1 のゲートに V S W L 2 が供給される。時刻 T 3 0 7 における F D 4 の電圧は、 $V_{rs} - V_1 + V_4$ と表される。時刻 T 3 0 5 及び T 3 1 1 における F D 4 の電圧は、 $V_{RESH} - V_{th_res} - V_1$ と表される。式 (5) において V 2 を V 4 に置き換えることで、本実施例において信号電荷の完全転送される条件を表すことができる。本実施例において

10

20

30

40

50

も、 V_1 と V_4 を適切に設定することで、式(5)と式(6)とを両立することができる。したがって、本実施例によれば、上述の実施例と同様、転送できる最大の電荷量を増やすために、信号電荷の転送時にFD4の電圧を高くする場合でも、センサ出力の良好なりニアリティを確保することが可能となる。

【0081】

図8に示される期間は接続トランジスタ41が常にオフし、ブロック間で信号の加算が行われない駆動を説明した。ブロック間で信号を加算するために接続トランジスタ41がオンした状態で、接続トランジスタ41のゲートの電圧を制御してもよい。

【0082】

図9は、本実施例の固体撮像装置を駆動するための別の駆動パルスを示す。図9に示される期間は接続トランジスタ41が常にオンしている。PRES、PTS、PTN、FDが意味するものは、図8と同じである。PTXは転送トランジスタ3、32及び接続トランジスタ41で接続された隣接ブロックの転送トランジスタのゲートに供給される駆動パルスである。SWは、制御線43を介して接続トランジスタ41のゲートに供給される駆動パルスである。駆動パルスのハイレベルは、対応するトランジスタがオンする電圧であり、駆動パルスのローレベルは対応するトランジスタがオフする電圧である。

【0083】

SWのハイレベルの電圧には、2つの異なる電圧VSWH1及びVSWH2が設定される。VSWH2はVSWH1よりも高い電圧であり、VSWL1及びVSWL2のいずれも接続トランジスタ41がオンする電圧である。

【0084】

接続トランジスタ41がオンであることを除いて、図9に示された駆動パルスによる駆動は、図8に示された駆動パルスによる駆動と同様である。電荷転送時(T308~T309)には、接続トランジスタ41のゲートにVSWH2を供給し、S信号の出力時及びN信号の出力時には、接続トランジスタ41のゲートにVSWH1を供給する。したがって、図8に示された駆動パルスによる駆動を行った場合と同様の効果が得られる。

【0085】

以上、本発明を具体的に実施例を挙げて説明したが、発明の主旨を越えない範囲で適宜変更、組み合わせ可能である。例えば、電圧を制御するノードは、増幅トランジスタのドレインに接続されたノードであってもよい。増幅トランジスタのドレインとゲートとは、ゲート容量を介して容量結合しているため、ドレインの電圧を制御することにより、FDの電圧を変化させることが可能である。

【0086】

実施例1~3では、画素に含まれるMOSトランジスタがN型チャネルである構成を示したが、いずれかのMOSトランジスタがP型チャネルであってもよい。例えばリセットトランジスタ6をP型チャネルとし、他のトランジスタをN型チャネルとすることができる。

【0087】

また、実施例1~3では、信号電荷が電子であり、増幅トランジスタがN型チャネルの場合を例に説明した。信号電荷がホールであり、増幅トランジスタがP型チャネルである構成とすることもできる。この場合には、印加する電圧の極性を入れ替えればよい。

【0088】

更に実施例1、2においてVRESL2、VTXL2は各トランジスタをオフする電圧であるとしたが、オンする電圧であっても、その印加する期間を短くすればよい。同様にサブスレッシュド領域となる電圧でも良い。またVRESL2、VTXL2、VSWL2、VSWH2を、転送トランジスタがオンとなる期間内で間欠的に供給してもよい。

【符号の説明】

【0089】

- 1 画素
- 2、31 フォトダイオード

10

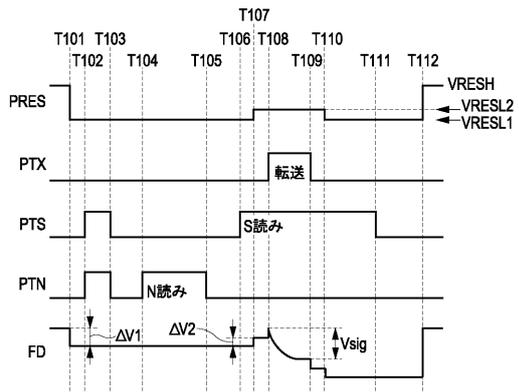
20

30

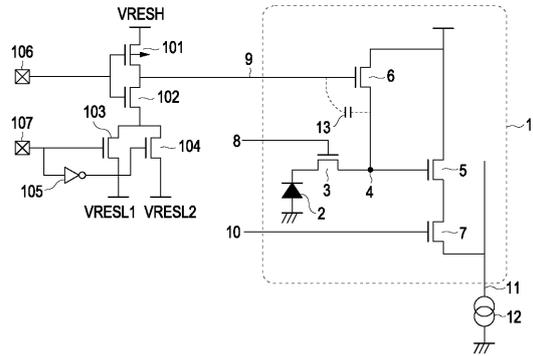
40

50

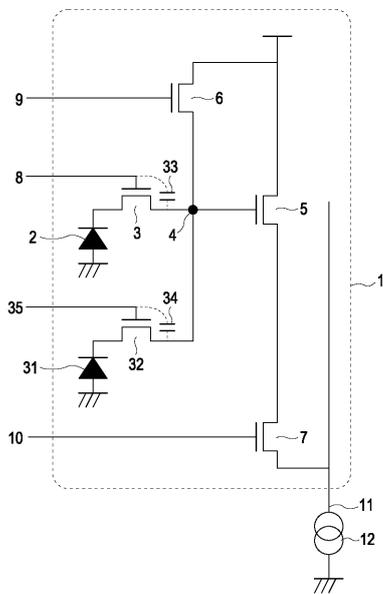
【図3】



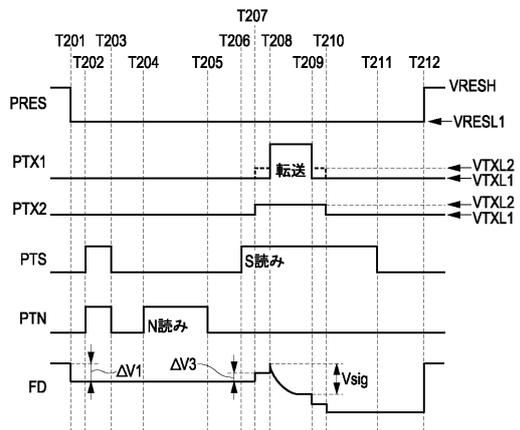
【図4】



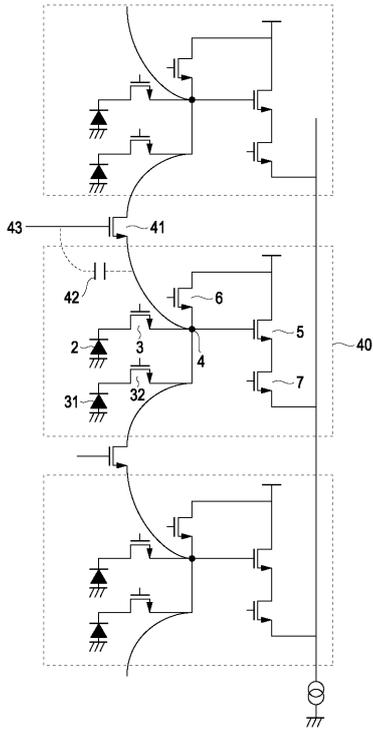
【図5】



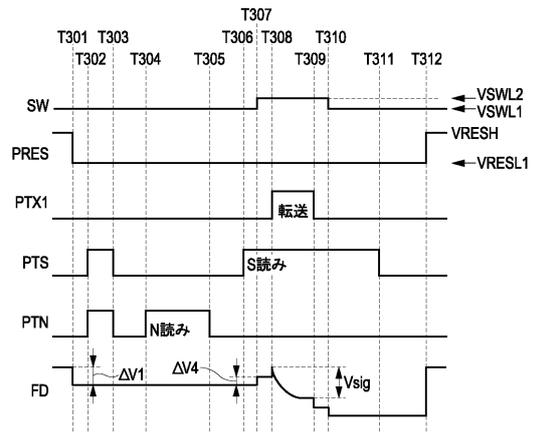
【図6】



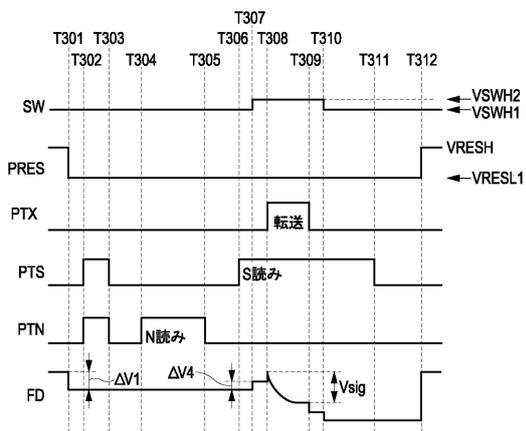
【図7】



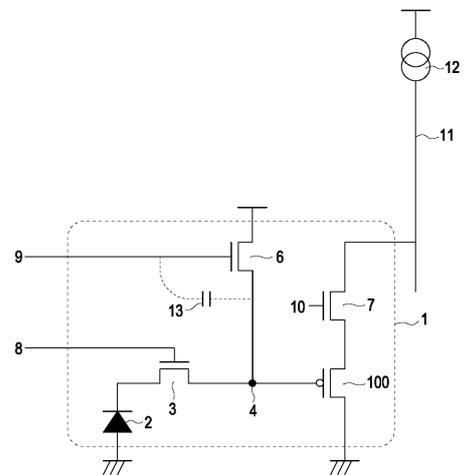
【図8】



【図9】



【図10】



フロントページの続き

(56)参考文献 特開2005-192191(JP,A)
特開2005-268295(JP,A)
特開2010-109677(JP,A)
特開2006-120679(JP,A)
特開平09-046596(JP,A)
特開2009-290659(JP,A)
特開2010-136281(JP,A)
特表2008-511255(JP,A)
特開2010-045591(JP,A)
特開2008-263546(JP,A)
特開2009-182349(JP,A)
特開2006-042120(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762