

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-138214

(P2011-138214A)

(43) 公開日 平成23年7月14日(2011.7.14)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G05F 3/24 (2006.01)</b>	G05F 3/24 A	5F038
<b>H01L 21/822 (2006.01)</b>	H01L 27/04 B	5H420
<b>H01L 27/04 (2006.01)</b>		

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2009-296268 (P2009-296268)	(71) 出願人	000003078
(22) 出願日	平成21年12月25日 (2009.12.25)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100089118
			弁理士 酒井 宏明
		(72) 発明者	香西 昌平
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		Fターム(参考)	5F038 AV04 AZ08 BB02 BB05 BG04
			DF04 DF05 DF12 EZ06 EZ20
			5H420 NA12 NA16 NA27 NB02 NB03
			NB14 NB23 NC14 NE28

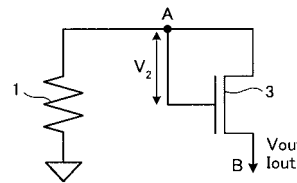
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】半導体プロセスを用いて、雰囲気温度から駆動電圧を得る半導体集積回路装置を提供する。

【解決手段】ダイオード接続された整流素子（トランジスタ3）と、一端が前記整流素子の一端に接続され、他端が接地電位に接続された電圧発生源としての抵抗素子（抵抗1）と、から構成される駆動電圧発生回路（単位セル31）から成り、前記抵抗素子（抵抗1）が発生する電圧を駆動電圧として前記整流素子（トランジスタ3）の他端に出力することを特徴とする半導体集積回路装置。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

ダイオード接続された整流素子と、  
一端が前記整流素子の一端に接続され、他端が接地電位に接続された電圧発生源としての抵抗素子と、から構成される駆動電圧発生回路から成り、  
前記抵抗素子が発生する電圧を駆動電圧として前記整流素子の他端に出力することを特徴とする半導体集積回路装置。

**【請求項 2】**

ダイオード接続された第 1 の整流素子の一端と電圧発生源としての第 1 の抵抗素子の一端とが接続されて第 1 の駆動電圧発生回路を成し、複数の前記第 1 の駆動電圧発生回路が接続されて第 1 の駆動電圧発生部を成し、

ダイオード接続された第 2 の整流素子の一端と電圧発生源としての第 2 の抵抗素子の一端とが接続されて第 2 の駆動電圧発生回路を成し、複数の前記第 2 の駆動電圧発生回路が接続されて複数の第 2 の駆動電圧発生部を成し、

前記第 1 および第 2 の駆動電圧発生部が直列または並列に接続されること、  
を特徴とする半導体集積回路装置。

**【請求項 3】**

前記第 1 および第 2 の駆動電圧発生部は、前記第 1 および第 2 の駆動電圧発生回路を複数直列に接続したことを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

**【請求項 4】**

前記第 1 および第 2 の駆動電圧発生部は、前記第 1 および第 2 の駆動電圧発生回路を複数並列に接続したことを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

**【請求項 5】**

前記駆動電圧発生回路で構成される発電部と、  
前記発電部または外部電源からの電力を負荷に供給する制御部と、  
を備えたことを特徴とする請求項 3 または 4 に記載の半導体集積回路装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、トランジスタまたはダイオードを用いて電力を供給する半導体集積回路装置に関する。

**【背景技術】****【0002】**

近年の地球温暖化により自然エネルギーを利用した発電が注目を集めている。この分野においてもナノテクノロジーを用いた技術が提案されている。例えば、下記特許文献 1 に示される従来技術によれば、雰囲気温度による熱エネルギーを、ナノテクノロジーを用いた発電機により、電力に変換することが可能である。

**【0003】**

しかしながら、この発明における発電には中空の構造が必要であり、従来のナノテクノロジーの中心である半導体プロセスとは別のカーボンナノチューブ等の追加のプロセスが必要である上、現状では加工が難しく実現できないという問題もある。さらに、熱電対や圧電対を集積することも従来の通常の半導体プロセスとは異なるという問題もある。

**【0004】**

他方、近年の半導体デバイスや無線技術の急速な発展により、さまざまな場面で無線技術が用いられるようになってきている。通信にケーブルを必要としない無線通信は、様々な応用がなされているが、通信機器の内部回路等の動作に必要な駆動電圧を、装置外部に設置された電池や AC 電源等から供給する必要があるという問題があった。このような問題を解決する手段として、例えば、下記特許文献 2 に代表される従来技術では、電力も無線で伝送する方法が提案されている。

**【0005】**

10

20

30

40

50

しかしながら、この従来の方法では、通信機器に対して電力を送信するデバイスが必要であり、このデバイスがなければ、当然ながら内部回路等を動作させることができないため情報の自発的な伝送が困難という課題があった。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特表2006-526725号公報

【特許文献2】特開2006-197734号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は、半導体プロセスを用いて、雰囲気温度から駆動電圧を得る半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本願発明の一態様によれば、ダイオード接続された整流素子と、一端が前記整流素子の一端に接続され、他端が接地電位に接続された電圧発生源としての抵抗素子と、から構成される駆動電圧発生回路から成り、前記抵抗素子が発生する電圧を駆動電圧として前記整流素子の他端に出力することを特徴とする半導体集積回路装置が提供される。

【発明の効果】

【0009】

本発明によれば、半導体プロセスを用いて、雰囲気温度から駆動電圧を得る半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施の形態にかかる半導体集積回路装置の構成を示すものである。

【図2】図1に示した半導体集積回路装置の等価回路を示すものである。

【図3】図1に示した抵抗の代わりにトランジスタを用いた半導体集積回路装置の構成を示すものである。

【図4】図3の半導体集積回路装置をモデルにしたSimulation用回路を示すものである。

【図5】図4のSimulation用回路による出力電圧の変化を示すものである。

【図6】図3の半導体集積回路装置を直列接続した場合の構成例を示すものである。

【図7】図3の半導体集積回路装置を並列接続した場合の構成例を示すものである。

【図8】図7の並列接続された半導体集積回路装置を更に直列接続した場合の構成例を示すものである。

【図9】図6の直列接続された半導体集積回路装置を更に並列接続した場合の構成例を示すものである。

【図10】本発明の第2の実施の形態にかかる半導体集積回路装置の構成を示すものである。

【図11】PMOSを用いた半導体集積回路装置とNMOSを用いた半導体集積回路装置とを、直列接続または並列接続した場合の構成例を示すものである。

【図12】図11の直列接続された半導体集積回路装置を更に並列接続した場合の構成例を示すものである。

【図13】図11の並列接続された半導体集積回路装置を更に直列接続した場合の構成例を示すものである。

【図14】本発明の第5の実施の形態にかかるトランジスタの構成を示すものである。

【図15】一般的なn型トランジスタを用いた場合の出力電圧の変化と、図14のn型トランジスタを用いた場合の出力電圧の変化とを示すものである。

【図16】制御部および発電部によって負荷を駆動する実施例を説明するための図である

10

20

30

40

50

。

【図17】1つのLSI上に発電部および制御部を集積した実施例を示す図である。

【図18】SoC上に発電部および制御部を集積した一の実施例を示す図である。

【図19】SoC上に発電部および制御部を集積した他の実施例を示す図である。

【図20】より多くの発電部を用いて負荷を駆動する実施例を説明するための図である。

【発明を実施するための形態】

【0011】

以下に添付図面を参照して、本発明の実施の形態にかかる半導体集積回路装置を詳細に説明する。なお、これらの実施の形態により本発明が限定されるものではない。

【0012】

10

(第1の実施の形態)

図1は、本発明の第1の実施の形態にかかる半導体集積回路装置の構成を示すものであり、図2は、図1に示した半導体集積回路装置の等価回路を示すものである。図1および2の半導体集積回路装置は、ダイオード接続されたトランジスタ3(整流素子)と、一端がトランジスタ3の一端に接続され、他端が接地電位(以下、GND)に接続され電圧発生源としての抵抗1(抵抗素子)と、を有して構成されている。

【0013】

以下、DC電圧 $V_{out}$ およびDC電流 $I_{out}$ が出力される原理を説明する。まず、抵抗値 $R$ の抵抗1において、熱雑音による電圧が発生する。この雑音電圧源10のRMS値の大きさ $e$ は、雰囲気絶対温度が $T$ のとき、単位周波数あたり、ボルツマン定数を $k$ とすると(1)式で表現できる。

20

【数1】

$$e^2 = 4kTR \quad \dots (1)$$

【0014】

このとき、トランジスタ3のゲートとドレインとの接続端(以下単に「ノードA」と称する)に発生する電圧 $v_2$ は、周波数 $f$ の関数として、(2)式で表現できる。ただし、 $C$ は、ノードAについている容量である。

【数2】

$$v_2 = \frac{e}{1 + 2\pi fCR} \quad \dots (2)$$

30

【0015】

なお、容量 $C$ は、ゲート容量、ゲート/ソース間容量、ドレイン/バックゲート間容量などを含むものである。ノードAに印加された電圧 $v_2$ は、トランジスタ3の非線形効果によって、その一部がDC電流に変換されトランジスタ3のソース(ノードB)に現れる。ここで、帯域 $1/2 CR$ までの雑音電圧 $v$ は、(3)式で表現できる。

【数3】

$$v = e \left( 0 < f < \frac{1}{2\pi CR} \right) \\ = 0 \left( \frac{1}{2\pi CR} < f \right) \quad \dots (3)$$

40

【0016】

さらに、DC電流 $I_{out}$ は、例えば、トランジスタ3の非線形効果を2乗で近似した場合、(4)式で表現できる。なお、(4)式では、DC電流 $I_{out}$ がゲート電圧 $V_g$ とドレイン電圧 $V_d$ との積に比例する関係となっているが、これは、トランジスタ3をダイオード接続しているためであり、一般的なトランジスタでは、DC電流 $I_{out}$ がゲー

50

ト電圧  $V_g$  の 2 乗あるいはドレイン電圧  $V_d$  の 2 乗に比例する関係となる。

【数 4】

$$I_{out} \propto V_g * V_d = \int_0^{\frac{1}{2\pi RC}} e^2 df = \frac{4kT}{2\pi C} \quad \dots (4)$$

【0017】

この(4)式より、なるべく大きな DC 電流  $I_{out}$  を取り出すためには、容量  $C$  を小さくする必要がある。これは、ノイズ電圧源(雑音電圧源 10)からの雑音電圧  $v$  を、できるだけ広い帯域で DC 電圧に変換することが重要だからである。

10

【0018】

また、より大きな非線形効果を得るためには、トランジスタ 3 の閾値電圧  $V_{th}$  を、例えば、0 V より小さく設定することが望ましい。例えば、閾値電圧  $V_{th}$  が低く設定されたトランジスタにおいて所定のゲート電圧  $V_g$  が印加されたときに流れる電流は、閾値電圧  $V_{th}$  が高く設定されたトランジスタにおいて上記同等のゲート電圧  $V_g$  が印加されたときに流れる電流に比して、大きな値を示す。

また、n 型基板を使った場合、トランジスタ 3 の閾値電圧  $V_{th}$  およびドレインとバックゲート間につく容量を小さくすることができる。

【0019】

20

ただし、実際の回路では、以下のような問題が存在する。すなわち、(1) ノード A に発生する電圧  $v_2$  を大きくするためには、抵抗 1 の抵抗値  $R$  を、例えば数  $k$  以上と大きくする必要がある。(2) たとえ抵抗値  $R$  を大きくしても、ノード A に発生する電圧  $v_2$  は、例えば 1 mV 程度と小さく、さらに、抵抗 1 の寄生容量により、実際のデバイス電圧を取り出すことは困難である。

【0020】

図 3 は、図 1 の抵抗 1 の代わりにトランジスタ 5 を用いた半導体集積回路装置の構成を示すものである。図 3 の半導体集積回路装置は、上述した問題を解決するためのものである。ダイオード接続されたトランジスタ 5 は、一端がトランジスタ 3 の一端に接続され、他端が GND に接続されている。

30

【0021】

このトランジスタ 5 によって実現される抵抗体は、面積が小さいため、抵抗 1 を用いた場合に比して寄生容量を小さくすることが可能である。従って、(4) 式の観点からも DC 電流  $I_{out}$  をとりやすい。

【0022】

トランジスタ 5 は、面積が小さく、かつ、高い抵抗値を示す抵抗成分として使用される。このトランジスタ 5 による抵抗を、ダイオードとして作用するトランジスタ 3 の入力インピーダンスよりも小さくすれば、多くの電流を得ることが可能である。具体的には、トランジスタ 5 の閾値電圧  $V_{th}$  は、例えば、トランジスタ 3 の閾値電圧  $V_{th}$  よりも 50 mV 程度低いことが望ましい。

40

【0023】

図 4 は、図 3 の半導体集積回路装置をモデルにした Simulation 用回路を示すものであり、図 5 は、図 4 の Simulation 用回路による出力電圧の変化を示すものである。図 4 のトランジスタ 5 とトランジスタ 3 は、図 3 の各トランジスタに対応するものである。ノード B には、図 5 の Simulation 結果を得るために、一例として、100 nF の容量  $C$  が接続されており、この容量  $C$  が充電され、出力電圧が増加している様子が見られる。

【0024】

ただし、抵抗 1 の代わりにトランジスタ 5 を使用した場合であっても、この構成で得られる電力は非常にわずかである。以下、より多くの出力を得るための構成を説明する。図 6 は、図 3 の半導体集積回路装置を直列接続した場合の構成例を示すものであり、図 7 は

50

、図3の半導体集積回路装置を並列接続した場合の構成例を示すものであり、図8は、図7の並列接続された半導体集積回路装置を更に直列接続した場合の構成例を示すものであり、図9は、図6の直列接続された半導体集積回路装置を更に並列接続した場合の構成例を示すものである。

【0025】

出力電圧を大きくするためには、図3の回路を直列に接続することで実現可能である。その一例が図6の半導体集積回路装置である。当該半導体集積回路装置は、トランジスタ3の一端とトランジスタ5の一端とが接続されて一の単位セル31（駆動電圧発生回路）を成し、トランジスタ3の他端と次段のトランジスタ5の他端とが接続され、複数の単位セル31a～31nが直列に接続されている。その結果、個々の単位セル31a～31nの出力電圧が加算され、トランジスタ31nの他端から正電位が出力される。なお、1段目の単位セル31aのトランジスタ5の他端は、GNDに接続されている。

10

【0026】

また、出力電流を大きくするためには、図7のように、単位セル31を並列に接続すればよい。図7の半導体集積回路装置は、トランジスタ3の一端とトランジスタ5の一端とが接続されて一の単位セル31を成し、トランジスタ3の他端が共通に接続され、複数の単位セル31a～31nが並列に接続されている。トランジスタ5の他端は、GNDに接続されている。

【0027】

なお、VLSI（Very Large-Scale Integration）では、1000万個以上のトランジスタの集積が可能であるため、たとえ単位セル31単体の電流がnA以下であり、電圧がmV以下であったとしても、図8、図9に示すように並/直列あるいは直/並列に結合することで、比較的大きな出力を得ることが可能である。

20

【0028】

図8の半導体集積回路装置は、複数の単位セル（第1の駆動電圧発生回路）33a～33nが並列に接続された駆動電圧発生部40a（第1の駆動電圧発生部）に、複数の単位セル（第2の駆動電圧発生回路）34a～34nが並列に接続された駆動電圧発生部40b（第2の駆動電圧発生部）が直列に接続されている。駆動電圧発生部40aを構成する単位セルは、トランジスタ3の一端とトランジスタ5の一端とが接続され、トランジスタ5の他端がGNDに接続され、トランジスタ3の他端が共通に接続されると共にコンデンサを介してGNDに接続されている。また、駆動電圧発生部40bを構成する単位セルは、トランジスタ3の一端とトランジスタ5の一端とが接続され、トランジスタ5の他端は駆動電圧発生部40aのトランジスタ3の共通接続された他端に接続されている。図8の半導体集積回路装置は、駆動電圧発生部をm段直列に接続したもので、最終段の駆動電圧発生部の共通に接続されたトランジスタ3の他端から出力電圧が出力される。

30

【0029】

図8の半導体集積回路装置は、各並列出力ノードに比較的大きな容量をつけることができるため、この並列出力ノードにDC電圧/電流と共に出力される雑音成分が除去され、後段に及ぼす影響、すなわち出力電圧/電流の低下を防ぐことが可能である。

【0030】

図9の半導体集積回路装置は、図6に示した半導体集積回路装置を複数並列に接続したものである。第1の駆動電圧発生部41aと第2の駆動電圧発生部41bは、最終段の単位セルのトランジスタ3の他端が共通に接続され、出力電圧が出力される。図9の半導体集積回路装置は、m段並列に接続したものである。

40

【0031】

図9の半導体集積回路装置は、各単位セル31の出力ノードとトランジスタのゲートとの間につく寄生容量が軽減されるため、単位セル31あたりの発電量の減少を防ぐことが可能である。

【0032】

なお、本実施の形態にかかる半導体集積回路装置には、整流ダイオードとして作用する

50

トランジスタ 3 と、抵抗体として作用するトランジスタ 5 との代わりに、ダイオードを適用することも可能である。この場合、トランジスタ 3 およびトランジスタ 5 を使用した場合に比べて、出力電圧は低下するが、本実施の形態と同様の効果を得ることが可能である。

#### 【 0 0 3 3 】

以上説明したように、本実施の形態にかかる半導体集積回路装置は、トランジスタ 3 の一端とトランジスタ 5 の一端とが接続されて一の単位セルを構成するようにしたので、従来の文献に開示されているような特殊な半導体プロセスを用いなくとも、雰囲気温度から駆動電圧を得ることが可能である。

#### 【 0 0 3 4 】

( 第 2 の実施の形態 )

図 1 0 は、本発明の第 2 の実施の形態にかかる半導体集積回路装置の構成図である。図 1 0 の半導体集積回路装置は、図 6 の半導体集積回路装置と同様に、単位セルを直列接続した構成である。さらに、当該半導体集積回路装置には、単位セル同士の接続端部にダイオード 2 0 a ~ 2 0 n - 1 が挿入されている。図 1 0 の半導体集積回路装置は、トランジスタ 3 の一端とトランジスタ 5 の一端とが接続されて一の単位セル 3 1 ( 駆動電圧発生回路 ) を成し、トランジスタ 3 の他端とトランジスタ 5 の他端とがダイオード 2 0 a ~ 2 0 n - 1 を介して接続され、複数の単位セル 3 1 a ~ 3 1 n が直列に接続されている。

#### 【 0 0 3 5 】

図 6 の場合、各単位セルの出力電圧には、雑音成分によるマイナスの交流成分が含まれ、マイナスの交流成分が他の単位セルの出力電圧を打ち消すように作用して、出力電圧が低下するおそれがある。本実施の形態にかかる半導体集積回路装置は、各トランジスタ 3 の出力段にダイオード 2 0 a ~ 2 0 n - 1 を挿入することによって、マイナスの交流成分の通過を効果的に抑制することが可能であり、その結果、第 1 の実施の形態に比して大きな電力を得ることができる。なお、本実施の形態では、一例としてダイオードを示したが、整流作用のある素子であればよく、例えば、ダイオード接続したトランジスタなどを用いてもよい。

#### 【 0 0 3 6 】

( 第 3 の実施の形態 )

第 1 および 2 の実施の形態にかかる半導体集積回路装置は、N M O S ( n-Channel Metal-Oxide Semiconductor ) トランジスタを用いて構成されているが、N M O S の代わりに P M O S ( p-Channel Metal-Oxide Semiconductor ) トランジスタを用いても、第 1 の実施の形態と同様の効果を得ることが可能である。さらに、N M O S と P M O S とを混載することも可能であり、以下、その具体例を説明する。

#### 【 0 0 3 7 】

図 1 1 は、P M O S を用いた半導体集積回路装置と N M O S を用いた半導体集積回路装置とを、直列接続または並列接続した場合の構成例を示すものであり、図 1 2 は、図 1 1 の直列接続された半導体集積回路装置を更に並列接続した場合の構成例を示すものであり、図 1 3 は、図 1 1 の並列接続された半導体集積回路装置を更に直列接続した場合の構成例を示すものである。

#### 【 0 0 3 8 】

出力電圧を大きくするためには、単位セルを直列に接続することで実現可能である。例えば、図 1 1 ( a ) に示すように、P M O S トランジスタで構成された単位セルを複数直列に接続した回路と、N M O S トランジスタで構成された単位セルを複数直列に接続された回路とを、直列接続することで実現可能である。すなわち、P M O S トランジスタ 1 3 の一端と P M O S トランジスタ 1 5 の一端とが接続されて一の単位セル ( 第 1 の駆動電圧発生回路 ) を成し、トランジスタ 1 3 の他端とトランジスタ 1 5 の他端が接続され、複数の一の単位セルが直列に接続されている ( 第 1 の駆動電圧発生部 ) 。また、N M O S トランジスタ 3 の一端と N M O S トランジスタ 5 の一端とが接続されて他の単位セル ( 第 2 の駆動電圧発生回路 ) を成し、トランジスタ 3 の他端とトランジスタ 5 の他端が接続され、

10

20

30

40

50

複数の他の単位セルが直列に接続されている（第2の駆動電圧発生部）。そして、トランジスタ15aの他端とトランジスタ5aの他端とがGNDに接続され、第1および第2の駆動電圧発生部が直列に接続され、トランジスタ3nの他端から正電位が出力され、トランジスタ13nの他端から負電位が出力される。

#### 【0039】

また、出力電流を大きくするためには、図11(b)に示すように、複数のPMOSトランジスタで構成された単位セルを複数並列に接続した回路と、複数のNMOSトランジスタで構成された単位セルを複数並列に接続した回路とを、接続することで実現可能である。すなわち、PMOSのトランジスタ13の一端とPMOSのトランジスタ15の一端とが接続されて一の単位セル（第1の駆動電圧発生回路）を成し、PMOSトランジスタ13の他端が共通に接続され、複数の一の単位セルが並列に接続されている（第1の駆動電圧発生部）。また、NMOSのトランジスタ3の一端とNMOSのトランジスタ5の一端とが接続されて他の単位セル（第2の駆動電圧発生部）を成し、NMOSトランジスタ3の他端が共通に接続され、複数の他の単位セルが並列に接続されている（第2の駆動電圧発生部）。そして、トランジスタ15aの他端とトランジスタ5aの他端とがGNDに接続され、第1および第2の駆動電圧発生部が接続され、トランジスタ3aの他端から正電位が出力され、トランジスタ13aの他端から負電位が出力される。

10

#### 【0040】

なお、図12に示すように、単位セルが直列に接続されたものを複数並列に接続した場合、図9の半導体集積回路装置と同様の効果を得ることが可能である。また、図13に示すように、単位セルが並列に接続されたものを複数直列に接続した場合、図8の半導体集積回路装置と同様の効果を得ることが可能である。

20

#### 【0041】

（第4の実施の形態）

第1～3の実施の形態にかかる半導体集積回路装置は、トランジスタ3あるいは13の整流作用によって出力電圧と電流を得ていたが、第4の実施の形態にかかる半導体集積回路装置は、当該トランジスタ3、13の代わりに、量子効果を利用したトンネルダイオードあるいは逆方向ダイオード（backward diode）を整流デバイスとして用いる。

#### 【0042】

このトンネルダイオードあるいは逆方向ダイオードの整流作用は、トランジスタ3、13の整流作用に比べて大きいので、本実施の形態にかかる半導体集積回路装置では、第1～3の実施の形態にかかる半導体集積回路装置よりも大きな電力を得ることが可能である。

30

#### 【0043】

（第5の実施の形態）

図14は、本発明の第5の実施の形態にかかるトランジスタの断面図である。第1～4の実施の形態にかかる半導体集積回路装置において、取り出せる電力を最大化するためには、上記(2)式にあるように、ノードAについている容量を最小化する必要がある。

#### 【0044】

以下、その容量を低減するための構造(1)～(4)を説明する。ここでは、一例として、NMOSトランジスタの場合について説明する。(1)ポリシリコンのゲートとドレインとが直接つながる構造、あるいは、当該ポリシリコンのゲートとドレインとが、図示しないコンタクトやサリサイド(NiSiなど)を介して直接つながる構造である。この場合、図示しないメタルを介することなくゲートとドレインとを直接接続することができたため、ゲートに着く(付く?)配線間等の寄生容量を小さくすることができる。(2)基板がn型基板(例えば、N-Si)で構成される。この場合、トランジスタの閾値を下げ、ドレインと基板との間につく寄生容量を下げるができる。(3)SOI(Silicon on Insulator)基板を使用する。基板をフローティングすることで、ドレインとバックゲートとの間につく容量のうち、実際に容量として寄与する分を減少させることができる。(4)ソースまたはドレインが薄く形成されている。ドレインと基板の接合面積を小

40

50



さくし、ドレインと基板の間につく寄生容量を小さくすることができる。より具体的には、上下の矢印で示されるドレインの高さが、左右の方向で示されるドレイン/ソースの長さの25%以下に形成する。

【0045】

図15は、図5に示した出力電圧の変化と、図14のトランジスタを用いた場合の出力電圧の変化とを示すものである。点線で示されるデータは、上記(1)~(4)の構造を採用していないものであり、実線示されるデータは、上記(1)~(4)の構造を全て採用したものである。なお、(1)~(4)の何れか1つの構造を適用したNMOSトランジスタであっても、寄生容量を小さくすることができる。さらに(1)~(4)の何れか2つあるいは3つの構造を任意に組み合わせて採用することもでき、多くの構造を採り入れるほど、出力電圧を大きくすることが可能である。なお、(1)、(3)、(4)、(2)の順で出力電圧が大きくなる。

10

【0046】

なお、図14には2次元構造の基本的なNMOSトランジスタを示したが、(1)~(4)の構造は、PMOSトランジスタや、フィン型電界効果トランジスタ(FinFET)等の3次元構造のトランジスタにも適用が可能である。また、PMOSトランジスタに適用した場合、図14に示されるN-SiはP-Siと読み替え、N+SiはP+Siと読み替えるものとする。

【0047】

(第6の実施の形態)

第1~5の実施の形態に示した半導体集積回路装置を、例えば、携帯電話、携帯音楽/映像プレイヤー、およびゲーム機などの機器に取り込んだ場合、電池の小型化を図ることができる。以下、第1~5の実施の形態に示した半導体集積回路装置を、発電部と称して、各種機器(負荷)を駆動する態様を説明する。

20

【0048】

図16は、制御部および発電部によって負荷を駆動する実施例を説明するための図であり、図17は、1つのLSI上に発電部および制御部を集積した実施例を示す図であり、図18は、SoC上に発電部および制御部を集積した一の実施例を示す図であり、図19は、SoC上に発電部および制御部を集積した他の実施例を示す図である。

【0049】

図16において、通常、これらの機器の待機時における消費電力は非常に小さいため、負荷待機時には、(1)制御部24aによって発電部21aから電池(外部電源)22aに充電を行う。一方、負荷使用時など、発電部21aからの電力だけでは負荷23aが必要とする電力をまかなえない場合には、(2)制御部24aによって電池22aから負荷23aに電力を供給する。制御部24aは、上記の電力の流れを必要に応じて切り替える機能を有するとともに、適切なDC電圧を出力するためのDC/DC変換器を有している。

30

【0050】

図17の発電部21bは、図16の発電部および制御部を1つのLSI上に集積したものである。また、図18の発電部21cは、図16の発電部および制御部をSoC(System-on-a-chip)上に集積したものである。このように、1つのLSI上、あるいはSoC上に、発電部および制御部を集積することによって、より小型なシステムを実現可能である。

40

【0051】

図19において、SoCの消費電力が十分小さいあるいは発電部21cの発電能力が十分大きい場合、発電部21cのみでSoC全体の消費電力を賄うことができる場合には、外部の電池が不要となる。さらに、外部とのインターフェスを無線で行えば、外部との配線が必要ない超小型な装置を実現可能である。

【0052】

図20は、より多くの発電部を用いて負荷を駆動する実施例を説明するための図である

50

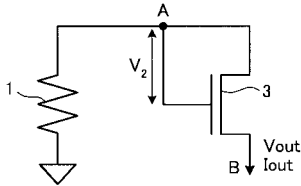
。図 20 の発電部 21 d は、図 16 の発電部 21 a を多数用いて構成され、例えば、家電等の比較的大きな負荷 23 b に対して、その消費電力を賄うことができる容量を有するものである。このような発電部 21 d を使用すれば、家庭用の発電機としても用いることができる。制御部 24 b は、(1) 必要に応じて、発電部 21 d から電池 22 a への充電、発電部 21 d から電力網 (外部電源) 25 への電力供給、または発電部 21 d から負荷 23 b への電力供給と、(2) 電池 22 a から負荷 23 b への電力供給と、(3) 電力網 25 から負荷 23 b への電力供給などを配分しあるいは切り替える。この際、制御部 24 b は、必要な DC 電圧の変換や DC - AC 変換も行う。このように、当該発電部 21 d を用いれば、電池 22 a の小型軽量化、長寿命化を図ることが可能である。

【符号の説明】

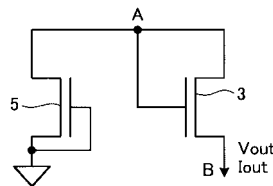
【0053】

1 抵抗、3、5、13、15 トランジスタ、10 雑音電圧源、20 ダイオード、21 a、21 b、21 c、21 d 発電部、22 a 電池 (外部電源)、23 a、23 b 負荷、24 a、24 b 制御部、25 電力網 (外部電源)、31 a、31 b、31 n、33 a、33 b、33 n、34 a、34 b、34 n、 単位セル (駆動電圧発生回路) 40 a、40 b、40 n、41 a、41 b、41 n 駆動電圧発生部、A、B ノード、C 容量、I out 出力電流、V out 出力電圧

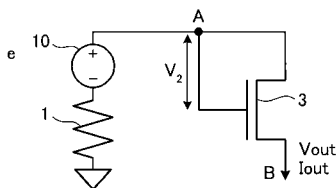
【図 1】



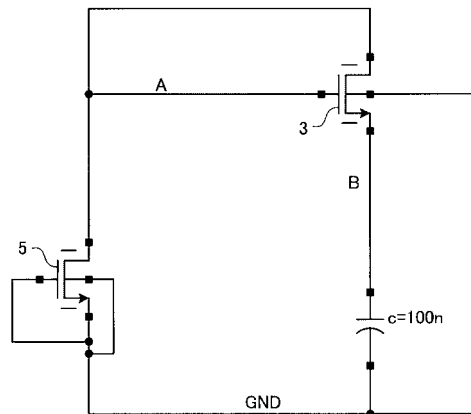
【図 3】



【図 2】



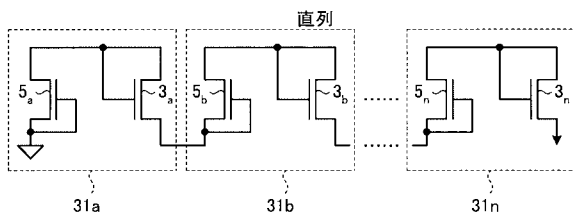
【図 4】



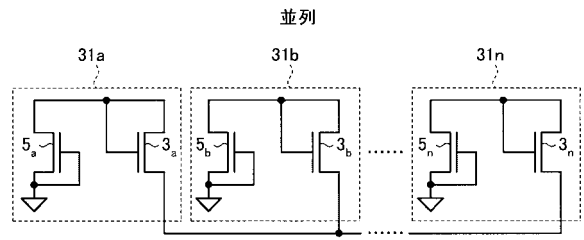
【 図 5 】



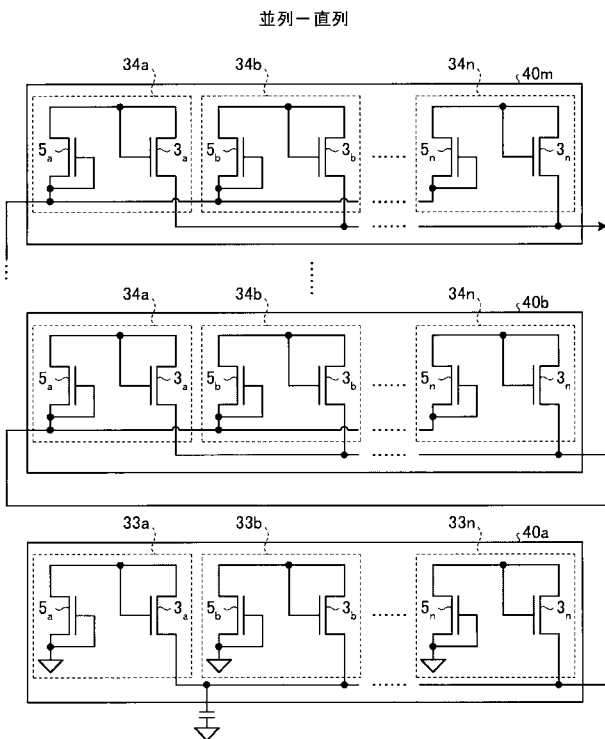
【 図 6 】



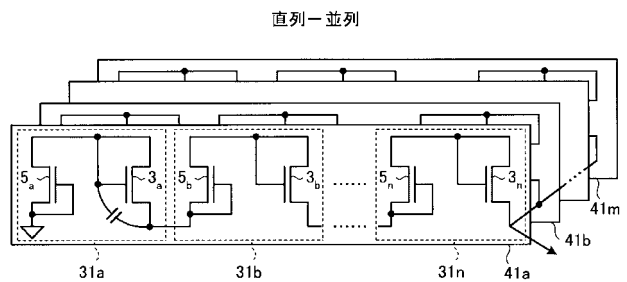
【 図 7 】



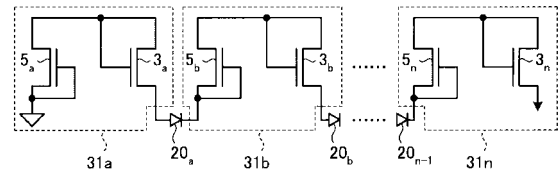
【 図 8 】



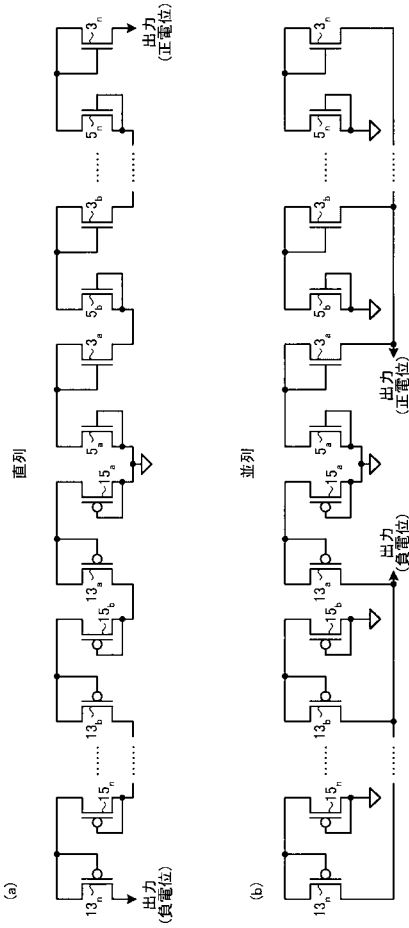
【 図 9 】



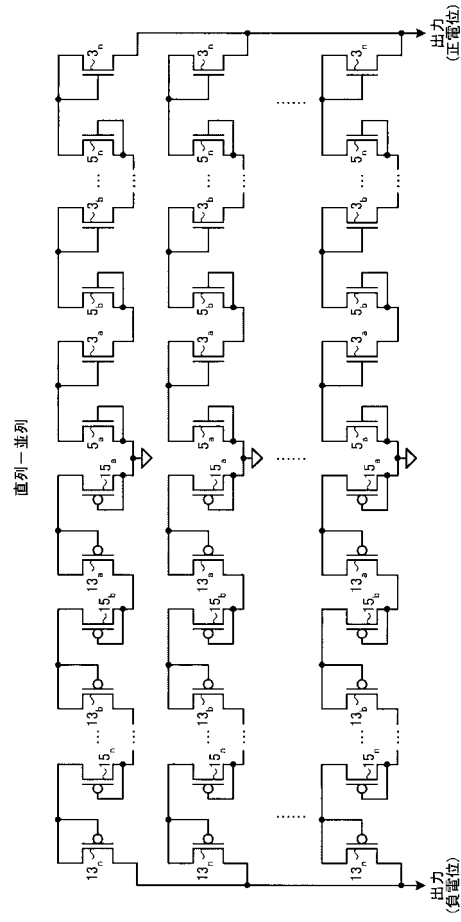
【 図 10 】



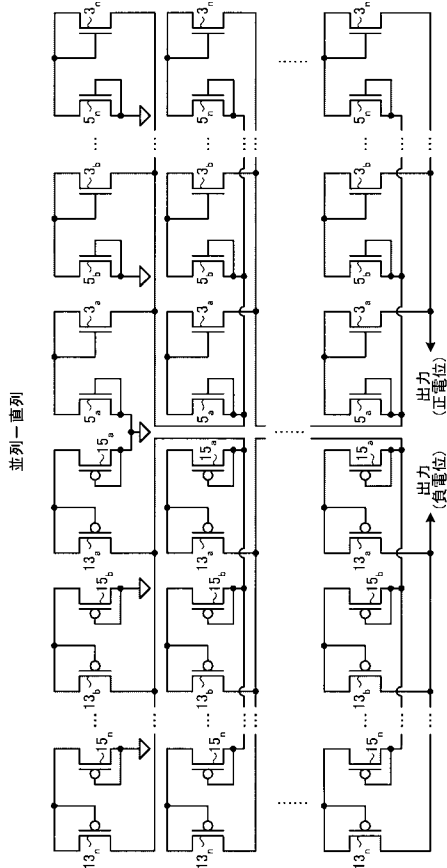
【 図 1 1 】



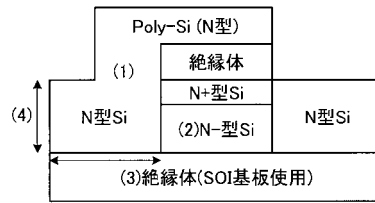
【 図 1 2 】



【 図 1 3 】

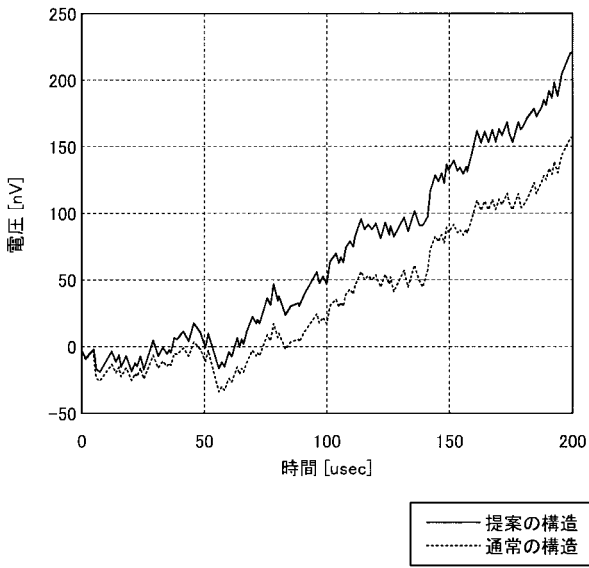


【 図 1 4 】

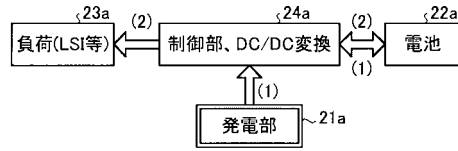


- (1) Poly-SiのゲートとN+Siのドレインが直接、あるいはコンタクトやサリサイド(NiSi等)を介して直接つながっている
- (2) 基板がN-Si
- (3) SOI基板を使っている
- (4) ソース/ドレインが薄い

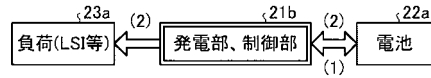
【図15】



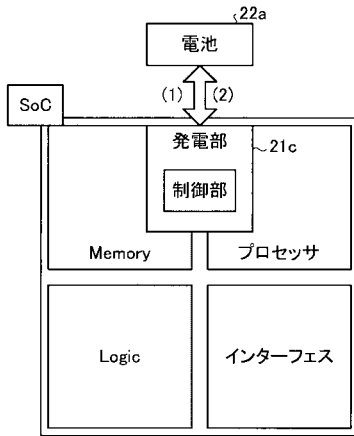
【図16】



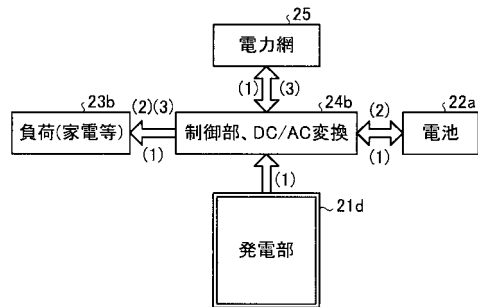
【図17】



【図18】



【図20】



【図19】

