



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0133750
(43) 공개일자 2017년12월06일

(51) 국제특허분류(Int. Cl.)
G06F 17/50 (2006.01) H01L 27/02 (2006.01)
(52) CPC특허분류
G06F 17/5081 (2013.01)
G06F 17/5009 (2013.01)
(21) 출원번호 10-2016-0064937
(22) 출원일자 2016년05월26일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
오성민
경기도 용인시 기흥구 농서로 84, 철죽동 219호
(농서동, 삼성전자(주) 기흥캠퍼스)
강종구
경기도 수원시 팔달구 권광로 246, 115동 102호
(인계동, 래미안 노블클래스)
정광욱
경기도 화성시 동탄반석로 232, 131동 903호(석우
동, 동탄예당마을 신일유토빌)
(74) 대리인
리엔목특허법인

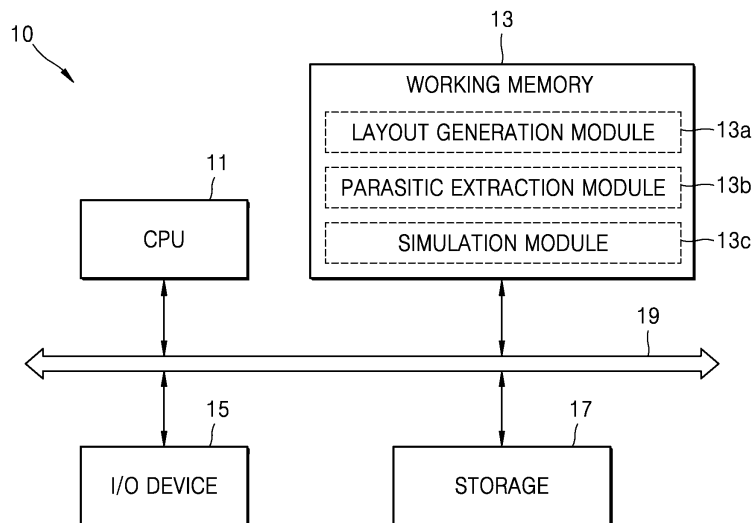
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 집적 회로의 설계를 위한 컴퓨터 구현 방법

(57) 요약

본 개시에 따른 집적 회로를 설계하기 위한 컴퓨터 구현 방법은, 집적 회로에 포함되는 비아에 대한 복수의 저항 값들을 포함하고, 복수의 저항 값들의 각각은 비아에 연결되는 도전 라인의 너비 및 도전 라인과 인접 도전 라인 사이의 스페이스 중 적어도 하나에 따라 정의되는, 제1 데이터를 수신하고, 집적 회로의 레이아웃에 대한 물리적 정보를 포함하는 제2 데이터를 수신하며, 프로세서를 이용하여 제1 및 제2 데이터를 기초로 복수의 저항 값들 중 레이아웃에 따른 비아 저항을 추출한다.

대표도 - 도3



(52) CPC특허분류
H01L 27/0207 (2013.01)

명세서

청구범위

청구항 1

집적 회로를 설계하기 위한 컴퓨터 구현 방법으로서,

상기 집적 회로에 포함되는 비아(via)에 대한 복수의 저항 값들을 포함하고, 상기 복수의 저항 값들의 각각은 상기 비아에 연결되는 도전 라인의 너비 및 상기 도전 라인과 인접 도전 라인 사이의 스페이스 중 적어도 하나에 따라 정의되는, 제1 데이터를 수신하는 단계;

상기 집적 회로의 레이아웃에 대한 물리적 정보를 포함하는 제2 데이터를 수신하는 단계; 및

프로세서를 이용하여, 상기 제1 및 제2 데이터를 기초로, 상기 복수의 저항 값들 중 상기 레이아웃에 따른 비아 저항을 추출하는 단계를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 제1 데이터를 수신하는 단계는, 상기 비아의 상부에 배치되는 상부 도전 라인의 너비 및 상기 상부 도전 라인과 인접 상부 도전 라인 사이의 스페이스 중 적어도 하나에 따라 각각 정의되는 상기 복수의 저항 값들을 포함하는 상기 제1 데이터를 수신하는 것을 특징으로 하는 방법.

청구항 3

제1항에 있어서,

상기 제1 데이터를 수신하는 단계는, 상기 비아의 하부에 배치되는 하부 도전 라인의 너비 및 상기 하부 도전 라인과 인접 하부 도전 라인 사이의 스페이스 중 적어도 하나에 따라 각각 정의되는 상기 복수의 저항 값들을 포함하는 상기 제1 데이터를 수신하는 것을 특징으로 하는 방법.

청구항 4

제1항에 있어서,

상기 제1 데이터를 수신하는 단계는, 상기 비아의 상부에 배치되는 상부 도전 라인의 제1 너비 및 상기 상부 도전 라인과 인접 상부 도전 라인 사이의 제1 스페이스 중 적어도 하나, 그리고, 상기 비아의 하부에 배치되는 하부 도전 라인의 제2 너비 및 상기 하부 도전 라인과 인접 하부 도전 라인 사이의 제2 스페이스 중 적어도 하나에 따라 각각 정의되는 상기 복수의 저항 값들을 포함하는 상기 제1 데이터를 수신하는 것을 특징으로 하는 방법.

청구항 5

제1항에 있어서,

상기 제2 데이터를 수신하는 단계는, 상기 레이아웃에서 상기 도전 라인의 너비 값 및 스페이스 값 중 적어도 하나를 포함하는 상기 물리적 정보를 포함하는 상기 제2 데이터를 수신하는 것을 특징으로 하는 방법.

청구항 6

제5항에 있어서,

상기 비아 저항을 추출하는 단계는, 상기 복수의 저항 값들 중 상기 너비 값 및 상기 스페이스 값 중 적어도 하나에 대응하는 저항 값을 상기 비아 저항으로 추출하는 것을 특징으로 하는 방법.

청구항 7

제1항에 있어서,

상기 비아 저항을 추출하는 단계 이후에, 상기 비아 저항을 기초로 상기 레이아웃에 대한 포스트 레이아웃 시뮬레이션을 수행하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 8

제7항에 있어서,

상기 포스트 레이아웃 시뮬레이션을 수행하는 단계 이후에, 상기 레이아웃을 기초로 마스크를 제조하는 단계; 및

제조된 상기 마스크를 이용하여 웨이퍼 상에 상기 집적 회로를 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 9

집적 회로를 설계하기 위한 컴퓨터 구현 방법으로서,

프로세서를 이용하여, 상기 집적 회로에 포함되는 비아에 연결되는 도전 라인과 관련된 물리적 데이터에 따라 상기 비아의 기생 성분에 대한 복수의 특성값들을 정의하는 단계;

상기 복수의 특성값들을 포함하는, 상기 비아의 기생 성분 파일을 생성하는 단계; 및

상기 기생 성분 파일을 제공하는 단계를 포함하는 방법.

청구항 10

제9항에 있어서,

상기 비아의 기생 성분은 비아 저항을 포함하고,

상기 복수의 특성값들을 정의하는 단계는, 상기 도전 라인의 너비 및 상기 도전 라인과 인접 도전 라인 사이의 스페이스 중 적어도 하나에 따라 상기 비아에 대한 복수의 저항 값들을 정의하는 것을 특징으로 하는 방법.

발명의 설명

기술 분야

[0001] 본 개시의 기술적 사상은 집적 회로에 관한 것으로, 더욱 상세하게는, 집적 회로, 집적 회로의 설계를 위한 컴퓨터 구현 방법, 및 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 집적 회로의 설계는 반도체 시스템으로부터 얻고자 하는 동작을 기술하는 칩에 대한 행위(behavior) 모델을, 필요한 구성 요소들 간의 연결을 기술하는 구체적인 구조 모델로 변환하는 작업이다. 반도체 공정 기술이 발전함에 따라 공정이 미세화가 가속화되고, 구체적으로, 집적 회로에서 메탈 피치(metal pitch)가 감소하고 있다. 이에 따라, 비아(via)를 형성하기 위해 자기 정렬 비아(self-aligned via, SAV) 형성 공정이 이용되고 있다. 이때, 비아의 사이즈도 감소됨에 따라, 비아의 임계 치수(critical dimension)의 변화에 의한 비아 저항의 변화량(variation)이 점점 커지게 된다.

발명의 내용

해결하려는 과제

[0003] 본 개시의 기술적 사상이 해결하고자 하는 과제는 비아의 기생 성분을 동적으로 추출할 수 있는, 집적 회로를 설계하기 위한 컴퓨터 구현 방법을 제공하는 데에 있다.

과제의 해결 수단

[0004] 본 개시의 기술적 사상에 따른 집적 회로를 설계하기 위한 컴퓨터 구현 방법은, 상기 집적 회로에 포함되는 비아에 대한 복수의 저항 값들을 포함하고, 상기 복수의 저항 값들의 각각은 상기 비아에 연결되는 도전 라인의 너비 및 상기 도전 라인과 인접 도전 라인 사이의 스페이스 중 적어도 하나에 따라 정의되는, 제1 데이터를 수

신하는 단계, 상기 집적 회로의 레이아웃에 대한 물리적 정보를 포함하는 제2 데이터를 수신하는 단계, 및 프로세서를 이용하여, 상기 제1 및 제2 데이터를 기초로, 상기 복수의 저항 값들 중 상기 레이아웃에 따른 비아 저항을 추출하는 단계를 포함한다.

[0005] 또한, 본 개시의 다른 기술적 사상에 따른 집적 회로를 설계하기 위한 컴퓨터 구현 방법은, 프로세서를 이용하여, 상기 집적 회로에 포함되는 비아에 연결되는 도전 라인과 관련된 물리적 데이터에 따라 상기 비아의 기생 성분에 대한 복수의 특성값들을 정의하는 단계, 상기 복수의 특성값들을 포함하는, 상기 비아의 기생 성분 파일을 생성하는 단계, 및 상기 기생 성분 파일을 제공하는 단계를 포함한다.

발명의 효과

[0006] 본 개시의 기술적 사상에 따르면, 비아에 연결되는 도전 라인에 관련된 물리적 데이터를 기초로, 비아에 대해 미리 정의된 복수의 저항 값들 중 비아 저항을 동적으로 추출할 수 있다. 이에 따라, 추출된 비아 저항을 이용하여 수행되는 타이밍 분석 등과 같은 시뮬레이션의 정확도를 향상시킬 수 있고, 설계 마진을 확보할 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 개시의 일 실시예에 따른 반도체 장치의 제조 방법을 나타내는 흐름도이다.
 도 2는 본 개시의 일 실시예에 따라 집적 회로에 포함된 배선 구조를 개략적으로 나타낸다.
 도 3 및 도 4는 본 개시의 일부 실시예들에 따른 집적 회로 설계 시스템들을 나타낸다.
 도 5는 본 개시의 일 실시예에 따른 집적 회로의 설계 방법을 나타내는 흐름도이다.
 도 6은 본 개시의 일 실시예에 따른 기생 추출 동작을 상세하게 나타내는 흐름도이다.
 도 7은 본 개시의 일 실시예에 따른 타이밍 분석 동작을 상세하게 나타내는 흐름도이다.
 도 8은 본 개시의 일 실시예에 따른 집적 회로의 설계 방법을 나타내는 흐름도이다.
 도 9는 본 개시의 일 실시예에 따른 집적 회로에 포함된 배선 구조를 나타낸다.
 도 10은 본 개시의 일 실시예에 따라 비아에 연결되는 상부 도전 라인 및 하부 도전 라인의 너비들 및 스페이스들에 따른 비아 저항 값들을 나타내는 표이다.
 도 11a 내지 도 11c는 본 개시의 일 실시예에 따른 집적 회로의 레이아웃들이다.
 도 12는 본 개시의 일 실시예에 따른 제1 테크놀로지 파일을 나타낸다.
 도 13a 내지 도 13c는 본 개시의 일 실시예에 따른 집적 회로의 레이아웃들이다.
 도 14는 본 개시의 일 실시예에 따른 제2 테크놀로지 파일을 나타낸다.
 도 15는 본 개시의 일 실시예에 따른 제3 테크놀로지 파일을 나타낸다.
 도 16은 본 개시의 일 실시예에 따른 테스트 동작에 이용되는 DUT(Device Under Test)를 나타낸다.
 도 17a 내지 도 17c는 본 개시의 일 실시예에 따른 테스트 동작에 이용되는 DOE(Design of Experiment)들을 나타낸다.
 도 18은 본 개시의 일 실시예에 따른 집적 회로의 레이아웃이다.
 도 19는 본 개시의 일 실시예에 따른 저장 매체를 나타내는 블록도이다.
 도 20은 본 개시의 일 실시예에 따른 컴퓨팅 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.
 [0009] 도 1은 본 개시의 일 실시예에 따른 반도체 장치의 제조 방법을 나타내는 흐름도이다.
 [0010] 도 1을 참조하면, 본 실시예에 따른 반도체 장치의 제조 방법은 집적 회로의 설계(S10) 및 집적 회로의 제조 공정(S20)으로 구분될 수 있다. 집적 회로의 설계(S10)는 단계 S110 내지 S130을 포함하고, 집적 회로에 대한 레

이아웃을 디자인하는 단계로서, 집적 회로를 설계하기 위한 툴을 이용하여 수행될 수 있다. 이때, 집적 회로를 설계하기 위한 툴은 프로세서에서 수행되는 복수의 명령어들을 포함하는 프로그램일 수 있다. 이에 따라, 집적 회로의 설계(S10)는 집적 회로 설계를 위한 컴퓨터 구현(computer implemented) 방법이라고 지칭할 수 있다. 한편, 집적 회로의 제조 공정(S20)은 디자인된 레이아웃을 기초로 집적 회로에 따른 반도체 장치를 제조하는 단계로서, 반도체 공정 모듈에서 수행될 수 있다.

- [0011] 집적 회로는 복수의 셀들로서 정의될 수 있고, 구체적으로, 복수의 셀들의 특성 정보를 포함하는 셀 라이브러리를 이용하여 설계될 수 있다. 셀 라이브러리에는 셀의 명칭, 치수, 게이트 폭, 핀(pin), 딜레이(delay) 특성, 누설 전류, 임계 전압, 기능 등이 정의될 수 있다. 본 개시의 실시예들에서, 셀 라이브러리는 표준 셀 라이브러리일 수 있다. 표준 셀 라이브러리는 복수의 표준 셀들의 레이아웃 정보 및 타이밍 정보 등과 같은 정보를 포함할 수 있고, 컴퓨터로 읽을 수 있는 저장매체에 저장될 수 있다.
- [0012] 단계 S110에서, 집적 회로의 레이아웃이 생성된다. 일 실시예에서, 표준 셀 라이브러리를 사용하여 표준 셀들을 배치 및 배선(placement and routing, P&R)함으로써 레이아웃을 생성한다. 따라서, 단계 S110은 배치 및 배선 단계라고 지칭할 수도 있고, 배치 및 배선 툴을 이용하여 프로세서에 의해 수행될 수 있다. 이하에서는, 레이아웃의 생성 단계에 대해 상술하기로 한다.
- [0013] 먼저, 집적 회로를 정의하는 입력 데이터를 수신한다. 여기서, 입력 데이터는 집적 회로의 동작(behavior)에 대한 추상적 형태, 예컨대 RTL(Register Transfer Level)에서 정의된 데이터로부터, 표준 셀 라이브러리를 이용하여 합성(synthesis)에 의해서 생성된 데이터일 수 있다. 예를 들면, 입력 데이터는 VHDL(VHSIC Hardware Description Language) 및 Verilog와 같은 HDL(Hardware Description Language)로서 정의된 집적 회로가 합성됨으로써 생성된 비트스트림(bitstream) 또는 넷리스트(netlist)일 수 있다.
- [0014] 이어서, 표준 셀 라이브러리를 저장하는 저장매체를 액세스하고, 표준 셀 라이브러리에 저장된 복수의 표준 셀들 중 입력 데이터에 따라 선택된 표준 셀들을 배치 및 배선한다. 여기서, 배치 및 배선이란 선택된 표준 셀들을 배치시키고, 배치된 표준 셀들을 연결시키는 작업을 말한다. 배치 및 배선이 완료됨으로써, 집적 회로에 대한 레이아웃이 생성될 수 있다.
- [0015] 단계 S120에서, 기생 성분을 추출한다. 구체적으로, 기생 성분 추출은 단계 S110에서 생성된 레이아웃의 배선에 포함된 기생 저항 및 기생 커패시턴스 등과 같은 기생 성분을 추출하는 과정으로서, 기생 추출 툴을 이용하여 프로세서에 의해 수행될 수 있다. 집적 회로의 레이아웃은 복수의 배선층들이 적층된 배선 구조를 포함할 수 있고, 각 배선층은 복수의 패턴들을 포함할 수 있다. 상이한 레벨의 배선층들에 형성된 패턴들은, 전도성 물질로 구성된 비아(via)를 통해서 서로 전기적으로 연결될 수 있다. 배선층은 전도성 물질로서 금속을 포함하는 것으로 설명될 수 있고, 금속층으로 지칭될 수 있다. 그러나, 본 개시의 일부 실시예들에서, 배선층들은 금속이 아닌 전도성 물질을 포함할 수도 있다. 이하에서는, 도 1 및 도 2를 함께 참조하여 단계 S120에 대해 상술하기로 한다.
- [0016] 도 2는 본 개시의 일 실시예에 따라 집적 회로에 포함된 배선 구조를 개략적으로 나타낸다.
- [0017] 도 2를 참조하면, 집적 회로에 포함된 배선 구조는 Z 방향으로 적층된 복수의 금속층들(M1 내지 M7) 및 복수의 비아들(V0 내지 V6)을 포함할 수 있고, 전기적 신호가 이동하는 경로를 제공할 수 있다. 집적 회로의 등가 회로도에서 등전위를 나타내는 하나의 넷(net)는 집적 회로의 레이아웃에서 하나의 상호연결(interconnection)에 대응할 수 있고, 하나의 상호연결은 서로 전기적으로 연결된 금속층들(M1 내지 M7) 및 비아들(V0 내지 V6)을 포함하는 배선 구조에 대응할 수 있다. 도 2에는 7개의 금속층들 및 7개의 비아들이 도시되었으나, 이는 예시에 불과하며, 본 개시의 기술적 사상에 따른 집적 회로에 포함된 배선 구조는 6개 미만 또는 6개 초과 금속층들 및/또는 비아들을 포함할 수 있다.
- [0018] 각 비아(V0 내지 V6)는 서로 다른 층에 위치하는 금속층들(M1 내지 M7)을 전기적으로 연결할 수 있다. 예를 들어, 제2 비아(V1)는 제1 금속층(M1)과 제2 금속층(M2)의 사이에 배치되어, 제1 금속층(M1)과 제2 금속층(M2)을 전기적으로 연결시킬 수 있다. 이때, 제2 비아(V1)를 구성하는 물질, 제2 비아(V1)와 컨택하는 제1 금속층(M1)의 접촉 면적, 제2 비아(V1)와 컨택하는 제2 금속층(M2)의 접촉 면적에 기인하여, 제2 비아(V1)의 양단 사이에 비아 저항(R_{V1})이 발생될 수 있다. 마찬가지로, 제1, 제3 내지 제7 비아들(V0, V2 내지 V6) 각각의 양단 사이에도 비아 저항이 발생될 수 있다.
- [0019] 비아 저항은 집적 회로의 설계자의 의도와는 관계없는 기생 저항으로서, 비아를 포함하는 신호 경로에서 신호 지연을 발생시킬 수 있다. 기생 저항 또는 기생 커패시턴스로 인해 발생하는 신호 지연을 인터커넥트 딜레이

(interconnect delay)라고 지칭한다. 비아 저항의 저항 값이 클수록 신호 지연이 증가할 수 있고, 신호 지연의 증가에 의해 설계 시 고려된 집적 회로의 동작 속도를 만족시키지 못하는 문제가 발생할 수 있다. 따라서, 제조 공정(S20) 이전에, 레이아웃으로부터 기생 성분을 추출하고 추출된 기생 성분을 기초로 시뮬레이션을 수행함으로써 실제 칩의 동작 속도 및 기능을 칩의 제작 이전에 시험하는 과정을 거칠 수 있다.

[0020] 본 실시예에 따르면, 기생 성분은 레이아웃의 포함된 금속층들(M1 내지 M7) 및 비아들(V0 내지 V6)의 기생 저항 및 기생 커패시턴스를 포함할 수 있다. 이하에서는, 비아의 기생 저항인 비아 저항의 추출 동작을 중심으로 단계 S120에 대해 설명하기로 한다. 그러나, 본 발명은 비아 저항의 추출 동작에 한정되지 않으며, 비아의 기생 커패시턴스, 또는 금속층의 기생 저항 및 기생 커패시턴스의 추출 동작에도 실질적으로 유사하게 적용될 수 있다.

[0021] 본 실시예에서, 비아에 연결되는 금속층의 너비 및 스페이스 중 적어도 하나에 따라 정의되는 복수의 저항 값들을 포함하는 제1 데이터, 및 단계 S110에서 생성된 레이아웃의 물리적 정보를 포함하는 제2 데이터를 수신하고, 제2 데이터를 기초로 제1 데이터에 포함된 복수의 저항 값들 중 하나를 비아 저항으로 추출할 수 있다. 이와 같이, 본 실시예에 따르면, 단계 S120에서, 레이아웃의 물리적 정보에 따라 비아 저항을 동적으로 추출할 수 있다.

[0022] 단계 S130에서, 포스트 레이아웃 시뮬레이션을 수행한다. 구체적으로, 포스트 레이아웃 시뮬레이션은 단계 S120에서 추출된 인터커넥트 딜레이가 포함된 넷리스트를 이용하여 시뮬레이션을 수행하는 과정을 지칭한다. 단계 S130의 수행 결과, 시뮬레이션 결과가 설계 요건을 만족하는 경우, 집적 회로를 정의하는 출력 데이터를 반도체 공정 모듈에 제공할 수 있다. 여기서, 출력 데이터는 표준 셀들의 모든 레이아웃 정보, 즉, 모든 레이어들에서 패턴 정보를 포함하는 형식, 예를 들어, GDS(Graphic Design System)II 형식을 가질 수도 있고, 또는 표준 셀의 핀과 같이 표준 셀의 외부 정보를 포함하는 형식, 예컨대 LEF 형식 또는 Milkyway 형식을 가질 수도 있다. 한편, 단계 S130의 수행 결과, 시뮬레이션 결과가 설계 요건을 만족하지 않는 경우 다시 S110 단계를 수행할 수 있다.

[0023] 본 실시예에 따르면, 비아 저항에 대해 고정된 값을 적용하여 포스트 레이아웃 시뮬레이션을 수행하는 대신에, 레이아웃에 포함된 금속층의 너비 또는 스페이스에 따라 동적으로 추출된 비아 저항을 적용하여 포스트 레이아웃 시뮬레이션을 수행할 수 있다. 이에 따라, 금속층의 너비 및 스페이스를 기초로, 실제 비아 저항에 근접한 비아 저항을 추출할 수 있으므로, 시뮬레이션의 정확도가 향상될 수 있고, 설계 마진을 확보할 수 있다.

[0024] 이와 같이, 집적 회로의 설계(S10)는 상술한 단계 S110 내지 S130을 포함할 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 표준 셀 라이브러리의 생성, 표준 셀 라이브러리의 수정, 레이아웃의 검증 등과 같은 일반적인 집적 회로의 설계 방법에 따른 다양한 단계들을 더 포함할 수 있다. 또한, 단계 S110 내지 S130은 집적 회로의 설계 과정 중 백엔드(back-end) 설계 과정에 대응할 수 있고, 단계 S110 이전에 프론트 엔드(front-end) 설계 과정이 수행될 수 있다. 프론트 엔드 설계 과정은 설계 사양의 결정, 행위 수준 모델링 및 검증, RTL 설계, 기능 검증, 논리 합성, 게이트 수준의 검증(또는 프리-레이아웃 시뮬레이션) 등을 포함할 수 있다.

[0025] 단계 S140에서, 레이아웃을 기초로 마스크를 생성한다. 구체적으로, 먼저 레이아웃을 기초로 OPC(Optical Proximity Correction)를 수행할 수 있는데, OPC는 광 근접 효과에 따른 오차를 반영하여 레이아웃을 변경하는 공정을 말한다. 이어서, OPC 수행 결과에 따라 변경된 레이아웃에 따라 마스크를 제조할 수 있다. 이때, OPC를 반영한 레이아웃, 예컨대, OPC가 반영된 GDS를 이용하여 마스크를 제조할 수 있다.

[0026] 단계 S150에서, 마스크를 이용하여 반도체 장치를 형성한다. 구체적으로, 마스크를 이용하여 웨이퍼 등과 같은 반도체 기판 상에 다양한 반도체 공정을 진행하여 반도체 장치를 형성한다. 예를 들어, 마스크를 이용하는 공정은 리소그래피(lithography) 공정을 통한 패턴링 공정을 의미할 수 있다. 이러한 패턴링 공정을 통해 반도체 기판이나 물질층 상에 원하는 패턴을 형성할 수 있다. 한편, 반도체 공정은 증착 공정, 식각 공정, 이온 공정, 세정 공정 등을 포함할 수 있다. 또한, 반도체 공정은 반도체 소자를 PCB 상에 실장하고 밀봉재로 밀봉하는 패키징 공정을 포함할 수도 있고, 반도체 소자나 패키지에 대해 테스트를 하는 테스트 공정을 포함할 수도 있다.

[0027] 도 3은 본 개시의 일부 실시예들에 따른 집적 회로 설계 시스템(10)을 나타낸다.

[0028] 도 3을 참조하면, 집적 회로 설계 시스템(10)은 CPU(11), 워킹 메모리(13), 입출력 장치(15), 저장 장치(17) 및 버스(19)를 포함할 수 있다. 본 실시예에서, 집적 회로 설계 시스템(10)은 일체화된 디바이스로 구현될 수 있고, 이에 따라, 집적 회로 설계 장치라고 지칭할 수도 있다. 집적 회로 설계 시스템(10)은 반도체 장치의 집적 회로를 설계하기 위한 전용 장치로 제공될 수도 있지만, 다양한 시뮬레이션 툴이나 설계 툴들을 구동하기 위

한 컴퓨터일 수도 있다.

- [0029] CPU(11)는 집적 회로를 설계하기 위한 다양한 동작 중 적어도 하나를 수행하는 명령어들을 실행하도록 구성될 수 있다. CPU(11)는 버스(19)를 통해 워킹 메모리(13), 입출력 장치(15) 및 저장 장치(17)와 통신을 수행할 수 있다. CPU(11)는 워킹 메모리(13)에 로딩된 레이아웃 생성 모듈(13a), 기생 추출 모듈(13b) 및 시뮬레이션 모듈(13c)을 구동함으로써, 집적 회로 설계 동작을 실행할 수 있다.
- [0030] 워킹 메모리(13)는 레이아웃 생성 모듈(13a), 기생 추출 모듈(13b) 및 시뮬레이션 모듈(13c)을 저장할 수 있다. 레이아웃 생성 모듈(13a), 기생 추출 모듈(13b) 및 시뮬레이션 모듈(13c)은 저장 장치(17)로부터 워킹 메모리(13)로 로딩될 수 있다. 워킹 메모리(13)는 SRAM(Static Random Access Memory)이나 DRAM(Dynamic Random Access Memory)과 같은 휘발성 메모리이거나, PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등의 비휘발성 메모리일 수 있다.
- [0031] 레이아웃 생성 모듈(13a)은 예를 들어, 도 1의 단계 S110에 따른 레이아웃 생성 동작을 수행하기 위한 복수의 명령어들을 포함하는 프로그램일 수 있다. 기생 추출 모듈(13b)은 예를 들어, 도 1의 단계 S120에 따른 기생 추출 동작을 수행하기 위한 복수의 명령어들을 포함하는 프로그램일 수 있다. 시뮬레이션 모듈(13c)은 예를 들어, 도 1의 단계 S130에 따른 포스트 레이아웃 시뮬레이션 동작을 수행하기 위한 복수의 명령어들을 포함하는 프로그램일 수 있다.
- [0032] 입출력 장치(15)는 사용자 인터페이스 장치들로부터의 사용자 입력 및 출력을 제어할 수 있다. 예를 들어, 입출력 장치(15)는 키보드, 마우스, 터치패드 등과 같은 입력 장치를 구비하여, 집적 회로를 정의하는 입력 데이터를 입력받을 수 있다. 예를 들어, 입출력 장치(15)는 디스플레이, 스피커 등과 같은 출력 장치를 구비하여, 레이아웃 생성 절차 또는 시뮬레이션 결과 등을 표시할 수 있다.
- [0033] 저장 장치(17)는 레이아웃 생성 모듈(13a), 기생 추출 모듈(13b) 및 시뮬레이션 모듈(13c)과 관련된 각종 데이터를 저장할 수 있다. 저장 장치(17)는 메모리 카드(MMC, eMMC, SD, MicroSD 등), 솔리드 스테이트 드라이브(solid state drive), 하드 디스크 드라이브(hard disk drive) 등을 포함할 수 있다.
- [0034] 도 4는 본 개시의 일부 실시예들에 따른 집적 회로 설계 시스템(20)을 나타낸다.
- [0035] 도 4를 참조하면, 집적 회로 설계 시스템(20)은 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23)를 포함할 수 있다. 본 실시예에서, 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23) 중 적어도 하나는 별개의 디바이스일 수 있고, 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23)는 유무선 통신 또는 네트워크를 통해 연결될 수 있다. 일 실시예에서, 사용자 장치(21), 집적 회로 설계 플랫폼(22) 및 저장 장치(23) 중 적어도 하나는 서로 이격되어 위치할 수 있다.
- [0036] 사용자 장치(21)는 프로세서(21a) 및 사용자 인터페이스(User Interface, UI)(21b)를 포함할 수 있다. 사용자 인터페이스(21a)를 통해 입력되는 사용자 입력에 따라, 프로세서(21a)는 집적 회로 설계 플랫폼(22)을 구동할 수 있다. 집적 회로 설계 플랫폼(22)은 집적 회로의 설계를 위한 컴퓨터로 독출 가능한 명령어의 세트로서, 레이아웃 생성 모듈(22a), 기생 추출 모듈(22b) 및 시뮬레이션 모듈(22c)을 포함할 수 있다. 저장 장치(23)는 셀 라이브러리 데이터베이스(database, 이하 "DB")(23a) 및 레이아웃 DB(23b)를 포함할 수 있다. 셀 라이브러리 DB(23a)는 집적 회로의 레이아웃을 생성하기 위해 필요한 셀에 대한 정보를 저장하고, 레이아웃 DB(23b)는 레이아웃 생성 모듈(22a)에서 생성된 레이아웃에 대한 정보, 구체적으로, 레이아웃에 대한 물리적 정보를 저장할 수 있다.
- [0037] 도 5는 본 개시의 일 실시예에 따른 집적 회로의 설계 방법(S120a)을 나타내는 흐름도이다.
- [0038] 도 5를 참조하면, 본 실시예에 따른 집적 회로의 설계 방법(S120a)은 레이아웃에서 기생 성분을 추출하는 방법에 관한 것으로, 도 1의 단계 S120의 일 실시예에 대응할 수 있다. 기생 성분은 비아의 기생 저항 또는 기생 커패시턴스, 그리고 금속층의 기생 저항 또는 기생 커패시턴스를 포함할 수 있다. 이하에서는, 비아의 기생 저항(이하 "비아 저항"이라고 지칭함)을 추출하는 방법을 중심으로 본 실시예를 설명하기로 한다. 그러나, 본 발명은 이에 한정되지 않으며, 비아 저항을 추출하는 방법은 비아의 기생 커패시턴스, 또는 금속층의 기생 저항 및 기생 커패시턴스를 추출하는 방법에도 실질적으로 유사하게 적용될 수 있다.
- [0039] 단계 S210에서, 비아에 연결되는 도전 라인의 너비 및 스페이스 중 적어도 하나에 따른, 비아에 대한 복수의 저항 값들을 포함하는 제1 데이터를 수신한다. 도전 라인의 너비는 도전 라인의 연장 방향에 수직한 방향에 따른 사이즈를 나타내고, 임계 치수(critical dimension)라고 지칭할 수도 있다. 도전 라인의 스페이스는 비아에 연

결된 도전 라인(또는 "리얼 도전 라인"이라고 지칭할 수 있음)과 인접한 도전 라인(또는 "더미 도전 라인"이라고 지칭할 수 있음) 사이의 간격을 나타낸다. 이때, 리얼 도전 라인과 더미 도전 라인은 동일한 레벨에 배치되어 일 배선층을 구성할 수 있다.

- [0040] 본 명세서에서, 도전 라인은 비아와 접촉하는, 전도성 물질로 구현되는 임의의 패턴을 지칭할 수 있다. 일 실시예에서, 도전 라인은 비아에 상부에 배치되어 비아와 연결되는 상부 금속층일 수 있다. 일 실시예에서, 도전 라인은 비아의 하부에 배치되어 비아와 연결되는 하부 금속층일 수 있다. 일 실시예에서, 도전 라인은 비아의 하부에 배치된 트랜지스터의 액티브 영역 또는 게이트 라인일 수 있다.
- [0041] 제1 데이터는 비아에 대한 복수의 저항 값들을 포함하는 임의의 형식으로 생성될 수 있다. 일 실시예에서, 제1 데이터는 집적 회로의 설계 과정 중 프론트 엔드 설계 과정에서 생성될 수 있다. 일 실시예에서, 제1 데이터는 표준 셀 라이브러리에 저장될 수 있다. 예를 들어, 제1 데이터는 도 3의 저장 장치(17) 또는 도 4의 저장 장치(23)에 포함된 셀 라이브러리 DB(23a)에 저장될 수 있다.
- [0042] 단계 S220에서, 집적 회로의 레이아웃에 대한 물리적 정보를 포함하는 제2 데이터를 수신한다. 집적 회로의 레이아웃은 예를 들어, 도 1의 단계 S110에서 생성된 레이아웃일 수 있다. 레이아웃에 대한 물리적 정보는 레이아웃에 포함된 복수의 패턴들 각각에 대한 너비, 스페이스, 길이 등을 포함할 수 있다. 일 실시예에서, 레이아웃에 대한 물리적 정보는 도전 라인의 너비 값 또는 스페이스 값을 포함할 수 있다. 예를 들어, 제2 데이터는 도 3의 저장 장치(17) 또는 도 4의 저장 장치(23)에 포함된 레이아웃 DB(23b)에 저장될 수 있다.
- [0043] 단계 S230에서, 제1 및 제2 데이터를 기초로, 복수의 저항 값들 중 레이아웃에 따른 비아 저항을 추출한다. 구체적으로, 제1 데이터에 포함된 복수의 저항 값들 중 너비 값 및 스페이스 값 중 적어도 하나에 대응하는 저항 값을 비아 저항으로 추출할 수 있다. 예를 들어, CPU(11)는 워킹 메모리(13)에 로딩된 기생 추출 모듈(13b)을 구동하여 비아 저항을 추출할 수 있다.
- [0044] 도 6은 본 개시의 일 실시예에 따른 기생 추출 동작(S120b)을 상세하게 나타내는 흐름도이다.
- [0045] 도 6을 참조하면, 기생 추출 동작(S120b)은 도 1의 단계 S120의 일 구현예에 대응할 수 있고, 또한, 도 5에 예시된 방법의 구체적인 실시예에 대응할 수 있다. 단계 S310에서, 파라미터 데이터를 수신한다. 파라미터 데이터는 하나의 비아에 대한 복수의 저항 값들을 포함할 수 있고, 복수의 저항 값들은 비아에 연결되는 도전 라인의 너비 및 스페이스 중 적어도 하나에 따라 정의될 수 있다. 일 실시예에서, 파라미터 데이터는 집적 회로의 설계 과정 중 프론트 엔드 설계 과정에서 제공될 수 있다. 일 실시예에서, 파라미터 데이터는 테크놀로지 파일(technology file)로 제공될 수 있다.
- [0046] 단계 S320에서, 레이아웃 데이터를 수신한다. 레이아웃 데이터는 레이아웃에 포함된 각종 패턴들에 대한 물리적 정보 또는 기하학적(geometric) 정보를 포함할 수 있고, 이에 따라, 물리적 데이터 또는 기하학적 데이터라고 지칭할 수도 있다. 구체적으로, 레이아웃 데이터는 레이아웃에 포함된 도전 라인의 너비 값 및 스페이스 값을 포함할 수 있다. 일 실시예에서, 레이아웃 데이터는 P&R 틀에서 제공될 수 있다. 일 실시예에서, 레이아웃 데이터는 DEF(Design Exchange Format) 파일로 제공될 수 있다. DEF 파일은 집적 회로의 레이아웃을 ASCII 포맷으로 나타낸 것이다.
- [0047] 단계 S330에서, 기생 성분을 추출한다. 구체적으로, 파라미터 데이터에 포함된 복수의 저항 값들 중, 레이아웃 데이터에 포함된 도전 라인의 너비 값 및 스페이스 값 중 적어도 하나에 따라 선택된 비아 저항을 기생 성분으로 추출할 수 있다. 일 실시예에서, 파라미터 데이터는 비아에 대한 복수의 커패시턴스 값들을 포함할 수 있고, 기생 성분 추출 단계는 파라미터 데이터에 포함된 복수의 커패시턴스 값들 중, 레이아웃 데이터에 포함된 도전 라인의 너비 값 및 스페이스 값 중 적어도 하나에 따라 선택된 비아 커패시턴스를 기생 성분으로 추출할 수 있다.
- [0048] 단계 S340에서, 기생 성분 서술 파일을 출력한다. 일 실시예에서, 기생 성분 서술 파일은 집적 회로의 하나의 네트, 즉, 레이아웃의 하나의 상호연결을 구성하는 도전 라인들 및 비아들 각각의 기생 저항 및 기생 커패시턴스를 포함할 수 있다. 일 실시예에서, 기생 성분 서술 파일은 집적 회로의 하나의 네트에 대응하는 전체 기생 저항 및 커패시턴스를 포함할 수도 있다. 일 실시예에서, 기생 성분 서술 파일은 SPEF(Standard Parasitic Exchange Format) 파일로 제공될 수 있다. SPEF 파일은 집적 회로의 배선의 기생 데이터를 ASCII 포맷으로 나타낸 것이다.
- [0049] 도 7은 본 개시의 일 실시예에 따른 타이밍 분석 동작(S130a)을 상세하게 나타내는 흐름도이다.

- [0050] 도 7을 참조하면, 타이밍 분석 동작(S130a)은 도 1의 단계 S130의 일 구현예에 대응할 수 있다. 한편, 도 1의 단계 S130에 따른 포스트 레이아웃 시뮬레이션은 타이밍 분석 외에, 전력 분석, 노이즈 분석, 신뢰성 분석 등과 같은 다양한 시뮬레이션 동작을 더 포함할 수 있다.
- [0051] 단계 S410에서, 타이밍 데이터를 수신한다. 일 실시예에서, 타이밍 데이터는 집적 회로의 설계 과정 중 프론트 엔드 설계 과정에서 제공될 수 있다. 일 실시예에서, 타이밍 데이터는 표준 셀 라이브러리의 생성 단계에서 생성될 수 있다. 일 실시예에서, 타이밍 데이터는 SDF(Standard Delay Format) 파일로 제공될 수 있다.
- [0052] 단계 S420에서, 기생 성분 서술 파일을 수신한다. 기생 성분 서술 파일은 도 6에 예시된 기생 추출 동작을 통해 출력될 수 있다. 본 실시예에 따르면, 기생 성분 추출 파일은 레이아웃의 물리적 데이터, 즉, 도선 라인의 너비 값 및 스페이스 값에 따라, 복수의 저항 값들 중 선택된 비아 저항을 포함할 수 있다. 따라서, 기생 성분 서술 파일에 포함된 비아 저항은 레이아웃에 따라 제조되는 반도체 장치에서 실제 비아의 저항에 근접한 값을 가질 수 있다.
- [0053] 단계 S430에서, 타이밍 분석을 수행한다. 구체적으로, 타이밍 분석을 통해 레이아웃이 미리 결정된 타이밍 요건을 만족하는지 판단할 수 있다. 본 실시예에 따르면, 타이밍 분석은 레이아웃에 포함된 도선 라인의 너비 값 및 스페이스 값에 따라, 복수의 저항 값들 중 선택된 비아 저항을 기초로 수행되므로, 레이아웃에 따라 제조되는 반도체 장치에서 발생하는 인터커넥트 딜레이에 근접한 값을 갖는 결과를 생성할 수 있다. 일 실시예에서, 타이밍 분석은 STA(Static Timing Analysis)일 수 있다. 단계 S440에서, 타이밍 리포트를 출력한다.
- [0054] 도 8은 본 개시의 일 실시예에 따른 집적 회로의 설계 방법을 나타내는 흐름도이다.
- [0055] 도 8을 참조하면, 본 실시예에 따른 집적 회로의 설계 방법은 기생 성분 파일의 생성 방법에 관한 것이며, 예를 들어, 도 1의 단계 S110 이전에 수행될 수 있다. 도 1 내지 도 7을 참조하여 상술된 내용은 본 실시예에도 적용될 수 있고, 중복된 설명은 생략하기로 한다.
- [0056] 단계 S510에서, 집적 회로에 포함되는 비아에 연결되는 도선 라인과 관련된 물리적 데이터에 따라 비아의 기생 성분에 대한 복수의 특성값들을 정의한다. 일 실시예에서, 비아의 기생 성분은 비아 저항을 포함할 수 있다. 일 실시예에서, 비아의 기생 성분은 비아 커패시턴스를 포함할 수 있다.
- [0057] 일 실시예에서, 비아의 상부에 배치되는 상부 도선 라인의 너비 및 상부 도선 라인과 인접 상부 도선 라인 사이의 스페이스 중 적어도 하나에 따라 복수의 특성값들을 정의할 수 있다. 일 실시예에서, 비아의 하부에 배치되는 하부 도선 라인의 너비 및 하부 도선 라인과 인접 하부 도선 라인 사이의 스페이스 중 적어도 하나에 따라 복수의 특성값들을 정의할 수 있다. 일 실시예에서, 상부 도선 라인의 너비 및 스페이스 중 적어도 하나, 그리고, 하부 도선 라인의 너비 및 스페이스 중 적어도 하나에 따라 복수의 특성값들을 정의할 수 있다.
- [0058] 단계 S520에서, 복수의 특성값들을 포함하는, 비아의 기생 성분 파일을 생성한다. 일 실시예에서, 기생 성분 파일은 복수의 파일들로 생성될 수 있다. 일 실시예에서, 기생 성분 파일은 테크놀로지 파일로 제공될 수 있다. 일 실시예에서, 기생 성분 파일은 상부 도선 라인에 따른 비아 저항 또는 비아 커패시턴스에 대한 특성값들을 포함할 수 있다. 일 실시예에서, 기생 성분 파일은 하부 도선 라인에 따른 비아 저항 또는 비아 커패시턴스에 대한 특성값들을 포함할 수 있다. 일 실시예에서, 기생 성분 파일은 상부 도선 라인 및 하부 도선 라인에 따른 비아 저항 또는 비아 커패시턴스에 대한 특성값들을 포함할 수 있다.
- [0059] 단계 S530에서, 기생 성분 파일을 제공한다. 일 실시예에서, 기생 성분 파일을 표준 셀 라이브러리에 저장할 수 있다. 일 실시예에서, 기생 성분 파일은 표준 셀 라이브러리의 일부로 저장될 수 있고, 예를 들어, 셀 라이브러리 DB(도 4의 23a)에 저장될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 기생 성분 파일은 표준 셀 라이브러리와는 별개로 저장될 수 있다.
- [0060] 일부 실시예들에 따르면, 단계 S530 이후에, 집적 회로를 정의하는 입력 데이터를 기초로, 표준 셀 라이브러리를 참조하여 집적 회로의 레이아웃을 생성하는 단계를 더 포함할 수 있다. 일부 실시예들에 따르면, 단계 S530 이후에, 레이아웃에 대한 물리적 정보를 기초로, 표준 셀 라이브러리에 저장된 기생 성분 파일로부터 비아의 기생 성분을 추출하는 단계를 더 포함할 수 있다.
- [0061] 도 9는 본 개시의 일 실시예에 따른 집적 회로(100)에 포함된 배선 구조를 나타낸다.
- [0062] 도 9를 참조하면, 집적 회로(100)는 하부 도선 라인들(Mx_a, Mx_b, Mx_c), 비아(Vx) 및 상부 도선 라인들(Mx+1_a, Mx+1_b, Mx+1_c)을 포함할 수 있다. 하부 도선 라인들(Mx_a, Mx_b, Mx_c)은 하부 금속 패턴들이라고

지칭할 수 있고, 상부 도전 라인들(Mx+1_a, Mx+1_b, Mx+1_c)은 상부 금속 패턴들이라고 지칭할 수 있다.

- [0063] 하부 도전 라인들(Mx_a, Mx_b, Mx_c)은 동일 레벨에 배치되어 하부 금속층(Mx)을 구성할 수 있다. 하부 도전 라인(Mx_b)은 비아(Vx)의 하부에 배치되어, 비아(Vx)와 전기적으로 연결될 수 있고, 이에 따라, 리얼 하부 도전 라인이라고 지칭할 수 있다. 하부 도전 라인(Mx_b)의 양측에 배치된 하부 도전 라인들(Mx_a, Mx_c)은 비아(Vx)와 전기적으로 연결되지 않을 수 있고, 이에 따라, 더미 하부 도전 라인들이라고 지칭할 수 있다. 이하에서는, 하부 도전 라인(Mx_b)의 너비를 W_L로 표시하고, 하부 도전 라인(Mx_b)과 인접 하부 도전 라인(Mx_a 또는 Mx_c) 사이의 스페이스를 S_L로 표시하기로 한다.
- [0064] 상부 도전 라인들(Mx+1_a, Mx+1_b, Mx+1_c)은 동일 레벨에 배치되어 상부 금속층(Mx+1)을 구성할 수 있다. 상부 도전 라인(Mx+1_b)은 비아(Vx)의 상부에 배치되어, 비아(Vx)와 전기적으로 연결될 수 있고, 이에 따라, 리얼 상부 도전 라인이라고 지칭할 수 있다. 상부 도전 라인(Mx+1_b)의 양측에 배치된 상부 도전 라인들(Mx+1_a, Mx+1_c)은 비아(Vx)와 전기적으로 연결되지 않을 수 있고, 이에 따라, 더미 상부 도전 라인들이라고 지칭할 수 있다. 이하에서는, 상부 도전 라인(Mx+1_b)의 너비를 W_U로 표시하고, 상부 도전 라인(Mx+1_b)과 인접 상부 도전 라인(Mx+1_a 또는 Mx+1_c) 사이의 스페이스를 S_U로 표시하기로 한다.
- [0065] 상부 도전 라인(Mx+1_b)과 컨택하는, 비아(Vx)의 상면의 너비는 W_Vtop으로 표시하고, 하부 도전 라인(Mx_b)과 컨택하는, 비아(Vx)의 하면의 너비는 W_Vbtm라고 표시하기로 한다. 일 실시예에서, W_Vtop과 W_Vbtm는 서로 다를 수 있다.
- [0066] SAV 공정으로 비아(Vx)를 형성하는 경우, 상부 도전 라인(Mx+1_b)의 너비에 적응적으로 비아(Vx)의 상면의 너비(W_Vtop)가 결정될 수 있다. 또한, SAV 공정으로 비아(Vx)를 형성하는 경우, 하부 도전 라인(Mx_b)의 너비에 적응적으로 비아(Vx)의 하면의 너비(W_Vbtm)가 결정될 수 있다. 이처럼 SAV 공정의 특성 상, 비아(Vx)의 임계 치수, 즉, 비아(Vx)의 상면의 너비(W_Vtop) 및 비아(Vx)의 하면의 너비(W_Vbtm)는 상부 도전 라인 및 하부 도전 라인의 임계 치수와 강한 상관 관계를 가지며, 이에 따라, 비아의 저항(Vx)에 대한 변화량도 커지게 된다. 이에 대해, 도 10을 참조하여 더욱 자세하게 설명하기로 한다.
- [0067] 도 10은 본 개시의 일 실시예에 따라 비아에 연결되는 상부 도전 라인 및 하부 도전 라인의 너비들 및 스페이스들에 따른 비아 저항들을 나타내는 표이다.
- [0068] 도 10을 참조하면, 제1 케이스(CASE1)는 하부 도전 라인의 너비(W_L)가 최소값인 경우, 상부 도전 라인의 너비(W_U) 및 스페이스(S_U)와 비아의 임계 치수 및 저항에 대한 상관 관계를 나타낸다. 제2 케이스(CASE2)는 하부 도전 라인의 너비(W_L)가 평균값인 경우, 상부 도전 라인의 너비(W_U) 및 스페이스(S_U)와 비아의 임계 치수 및 저항에 대한 상관 관계를 나타낸다. 제3 케이스(CASE3)는 하부 도전 라인의 너비(W_L)가 최대값인 경우, 상부 도전 라인의 너비(W_U) 및 스페이스(S_U)와 비아의 임계 치수 및 저항에 대한 상관 관계를 나타낸다. 이하에서, 제1 내지 제3 케이스들(CASE1 내지 CASE3)에 대해 더욱 자세하게 설명하기로 한다.
- [0069] 제1 케이스(CASE1)에서, SAV 공정에 의해, 하부 도전 라인의 스페이스(S_L) 및 너비(W_L)가 최소값이면, 비아의 하면의 너비(W_Vbtm)도 최소값을 갖고, 상부 도전 라인의 스페이스(S_U) 및 너비(W_U)가 최소값이면, 비아의 상면의 너비(W_Vtop)도 최소값을 갖는다. 종래에는 이러한 위스트(worst) 케이스에서의 비아 저항(R_V)을 평균 저항(R_norm)으로 결정하고, 비아에 연결되는 하부 도전 라인 및 상부 도전 라인의 임계 치수에 관계없이 평균 저항(R_norm)을 고정된 기생 저항으로 기술하였다. 이에 따라, 기생 추출 단계에서는 평균 저항(R_norm)을 기생 성분으로 추출하였다.
- [0070] 그러나, 제1 케이스(CASE1)에서, 상부 도전 라인의 스페이스(S_U) 및 너비(W_U)가 증가할수록 비아의 상면의 비아 너비(W_Vtop)도 증가하고, 비아 저항(R_V)은 감소한다. 이때, 비아 저항(R_V)의 감소에도 불구하고 고정된 평균 저항(R_norm)을 기초로 타이밍 분석을 수행하면, 타이밍 분석의 결과는 비아 저항(R_V)의 감소에 따른 인터넥트 딜레이 변화를 반영하지 못하게 된다.
- [0071] 제2 케이스(CASE2)에서, SAV 공정에 의해, 하부 도전 라인의 스페이스(S_L) 및 너비(W_L)가 평균값이면, 비아의 하면의 너비(W_Vbtm)도 평균값을 갖고, 이때, 상부 도전 라인의 스페이스(S_U) 및 너비(W_U)가 최소값이더라도 비아 저항(R_V)은 평균 저항(R_norm)보다 낮다. 또한, 상부 도전 라인의 스페이스(S_U) 및 너비(W_U)가 증가할수록 비아의 상면의 너비(W_Vtop)도 증가하고, 비아 저항(R_V)은 감소한다.
- [0072] 제3 케이스(CASE3)에서, SAV 공정에 의해, 하부 도전 라인의 스페이스(S_L) 및 너비(W_L)가 최대값이면, 비아의 하면의 너비(W_Vbtm)도 최대값을 갖고, 이때, 상부 도전 라인의 스페이스(S_U) 및 너비(W_U)가 최소값이더라도 비아 저항(R_V)은 평균 저항(R_norm)보다 낮다. 또한, 상부 도전 라인의 스페이스(S_U) 및 너비(W_U)가 증가할

수록 비아의 상면의 너비(W_{Vtop})도 증가하고, 비아 저항(R_V)은 감소한다.

- [0073] 이와 같이, SAV 공정에 의해 비아를 형성하는 경우, 비아의 임계 치수는 상부 도전 라인의 임계 치수 및 하부 도전 라인의 임계 치수와 강한 상관 관계가 있다. 구체적으로, 상부 도전 라인의 너비(W_U) 및 하부 도전 라인의 너비(W_L)의 변화에 의해, 비아의 너비(W_{Vtop} 또는 W_{Vbtm})도 변경될 수 있고, 이에 따라, 비아의 저항(R_V)도 변경될 수 있다. 또한, 상부 도전 라인의 스페이스(S_U) 및 하부 도전 라인의 스페이스(S_L)의 변화에 의해서도 비아의 저항(R_V)이 변경될 수 있다. 비아의 저항(R_V)에 대한 변화량에도 불구하고, 기생 성분 추출 단계에서, 비아 저항(R_V)에 대해 고정된 평균 저항(R_{norm})을 일률적으로 제공하게 되면, 이후에 수행될 타이밍 분석의 정확도는 크게 떨어질 수 있다.
- [0074] 도 11a 내지 도 11c는 본 개시의 일 실시예에 따른 집적 회로의 제1 내지 제3 레이아웃들(100a 내지 100c)이다. 이하에서는 도 11a 내지 도 11c 및 도 12를 참조하여 상부 도전 라인에 따라 비아에 대한 저항 값들을 정의하는 실시예에 대해 상술하기로 한다.
- [0075] 도 11a를 참조하면, 집적 회로의 제1 레이아웃(100a)은 하부 도전 라인(110), 비아(120) 및 제1 내지 제3 상부 도전 라인들(130a 내지 130c)을 포함한다. 하부 도전 라인(110)은 제1 방향(예를 들어, Y 방향)으로 연장되고, 제1 내지 제3 상부 도전 라인들(130a 내지 130c)은 제2 방향(예를 들어, X 방향)으로 연장되도록 배치될 수 있다. 하부 도전 라인(110)은 도 9의 하부 금속층(M_x)에 대응하고, 제1 내지 제3 상부 도전 라인들(130a 내지 130c)은 도 9의 상부 금속층(M_{x+1})에 대응할 수 있다.
- [0076] 비아(120)에 직접 컨택하는 제2 상부 도전 라인(130b)의 너비는 W_1 이고, 제2 상부 도전 라인(130b)과 인접한 제1 상부 도전 라인(130a) 사이의 스페이스 또는 제2 상부 도전 라인(130b)과 인접한 제3 상부 도전 라인(130c) 사이의 스페이스는 S_1 이다.
- [0077] 도 11b를 참조하면, 집적 회로의 제2 레이아웃(100a')은 하부 도전 라인(110), 비아(120') 및 제1 내지 제3 상부 도전 라인들(130a' 내지 130c')을 포함한다. 하부 도전 라인(110)은 제1 방향(예를 들어, Y 방향)으로 연장되고, 제1 내지 제3 상부 도전 라인들(130a' 내지 130c')은 제2 방향(예를 들어, X 방향)으로 연장되도록 배치될 수 있다. 하부 도전 라인(110)은 도 9의 하부 금속층(M_x)에 대응하고, 제1 내지 제3 상부 도전 라인들(130a' 내지 130c')은 도 9의 상부 금속층(M_{x+1})에 대응할 수 있다.
- [0078] 비아(120')에 직접 컨택하는 제2 상부 도전 라인(130b')의 너비는 W_2 이고, 제2 상부 도전 라인(130b')과 인접한 제1 상부 도전 라인(130a') 사이의 스페이스 또는 제2 상부 도전 라인(130b')과 인접한 제3 상부 도전 라인(130c') 사이의 스페이스는 S_2 이다. 이때, W_2 는 W_1 보다 작고, S_2 는 S_1 보다 작다. 따라서, 제2 레이아웃(100a')에 따라 집적 회로를 형성하는 경우, 비아(120')의 너비(W_{V2})는 비아(120)의 너비(W_{V1})보다 작을 수 있고, 이에 따라, 비아(120')의 저항은 비아(120)의 저항보다 클 수 있다.
- [0079] 도 11c를 참조하면, 집적 회로의 제3 레이아웃(100a'')은 하부 도전 라인(110), 비아(120'') 및 제1 내지 제3 상부 도전 라인들(130a'' 내지 130c'')을 포함한다. 하부 도전 라인(110)은 제1 방향(예를 들어, Y 방향)으로 연장되고, 제1 내지 제3 상부 도전 라인들(130a'' 내지 130c'')은 제2 방향(예를 들어, X 방향)으로 연장되도록 배치될 수 있다. 하부 도전 라인(110)은 도 9의 하부 금속층(M_x)에 대응하고, 제1 내지 제3 상부 도전 라인들(130a'' 내지 130c'')은 도 9의 상부 금속층(M_{x+1})에 대응할 수 있다.
- [0080] 비아(120'')에 직접 컨택하는 제2 상부 도전 라인(130b'')의 너비는 W_3 이고, 제2 상부 도전 라인(130b'')과 인접한 제1 상부 도전 라인(130a'') 사이의 스페이스 또는 제2 상부 도전 라인(130b'')과 인접한 제3 상부 도전 라인(130c'') 사이의 스페이스는 S_2 이다. 이때, W_3 은 W_1 보다 크고, S_3 은 S_1 보다 크다. 따라서, 제3 레이아웃(100a'')에 따라 집적 회로를 형성하는 경우, 비아(120'')의 너비(W_{V3})는 비아(120)의 너비(W_{V1})보다 클 수 있고, 이에 따라, 비아(120'')의 저항은 비아(120)의 저항보다 작을 수 있다.
- [0081] 도 12는 본 개시의 일 실시예에 따른 제1 테크놀로지 파일(TF1)을 나타낸다.
- [0082] 도 12를 참조하면, 제1 테크놀로지 파일(TF1)은 상부 도전 라인의 너비(W_U) 및 스페이스(S_U)에 따라 정의된, 비아에 대한 복수의 저항 값들(R_{V11} 내지 R_{Vmn})을 포함할 수 있다. 도 12에서, m 과 n 은 3보다 큰 정수인 것으로 도시되었지만, 본 발명은 이에 한정되지 않으며, 실시예에 따라, m 과 n 은 2 이상의 정수일 수 있다. 일 실시예에서, m 과 n 은 서로 같을 수 있고, 다른 실시예에서, m 과 n 은 서로 다를 수 있다. 일 실시예에서, m 은 1이고 n 은 2 이상의 정수일 수 있다. 일 실시예에서, m 은 2 이상의 정수이고, n 은 1일 수도 있다.
- [0083] 예를 들어, 상부 도전 라인은 도 11a 내지 도 11c에 도시된 제2 상부 도전 라인(130b, 130b', 130b'')에 대응할

수 있고, 비아는 도 11a 내지 도 11c에 도시된 비아(120, 120', 120")에 대응할 수 있다. W1은 도 11a의 제2 상부 도전 라인(130b)의 너비이고, W2는 도 11b의 제2 상부 도전 라인(130b')의 너비이고, W3은 도 11c의 제2 상부 도전 라인(130b")의 너비일 수 있다. 또한, S1은 도 11a의 제2 상부 도전 라인(130b)의 스페이스이고, S2는 도 11b의 제2 상부 도전 라인(130b')의 스페이스이고, S3은 도 11c의 제2 상부 도전 라인(130b")의 스페이스일 수 있다.

- [0084] 본 실시예에 따르면, 비아에 대한 고정된 저항 값 대신, 비아와 연결되는 상부 도전 라인의 너비(W_U) 또는 스페이스(S_U)를 기초로 복수의 저항 값들을 제1 테크놀로지 파일(TF1)에 미리 정의할 수 있다. 이에 따라, 실제 레이아웃에 포함된 상부 도전 라인의 너비 값 또는 스페이스 값에 따라, 복수의 저항 값들 중 선택된 비아 저항을 이용하여 포스트 레이아웃 시뮬레이션 단계에서 집적 회로의 타이밍을 분석함으로써 분석 결과의 정확도가 상승할 수 있다.
- [0085] 도 13a 내지 도 13c는 본 개시의 일 실시예에 따른 집적 회로의 레이아웃들(100b 내지 100b")이다. 이하에서는 도 13a 내지 도 13c 및 도 14를 참조하여 하부 도전 라인에 따라 비아에 대한 저항 값들을 정의하는 실시예에 대해 상술하기로 한다.
- [0086] 도 13a를 참조하면, 집적 회로의 제1 레이아웃(100b)은 제1 내지 제3 하부 도전 라인들(110a 내지 110c), 비아(120) 및 상부 도전 라인(130)을 포함한다. 제1 내지 제3 하부 도전 라인들(110a 내지 110c)은 제1 방향(예를 들어, Y 방향)으로 연장되고, 상부 도전 라인(130)은 제2 방향(예를 들어, X 방향)으로 연장되도록 배치될 수 있다. 제1 내지 제3 하부 도전 라인들(110a 내지 110c)은 도 9의 하부 금속층(M_x)에 대응하고, 상부 도전 라인(130)은 도 9의 상부 금속층(M_{x+1})에 대응할 수 있다.
- [0087] 비아(120)에 직접 접촉하는 제2 하부 도전 라인(110b)의 너비는 W1이고, 제2 하부 도전 라인(110b)과 인접한 제1 하부 도전 라인(110a) 사이의 스페이스 또는 제2 하부 도전 라인(110b)과 인접한 제3 하부 도전 라인(110c) 사이의 스페이스는 S1이다.
- [0088] 도 13b를 참조하면, 집적 회로의 제2 레이아웃(100b')은 제1 내지 제3 하부 도전 라인들(110a' 내지 110c'), 비아(120') 및 상부 도전 라인(130a)을 포함한다. 제1 내지 제3 하부 도전 라인들(110a' 내지 110c')은 제1 방향(예를 들어, Y 방향)으로 연장되고, 상부 도전 라인(130)은 제2 방향(예를 들어, X 방향)으로 연장되도록 배치될 수 있다. 제1 내지 제3 하부 도전 라인들(110a' 내지 110c')은 도 9의 하부 금속층(M_x)에 대응하고, 상부 도전 라인(130)은 도 9의 상부 금속층(M_{x+1})에 대응할 수 있다.
- [0089] 비아(120')에 직접 접촉하는 제2 하부 도전 라인(110b')의 너비는 W2이고, 제2 하부 도전 라인(110b')과 인접한 제1 하부 도전 라인(110a') 사이의 스페이스 또는 제2 하부 도전 라인(110b')과 인접한 제3 하부 도전 라인(110c') 사이의 스페이스는 S2이다. 이때, W2는 W1 보다 작고, S2는 S1 보다 작다. 따라서, 제2 레이아웃(100b')에 따라 집적 회로를 형성하는 경우, 비아(120')의 너비(W_{V2})는 비아(120)의 너비(W_{V1})보다 작을 수 있고, 이에 따라, 비아(120')의 저항은 비아(120)의 저항보다 클 수 있다.
- [0090] 도 13c를 참조하면, 집적 회로의 제3 레이아웃(100b")은 제1 내지 제3 하부 도전 라인들(110a" 내지 110c"), 비아(120") 및 상부 도전 라인(130)을 포함한다. 제1 내지 제3 하부 도전 라인들(110a" 내지 110c")은 X 방향으로 연장되고, 상부 도전 라인(130)은 Y 방향으로 연장되도록 배치될 수 있다. 제1 내지 제3 하부 도전 라인들(110a" 내지 110c")은 도 9의 하부 금속층(M_x)에 대응하고, 상부 도전 라인(130)은 도 9의 상부 금속층(M_{x+1})에 대응할 수 있다.
- [0091] 비아(120")에 직접 접촉하는 제2 하부 도전 라인(110b")의 너비는 W3이고, 제2 하부 도전 라인(110b")과 인접한 제1 하부 도전 라인(110a") 사이의 스페이스 또는 제2 하부 도전 라인(110b")과 인접한 제3 하부 도전 라인(110c") 사이의 스페이스는 S2이다. 이때, W3은 W1 보다 크고, S3은 S1 보다 크다. 따라서, 제3 레이아웃(100b")에 따라 집적 회로를 형성하는 경우, 비아(120")의 너비(W_{V3})는 비아(120)의 너비(W_{V1})보다 클 수 있고, 이에 따라, 비아(120")의 저항은 비아(120)의 저항보다 작을 수 있다.
- [0092] 도 14는 본 개시의 일 실시예에 따른 제2 테크놀로지 파일(TF2)을 나타낸다.
- [0093] 도 14를 참조하면, 제2 테크놀로지 파일(TF2)은 하부 도전 라인의 너비(W_L) 및 스페이스(S_L)에 따라 정의된, 비아에 대한 복수의 저항 값들(R_{V11} 내지 R_{Vmn})을 포함할 수 있다. 도 14에서, m과 n은 3보다 큰 정수인 것으로 도시되었지만, 본 발명은 이에 한정되지 않으며, 실시예에 따라, m과 n은 2 이상의 정수일 수 있다. 일 실시예에서, m과 n은 서로 같을 수 있고, 다른 실시예에서, m과 n은 서로 다를 수 있다. 일 실시예에서, m은 1이고

n은 2 이상의 정수일 수 있다. 일 실시예에서, m은 2 이상의 정수이고, n은 1일 수도 있다.

- [0094] 예를 들어, 하부 도전 라인(110b, 110b', 110b")에 대응할 수 있고, 비아는 도 11a 내지 도 11c에 도시된 비아(120, 120', 120")에 대응할 수 있다. W1은 도 13a의 제2 하부 도전 라인(110b)의 너비이고, W2는 도 13b의 제2 하부 도전 라인(110b')의 너비이고, W3은 도 13c의 제2 하부 도전 라인(110b")의 너비일 수 있다. 또한, S1은 도 13a의 제2 하부 도전 라인(110b)의 스페이스이고, S2는 도 13b의 제2 하부 도전 라인(110b')의 스페이스이고, S3은 도 13c의 제2 하부 도전 라인(110b")의 스페이스일 수 있다.
- [0095] 본 실시예에 따르면, 비아에 대한 고정된 저항 값 대신, 비아와 연결되는 하부 도전 라인의 너비(W_L) 또는 스페이스(S_L)를 기초로 복수의 저항 값들을 제2 테크놀로지 파일(TF2)에 미리 정의할 수 있다. 이에 따라, 실제 레이아웃에 포함된 하부 도전 라인의 너비 값 또는 스페이스 값에 따라, 복수의 저항 값들 중 선택된 비아 저항을 이용하여 포스트 레이아웃 시뮬레이션 단계에서 집적 회로의 타이밍을 분석함으로써 분석 결과의 정확도가 상승할 수 있다.
- [0096] 도 15는 본 개시의 일 실시예에 따른 제3 테크놀로지 파일(TF3)을 나타낸다.
- [0097] 도 15를 참조하면, 제3 테크놀로지 파일(TF3)은 하부 도전 라인(LOWER)의 너비 및 스페이스, 그리고, 상부 도전 라인(UPPER)의 너비 및 스페이스에 따라 정의된, 비아에 대한 복수의 저항 값들(R_{V11} 내지 R_{Vmn})을 포함할 수 있다. 도 15에서, m과 n은 3보다 큰 정수인 것으로 도시되었지만, 본 발명은 이에 한정되지 않으며, 실시예에 따라, m과 n은 2 이상의 정수일 수 있다. 일 실시예에서, m과 n은 서로 같을 수 있고, 다른 실시예에서, m과 n은 서로 다를 수 있다. 일 실시예에서, m은 1이고 n은 2 이상의 정수일 수 있다. 일 실시예에서, m은 2 이상의 정수이고, n은 1일 수도 있다.
- [0098] 예를 들어, 하부 도전 라인(LOWER)은 도 13a 내지 도 13c에 도시된 제2 하부 도전 라인(110b, 110b', 110b")에 대응할 수 있고, 비아는 도 11a 내지 도 11c에 도시된 비아(120, 120', 120")에 대응할 수 있다. 하부 도전 라인(LOWER)에 대해, W1은 도 13a의 제2 하부 도전 라인(110b)의 너비이고, W2는 도 13b의 제2 하부 도전 라인(110b')의 너비이고, W3은 도 13c의 제2 하부 도전 라인(110b")의 너비일 수 있다. 또한, 하부 도전 라인(LOWER)에 대해, S1은 도 13a의 제2 하부 도전 라인(110b)의 스페이스이고, S2는 도 13b의 제2 하부 도전 라인(110b')의 스페이스이고, S3은 도 13c의 제2 하부 도전 라인(110b")의 스페이스일 수 있다.
- [0099] 또한, 예를 들어, 상부 도전 라인(UPPER)은 도 11a 내지 도 11c에 도시된 제2 상부 도전 라인(130b, 130b', 130b")에 대응할 수 있고, 비아는 도 11a 내지 도 11c에 도시된 비아(120, 120', 120")에 대응할 수 있다. 상부 도전 라인(UPPER)에 대해, W1은 도 11a의 제2 상부 도전 라인(130b)의 너비이고, W2는 도 11b의 제2 상부 도전 라인(130b')의 너비이고, W3은 도 11c의 제2 상부 도전 라인(130b")의 너비일 수 있다. 또한, 상부 도전 라인(UPPER)에 대해, S1은 도 11a의 제2 상부 도전 라인(130b)의 스페이스이고, S2는 도 11b의 제2 상부 도전 라인(130b')의 스페이스이고, S3은 도 11c의 제2 상부 도전 라인(130b")의 스페이스일 수 있다.
- [0100] 본 실시예에 따르면, 비아에 하부에 배치되는 하부 도전 라인(LOWER)의 너비 및 스페이스, 그리고, 비아의 상부에 배치되는 상부 도전 라인(UPPER)의 너비 및 스페이스를 모두 고려하여, 비아에 대한 복수의 저항 값들을 정의할 수 있다. 본 실시예에 따르면, 비아에 대한 고정된 저항 값 대신, 비아와 연결되는 상부 도전 라인의 너비 또는 스페이스, 그리고, 하부 도전 라인의 너비 또는 스페이스를 기초로 복수의 저항 값들을 제3 테크놀로지 파일(TF3)에 미리 정의할 수 있다. 이에 따라, 실제 레이아웃에 포함된 상부 도전 라인의 너비 값 또는 스페이스 값, 그리고, 하부 도전 라인의 너비 값 또는 스페이스 값에 따라, 복수의 저항 값들 중 선택된 비아 저항을 이용하여 포스트 레이아웃 시뮬레이션 단계에서 집적 회로의 타이밍을 분석함으로써 분석 결과의 정확도가 상승할 수 있다.
- [0101] 도 11a 내지 도 15를 참조하여 상술한 바와 같이, 본 실시예에 따르면, 집적 회로에 포함된 구성 요소들, 예컨대 배선층에 형성된 패턴, 비아, 트랜지스터에 대한 고정된 특성값 대신, 복수의 특성값들을 테크놀로지 파일에 미리 정의할 수 있다. 이에 따라, 기생 성분 추출 단계에서, 레이아웃의 물리적 데이터를 기초로 테크놀로지 파일에서 특성값을 추출하고, 추출된 특성값에 집적 회로의 타이밍을 분석함으로써, 분석 결과의 정확도는 상승할 수 있다.
- [0102] 도 16은 본 개시의 일 실시예에 따른 테스트 동작에 이용되는 DUT(Device Under Test)(200)를 나타낸다.
- [0103] 도 16을 참조하면, 반도체 장치에 있어서 공정의 최적화 또는 디자인들의 확립을 위한 유효한 수단 중 하나가 프로세스 시뮬레이션이다. 이러한 프로세스 시뮬레이션의 하드웨어적 검증 수단으로서, TEG(Test Elements

Group)에 의한 전기적 특성의 측정 방법이 존재한다. 구체적으로, TEG를 웨이퍼에 제작하고, TEG를 갖는 웨이퍼로부터 전기적 특성을 측정함으로써 모델 파라미터들을 추출할 수 있다. 여기서, 모델 파라미터들은 물리적/구조적 파라미터들이며, 예를 들어, 채널 길이, 소자 폭, 도핑 프로파일, 산화막 두께, 산화막 유전율, 채널 길이 변조 상수 등을 포함할 수 있다. 추출된 모델 파라미터들은 시뮬레이터에 입력되고, 설계된 회로의 동작이 시뮬레이터를 통하여 검증되고, 디자인 룰에 적합하게 레이아웃이 작성될 수 있다.

- [0104] 본 실시예에서, 모델 파라미터는 비아 저항을 포함할 수 있고, TEG를 갖는 웨이퍼로부터 예를 들어, 켈빈 방법(Kelvin Method)을 이용하여 전기적 특성을 측정함으로써 비아 저항을 추출할 수 있다. 구체적으로, DUT(200)는 제1 방향(예를 들어, Y 방향)으로 연장되는 하부 도전 라인들(210a 내지 210c)과 제2 방향(예를 들어, X 방향)으로 연장되는 상부 도전 라인들(230a 내지 230c)을 포함하고, 하부 도전 라인(210b)과 상부 도전 라인(230b)을 전기적으로 연결하는 비아(220)를 더 포함할 수 있다.
- [0105] 도 17a 내지 도 17c는 본 개시의 일 실시예에 따른 테스트 동작에 이용되는 제1 내지 제3 DOE(Design of Experiment)들을 나타낸다.
- [0106] 도 17a를 참조하면, 제1 DOE(DOE1)에 따르면, 하부 금속층(Mx)의 너비(W_L) 및 스페이스(S_L)는 최소 디자인 룰로 설계하고, 상부 금속층(Mx+1)의 너비(W_U)를 변화시킬 수 있다. 이때, CATOPC(Catastrophic OPC) 룰의 영향을 받지 않기 위해, 상부 금속층(Mx+1)의 스페이스(S_U)는 최소 디자인 룰로 설계할 수 있다. 제1 DOE(DOE1)에 따라 테스트 동작을 수행함으로써, 예를 들어, 도 12에 예시된 제1 테크놀로지 파일(TF1)을 검증할 수 있다.
- [0107] 도 17b를 참조하면, 제2 DOE(DOE2)에 따르면, 상부 금속층(Mx+1)의 너비(W_U) 및 스페이스(S_U)는 최소 디자인 룰로 설계하고, 하부 금속층(Mx)의 너비(W_L)를 변화시킬 수 있다. 이때, CATOPC 룰의 영향을 받지 않기 위해, 하부 금속층(Mx)의 스페이스(S_L)는 최소 디자인 룰로 설계할 수 있다. 제2 DOE(DOE2)에 따라 테스트 동작을 수행함으로써, 예를 들어, 도 14에 예시된 제2 테크놀로지 파일(TF2)을 검증할 수 있다.
- [0108] 도 17c를 참조하면, 제3 DOE(DOE3)에 따르면, 상부 금속층(Mx+1)의 스페이스(S_U) 및 하부 금속층(Mx)의 스페이스(S_L)는 최소 디자인 룰로 설계하고, 상부 금속층(Mx+1)의 너비(W_U) 및 하부 금속층(Mx)의 너비(W_L)를 변화시킬 수 있다. 제3 DOE(DOE3)에 따라 테스트 동작을 수행함으로써, 예를 들어, 도 15에 예시된 제3 테크놀로지 파일(TF3)을 검증할 수 있다.
- [0109] 도 18은 본 개시의 일 실시예에 따른 집적 회로에 포함되는 표준 셀(300)의 레이아웃이다.
- [0110] 도 18을 참조하면, 표준 셀(300)은 셀 바운더리(CB)에 의해 한정되고, 복수의 핀들(FN), 제1 및 제2 액티브(active) 영역들(AR1, AR2), 복수의 게이트 라인들(gate lines)(GL), 복수의 제1 금속 라인들(M1) 및 제2 금속 라인(M2)을 포함할 수 있다. 셀 바운더리(CB)는 표준 셀(300)을 한정하는 아웃라인으로, 배치 및 배선 톨은 셀 바운더리(CB)를 이용하여 표준 셀(300)을 인식할 수 있다. 셀 바운더리(CB)는 네 개의 바운더리 라인들로 구성된다.
- [0111] 복수의 핀들(FN)은 제2 방향(예를 들어, X 방향)으로 연장되고, 제2 방향에 수직인 제1 방향(예를 들어, Y 방향)을 따라 서로 평행하게 배치될 수 있다. 제1 액티브 영역(AR1)과 제2 액티브 영역(AR2)은 서로 평행하게 배치될 수 있으며, 서로 다른 도전형을 가질 수 있다. 구체적으로, 본 실시예에서는, 제1 및 제2 액티브 영역들(AR1, AR2) 각각에 3개의 핀들(FN)이 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 제1 및 제2 액티브 영역들(AR1, AR2) 각각에 배치된 핀들(FN)의 개수는 다양하게 변경될 수 있다.
- [0112] 이때, 제1 및 제2 액티브 영역들(AR1, AR2)에 배치되는 복수의 핀들(FN)은 액티브 핀들이라고 지칭할 수 있다. 도 18에서는 액티브 핀들만을 도시하였으나, 본 발명은 이에 한정되지 않으며, 표준 셀(300)은 셀 바운더리(CB)와 제1 액티브 영역(AR1), 제1 및 제2 액티브 영역들(AR1, AR2) 사이의 영역, 또는 제2 액티브 영역(AR2)과 셀 바운더리(CB) 사이의 영역에 배치되는 더미 핀들을 더 포함할 수 있다.
- [0113] 복수의 게이트 라인들(GL)은 제1 방향(예를 들어, Y 방향)으로 연장될 수 있고, 제2 방향(예를 들어, X 방향)을 따라 서로 평행하게 배치될 수 있다. 이때, 게이트 라인들(GL)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다. 도 18에서는 표준 셀(300)이 세 개의 게이트 라인들(GL)을 포함하는 것으로 도시되었으나, 이는 일 실시예에 불과하고, 표준 셀(300)은 제2 방향으로 연장되고 제1 방향을 따라 서로 평행하게 배치되는 4개 이상의 게이트 라인들(GL)을 포함할 수 있다.
- [0114] 복수의 제1 금속 라인들(M1)은 복수의 게이트 라인들(GL)의 상부에 배치되는 일 레이어(예를 들어, 도 9의 Mx)을 구성할 수 있다. 이때, 제1 금속 라인들(M1)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를

들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다. 제1 금속 라인들(M1)은 제1 방향(예를 들어, Y 방향)으로 연장될 수 있고, 제2 방향(예를 들어, X 방향)을 따라 서로 평행하게 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 제1 금속 라인들(M1) 중 일부 제1 금속 라인의 일 부분이 제1 방향으로 연장되고 다른 일 부분은 제2 방향으로 연장되는 L자 형상으로 구현될 수도 있다. 도 18에서는 표준 셀(300)이 세 개의 제1 금속 라인들(M1)을 포함하는 것으로 도시되었으나, 이는 일 실시예에 불과하고, 표준 셀(300)은 4개 이상의 제1 금속 라인들(M1)을 포함할 수 있다.

[0115] 제1 비아들(V0)은 복수의 게이트 라인들(GLa, GLb, GLc) 상에 각각 배치되어, 복수의 게이트 라인들(GLa, GLb, GLc)과 복수의 제1 금속 라인들(M1a, M1b, M1c)을 각각 전기적으로 연결할 수 있다. 이때, 제1 비아들(V0)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다. 제1 비아(V0)의 비아 저항은 하부에 접촉하는 게이트 라인(예를 들어, GLa) 및 상부에 접촉하는 제1 금속 라인(예를 들어, M1a)의 물리적 데이터에 따라 변경될 수 있다.

[0116] 본 실시예에서, 집적 회로의 설계 단계에서, 제1 비아(V0)에 대한 복수의 저항 값들을 정의하는 파라미터 데이터, 즉, 테크놀로지 파일을 제공할 수 있다. 일 실시예에서, 테크놀로지 파일은 제1 비아(V0)의 하부에 배치되는 게이트 라인(GLa)의 너비(W_{GL}), 그리고, 게이트 라인(GLa)과 인접한 게이트 라인(GLb) 사이의 스페이스(S_{GL}) 중 적어도 하나에 따라 정의되는 복수의 저항 값들을 포함할 수 있다. 일 실시예에서, 테크놀로지 파일은 제1 비아(V0)의 상부에 배치되는 제1 금속 라인(M1b)의 너비(W_{M1}), 그리고, 제1 금속 라인(M1a)과 인접한 제1 금속 라인(M1b) 사이의 스페이스(S_{M1}) 중 적어도 하나에 따라 정의되는 복수의 저항 값들을 포함할 수 있다. 일 실시예에서, 테크놀로지 파일은 제1 비아(V0)의 하부에 배치되는 게이트 라인(GLa)의 너비(W_{GL}) 및 게이트 라인(GLa)의 스페이스(S_{GL}) 중 적어도 하나, 그리고, 제1 금속 라인(M1a)의 너비(W_{M1}) 및 제1 금속 라인(M1a)의 스페이스(S_{M1}) 중 적어도 하나에 따라 정의되는 복수의 저항 값들을 포함할 수 있다.

[0117] 제2 금속 라인(M2)은 복수의 제1 금속 라인들(M1)의 상부에 배치되는 일 레이어(예를 들어, 도 9의 M_{x+1})을 구성할 수 있다. 이때, 제2 금속 라인(M2)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다. 제2 금속 라인(M2)은 제2 방향(예를 들어, X 방향)으로 연장될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 일부 실시예들에서, 제2 금속 라인(M2)의 일 부분이 제2 방향으로 연장되고 다른 일 부분은 제1 방향으로 연장되는 L자 형상으로 구현될 수도 있다. 도 18에서는 표준 셀(300)이 한 개의 제2 금속 라인(M2)을 포함하는 것으로 도시되었으나, 이는 일 실시예에 불과하고, 표준 셀(300)은 2개 이상의 제2 금속 라인들(M2)을 포함할 수 있다.

[0118] 제2 비아들(V1)은 복수의 제1 금속 라인들(M1a, M1c) 상에 각각 배치되어, 복수의 제1 금속 라인들(M1a, M1c)과 제2 금속 라인(M2)을 전기적으로 연결할 수 있다. 이때, 제2 비아들(V1)은 전기 전도성을 갖는 임의의 물질로 구성될 수 있으며, 예를 들어, 폴리 실리콘, 금속, 금속 합금 등을 포함할 수 있다. 제2 비아들(V1)의 비아 저항은 하부에 접촉하는 제1 금속 라인(예를 들어, M1a) 및 상부에 접촉하는 제2 금속 라인(예를 들어, M2)의 물리적 데이터에 따라 변경될 수 있다.

[0119] 본 실시예에서, 집적 회로의 설계 단계에서, 제2 비아(V1)에 대한 복수의 저항 값들을 정의하는 파라미터 데이터, 즉, 테크놀로지 파일을 제공할 수 있다. 일 실시예에서, 테크놀로지 파일은 제2 비아(V1)의 하부에 배치되는 제1 금속 라인(M1a)의 너비(W_{M1}), 그리고, 제1 금속 라인(M1a)과 인접한 제1 금속 라인(M1b) 사이의 스페이스(S_{M1}) 중 적어도 하나에 따라 정의되는 복수의 저항 값들을 포함할 수 있다. 일 실시예에서, 테크놀로지 파일은 제2 비아(V1)의 상부에 배치되는 제2 금속 라인(M2)의 너비(W_{M2})에 따라 정의되는 복수의 저항 값들을 포함할 수 있다. 일 실시예에서, 테크놀로지 파일은 제2 비아(V1)의 하부에 배치되는 제1 금속 라인(M1a)의 너비(W_{M1}) 및 제1 금속 라인(M1a)의 스페이스(S_{M1}) 중 적어도 하나, 및 제2 금속 라인(M2)의 너비(W_{M2})에 따라 정의되는 복수의 저항 값들을 포함할 수 있다.

[0120] 도 1 내지 도 18을 참조하여 상술된 바와 같이, 본 개시의 실시예들에 따르면, 레이아웃의 물리적 정보를 기초로 복수의 저항 값들 중 비아 저항을 추출할 수 있다. 본 개시의 실시예들에 따른 효과를 검증하기 위하여, SAV 공정에 의한 비아 저항 변화를 반영한 인터커넥트 모델에 대해, 링 오실레이터를 이용하여 시뮬레이션을 수행하였다. 이때, 종래의 고정된 비아 저항에 따른 인터커넥트 모델에 대한 시뮬레이션 결과에 비해, 본 개시의 실시예들에 따르면, 동작 속도가 상당히 향상되는 것을 확인할 수 있었다.

[0121] 도 19는 본 개시의 일 실시예에 따른 저장 매체(1000)를 나타내는 블록도이다.

[0122] 도 19를 참조하면, 저장 매체(1000)는 테크놀로지 파일(1100), 표준 셀 라이브러리(1200), 레이아웃 데이터

(1300) 및 기생 추출기(1400)를 저장할 수 있다. 저장 매체(1000)는 컴퓨터로 읽을 수 있는 저장 매체로서, 컴퓨터에 명령어 및/또는 데이터를 제공하는데 사용되는 동안 컴퓨터에 의해 읽혀질 수 있는 임의의 저장 매체를 포함할 수 있다. 예를 들면, 컴퓨터로 읽을 수 있는 저장 매체(1000)는 디스크, 테이프, CD-ROM, DVD-ROM, CD-R, CD-RW, DVD-R, DVD-RW 등과 같은 자기 또는 광학 매체, RAM, ROM, 플래시 메모리 등과 같은 휘발성 또는 비휘발성 메모리, USB 인터페이스를 통해서 액세스 가능한 비휘발성 메모리, 그리고 MEMS(microelectromechanical systems) 등을 포함할 수 있다. 컴퓨터로 읽을 수 있는 저장 매체는 컴퓨터에 삽입 가능하거나, 컴퓨터 내에 집적되거나, 네트워크 및/또는 무선 링크와 같은 통신 매개체를 통해서 컴퓨터와 결합될 수 있다.

[0123] 테크놀로지 파일(1100)은 반도체 공정의 전기적 정보를 기술한 파일로서, 집적 회로의 배선 구조에 포함되는 금속층 및 비아에 대한 기생 저항 및 기생 커패시턴스와 같은 기생 성분들에 대한 파라미터 데이터를 포함할 수 있다. 일 실시예에서, 테크놀로지 파일(1100)은 비아에 연결되는 상부 도전 라인 및/또는 하부 도전 라인의 물리적 데이터에 따라 정의된, 비아에 대한 복수의 저항 값들을 포함하는 파라미터 데이터를 포함할 수 있다. 일 실시예에서, 테크놀로지 파일(1100)은 비아에 연결되는 상부 도전 라인 및/또는 하부 도전 라인의 물리적 데이터에 따라 정의된, 비아에 대한 복수의 커패시턴스 값들을 포함하는 파라미터 데이터를 포함할 수 있다.

[0124] 표준 셀 라이브러리(1200)는 집적 회로를 구성하는 단위인 표준 셀에 대한 정보를 포함할 수 있다. 일 실시예에서, 표준 셀에 대한 정보는 레이아웃 생성에 필요한 레이아웃 정보를 포함할 수 있다. 일 실시예에서, 표준 셀에 대한 정보는 레이아웃의 검증 또는 시뮬레이션에 필요한 타이밍 정보를 포함할 수 있다. 일 실시예에서, 테크놀로지 파일(1100)은 표준 셀 라이브러리(1200)의 일부로서 저장될 수 있다.

[0125] 레이아웃 데이터(1300)는 배치 및 배선 동작을 통해 생성된 레이아웃에 대한 물리적 정보를 포함할 수 있다. 일 실시예에서, 레이아웃 데이터(1300)는 레이아웃에서 비아에 연결되는 상부 도전 라인 및/또는 하부 도전 라인의 너비 값 및 스페이스 값을 포함할 수 있다. 기생 추출기(1400)는 레이아웃에서 기생 성분을 추출하기 위한 복수개의 명령어들을 포함할 수 있다.

[0126] 일부 실시예들에서, 저장 매체(1000)는 배치 및 배선 프로그램을 더 저장할 수 있고, 배치 및 배선 프로그램은 본 발명의 예시적 실시예에 따른 표준 셀 라이브러리를 사용하여 집적 회로의 레이아웃을 생성하는 방법을 수행하기 위하여 복수개의 명령어들을 포함할 수 있다. 일부 실시예들에서, 저장 매체(1000)는 분석 프로그램을 더 저장할 수 있고, 분석 프로그램은 집적 회로를 정의하는 입력 데이터에 기초하여 집적 회로를 분석하는 방법을 수행하는 복수개의 명령어들을 포함할 수 있다. 일부 실시예들에서, 저장 매체(1000)는 데이터 구조를 더 저장할 수 있고, 데이터 구조는 표준 셀 라이브러리(1200)에 포함된 표준 셀 라이브러리를 사용하거나, 표준 셀 라이브러리(1200)에 포함된 표준 셀 라이브러리로부터 특정 정보를 추출하거나, 또는 분석 프로그램에 의해서 집적 회로의 특성을 분석하는 과정에서 생성된 데이터를 관리하기 위한 저장 공간 등을 포함할 수 있다.

[0127] 도 20은 본 개시의 일 실시예에 따른 컴퓨팅 시스템(2000)을 나타내는 블록도이다.

[0128] 도 20을 참조하면, 컴퓨팅 시스템(2000)은 프로세서(2100), 메모리 장치(2200), 스토리지 장치(2300), 파워 서플라이(2400) 및 입출력 장치(2500)를 포함할 수 있다. 한편, 도 20에는 도시되지 않았지만, 컴퓨팅 시스템(2000)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 포트(port)들을 더 포함할 수 있다.

[0129] 이와 같이, 컴퓨팅 시스템(2000)에 포함된 프로세서(2100), 메모리 장치(2200), 스토리지 장치(2300), 파워 서플라이(2400) 및 입출력 장치(2500)는, 본 개시의 기술적 사상에 의한 실시예들에 따른 집적 회로의 설계 방법에 의해 생성된 집적 회로를 포함할 수 있다. 일 실시예에서, 프로세서(2100), 메모리 장치(2200), 스토리지 장치(2300), 파워 서플라이(2400) 및 입출력 장치(2500)에 포함된 복수의 반도체 소자들 중 적어도 하나의 반도체 소자는, 본 개시의 실시예들에 따른 집적 회로의 설계 방법에 따라 형성될 수 있다.

[0130] 프로세서(2100)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 구체적으로, 프로세서(2100)는 본 개시의 예시적인 실시예들에 따른 방법들 중 적어도 하나를 수행하는 명령어들을 실행하도록 구성될 수 있다. 일 실시예에서, 프로세서(2100)는 집적 회로의 레이아웃을 생성하는 동작을 수행하기 위한 복수의 명령어들을 수행할 수 있다. 일 실시예에서, 프로세서(2100)는 레이아웃에 대한 물리적 데이터를 기초로, 복수의 특성값들을 저장하는 테크놀로지 파일로부터 기생 성분을 추출하는 동작을 수행하기 위한 복수의 명령어들을 수행할 수 있다. 일 실시예에서, 프로세서(2100)는 기생 성분을 기초로 시뮬레이션 동작을 수행하기 위한 복수의 명령어들을 수행할 수 있다. 예를 들어, 도 1의 단계들(S110 내지 S130), 도 5의 단계들(S210 내지 S230), 도 6의 단계들

(S310 내지 S340), 도 7의 단계들(S410 내지 S440), 도 8의 단계들(S510 내지 S530)은 프로세서(2100)에 의하여 수행될 수 있다.

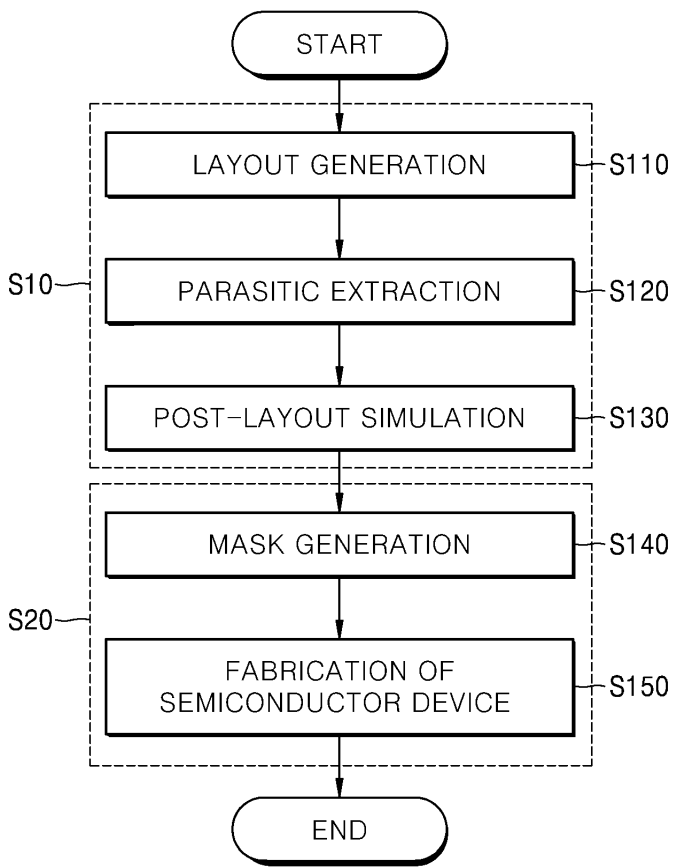
- [0131] 실시예에 따라, 프로세서(2100)는 마이크로프로세서(micro-processor), 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다. 프로세서(2100)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등과 같은 버스(2600)를 통하여 메모리 장치(2200), 스토리지 장치(2300) 및 입출력 장치(2500)와 통신을 수행할 수 있다. 실시예에 따라, 프로세서(2100)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0132] 메모리 장치(2200)는 컴퓨팅 시스템(2000)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(2200)는 디램(DRAM), 모바일 디램, 에스램(SRAM), 피램(PRAM), 에프램(FRAM), 알램(RRAM) 및/또는 엠램(MRAM)으로 구현될 수 있다. 스토리지 장치(2300)는 솔리드 스테이트 드라이브(solid state drive), 하드 디스크 드라이브(hard disk drive), 씨디롬(CD-ROM) 등을 포함할 수 있다.
- [0133] 본 실시예에서, 메모리 장치(2200)는 배치 및 배선 프로그램, 표준 셀 라이브러리, 분석 프로그램, 데이터 구조, 기생 추출 프로그램, 시뮬레이션 프로그램 또는 설계 규칙 등을 저장할 수 있다. 프로세서(2100)는 메모리 장치(2200)에 저장된 배치 및 배선 프로그램, 표준 셀 라이브러리, 분석 프로그램, 데이터 구조, 기생 추출 프로그램, 시뮬레이션 프로그램 또는 설계 규칙 등을 이용하여, 본 실시예에 따른 집적 회로의 설계 방법을 수행하기 위한 명령어들을 실행할 수 있다. 따라서, 컴퓨터 시스템(2000)은 프로세서(2100)에 의해 자동으로 집적 회로를 설계, 즉, 집적 회로의 레이아웃을 설계할 수 있다.
- [0134] 입출력 장치(2500)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터, 디스플레이 등과 같은 출력 수단을 포함할 수 있다. 전원 장치(2400)는 컴퓨팅 시스템(2000)의 동작에 필요한 동작 전압을 공급할 수 있다.
- [0135] 상술한 본 발명의 실시예들에 따른 집적 회로 및 집적 회로에 따른 반도체 장치는 다양한 형태들의 패키지로 구현될 수 있다. 예를 들어, 집적 회로의 적어도 일부의 구성들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0136] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

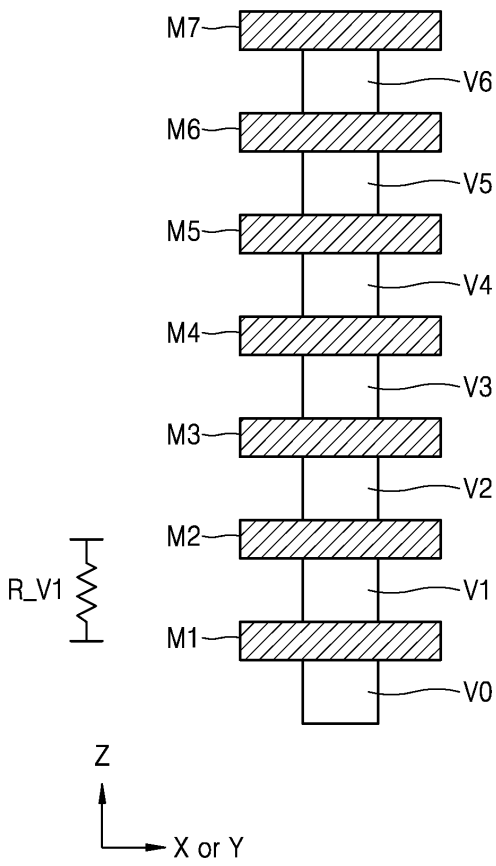
- [0137] 100: 집적 회로, 100a, 100a', 100a", 100b, 100b', 100b": 레이아웃
- 200: DUT, 300: 표준 셀

도면

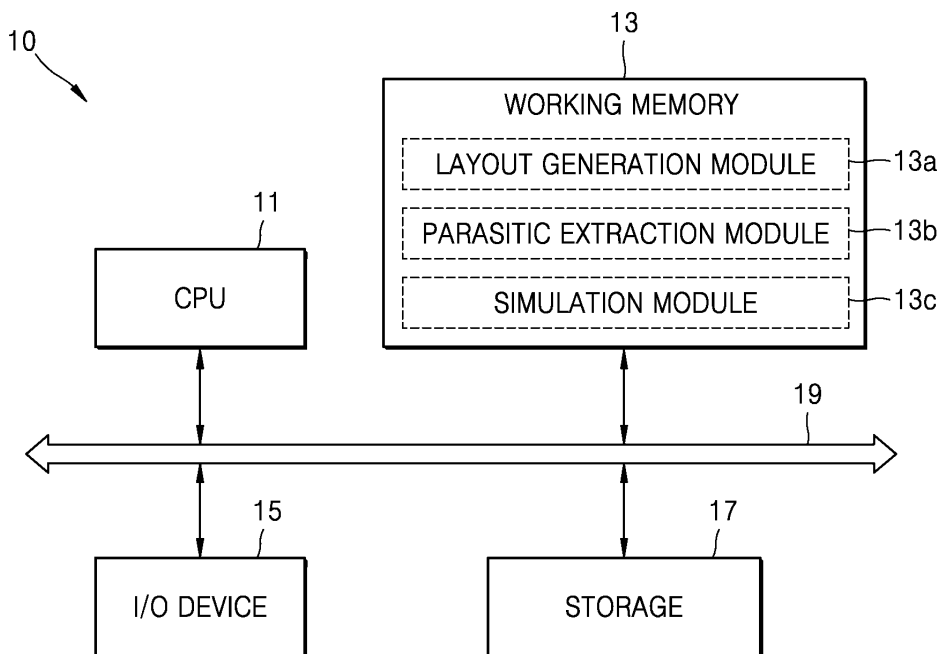
도면1



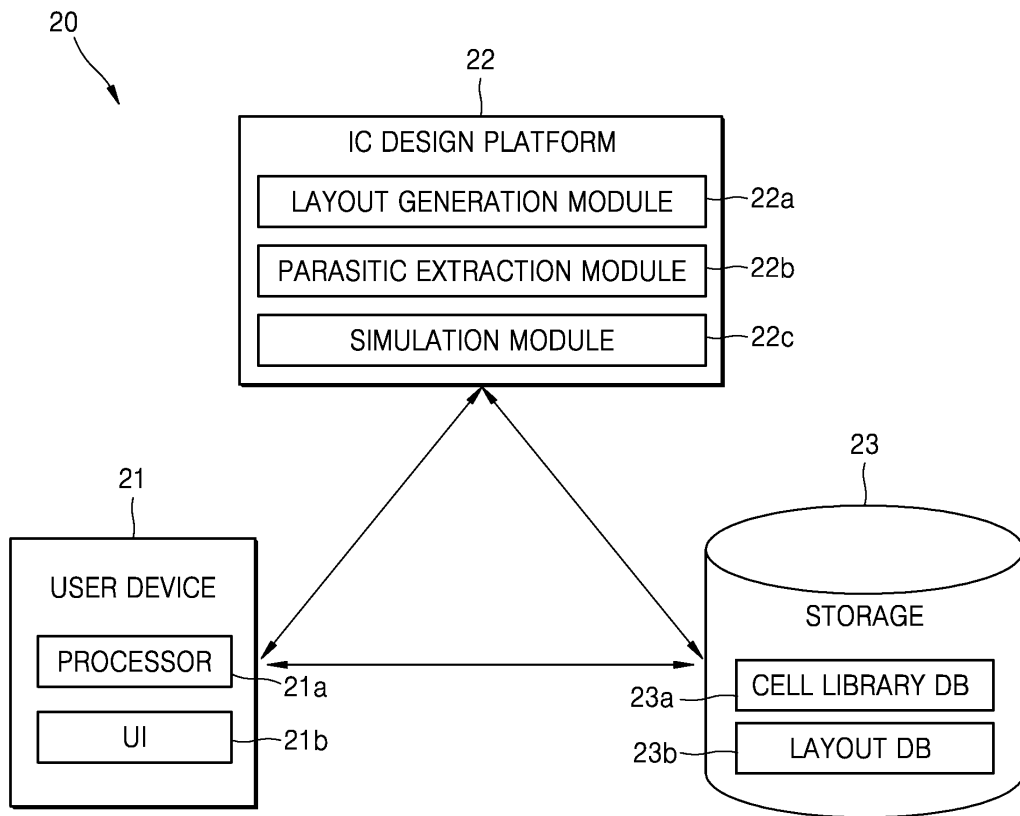
도면2



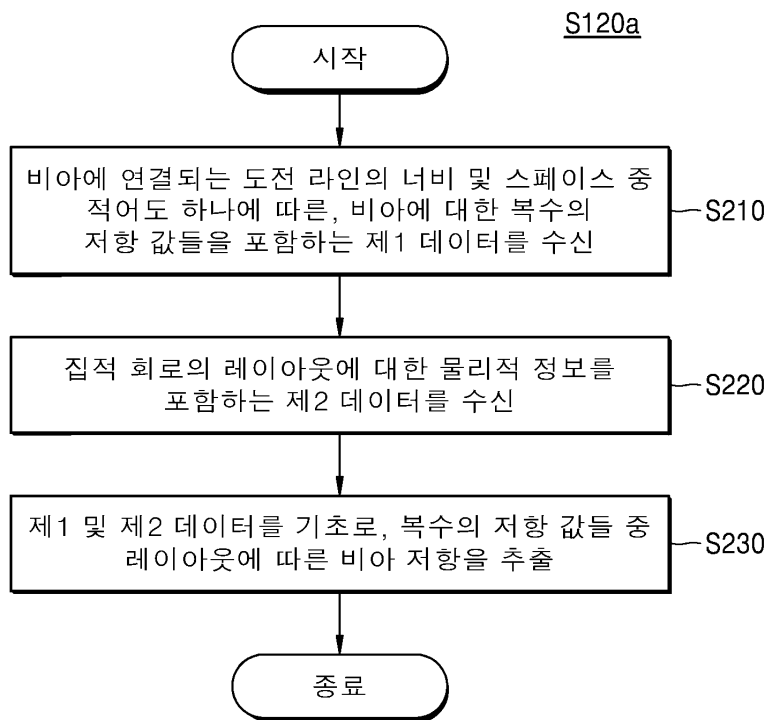
도면3



도면4

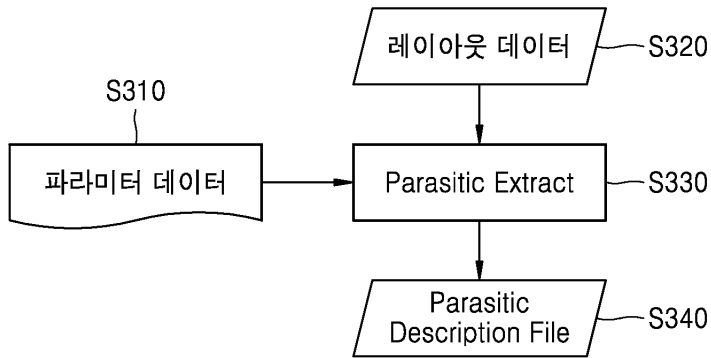


도면5



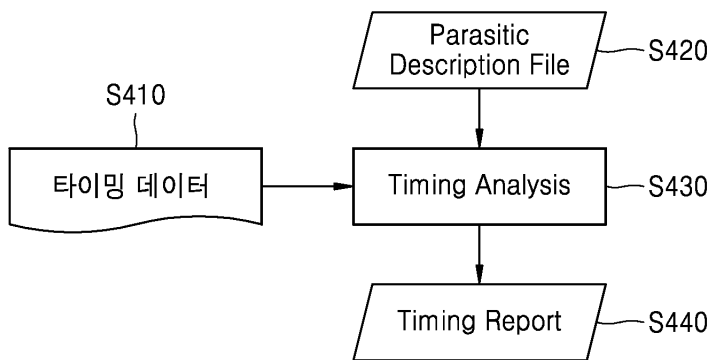
도면6

S120b

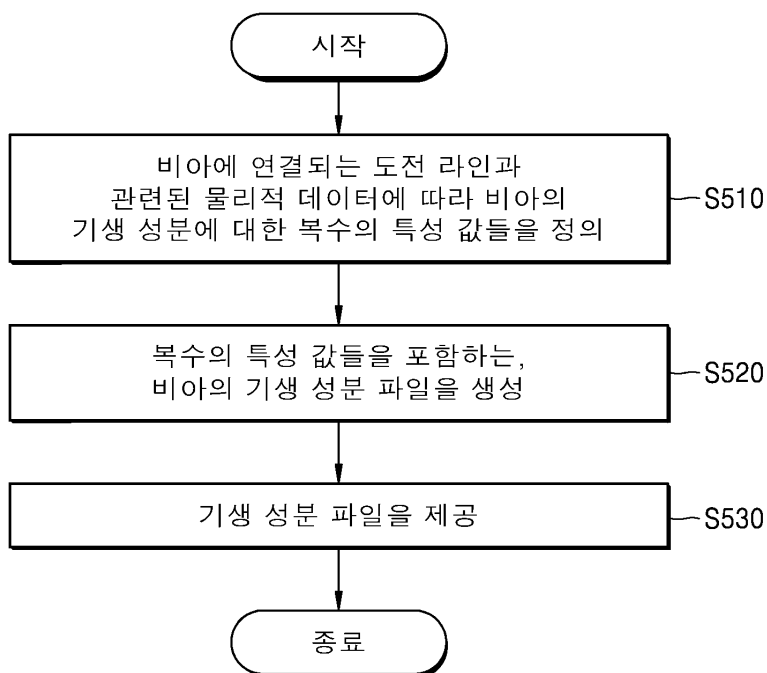


도면7

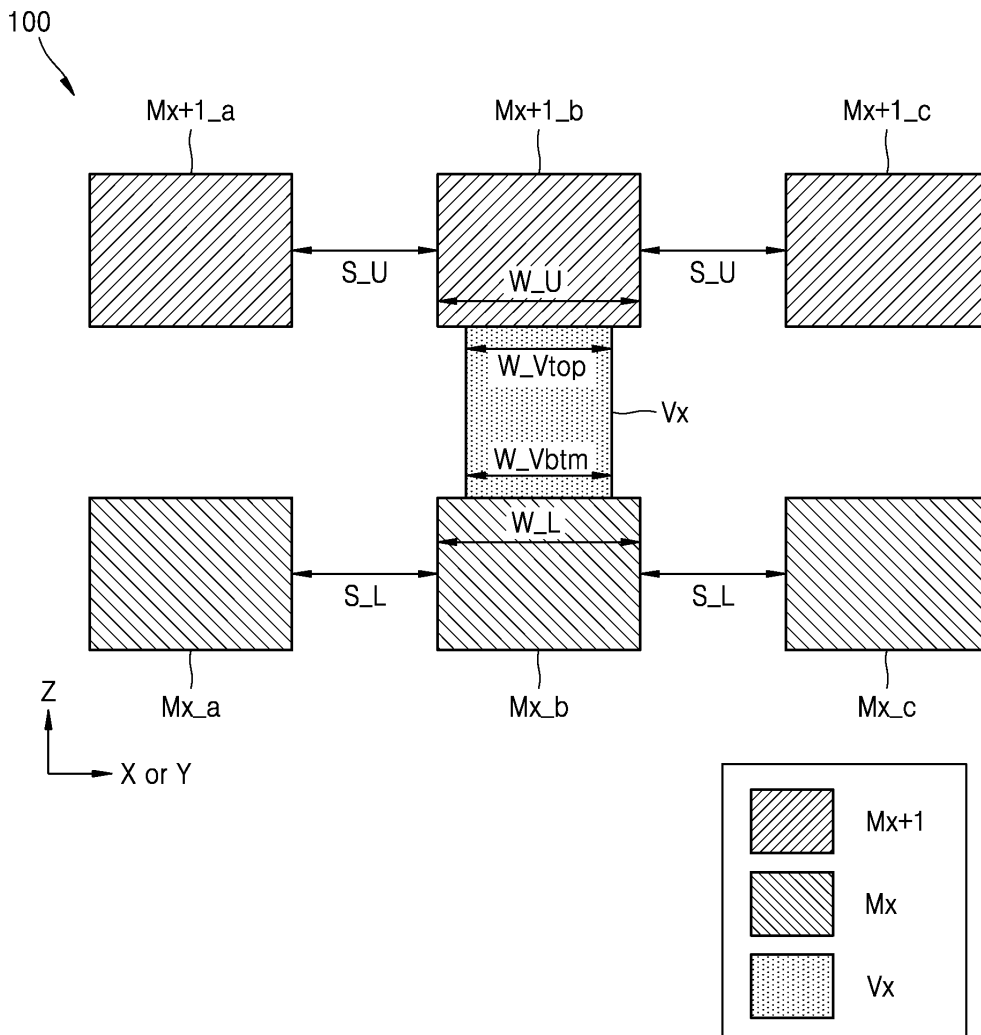
S130a



도면8



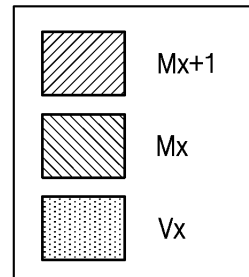
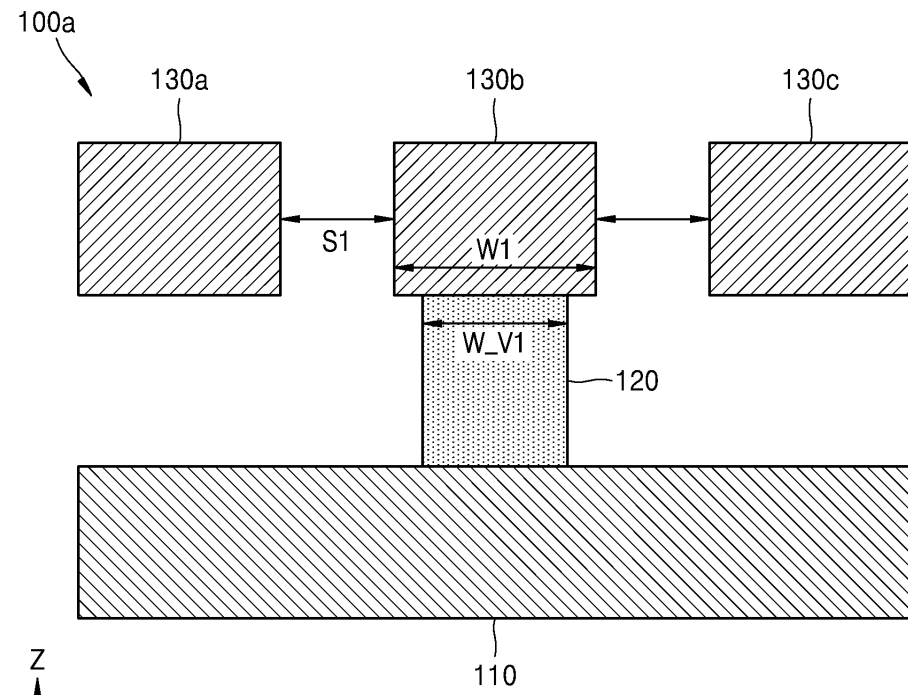
도면9



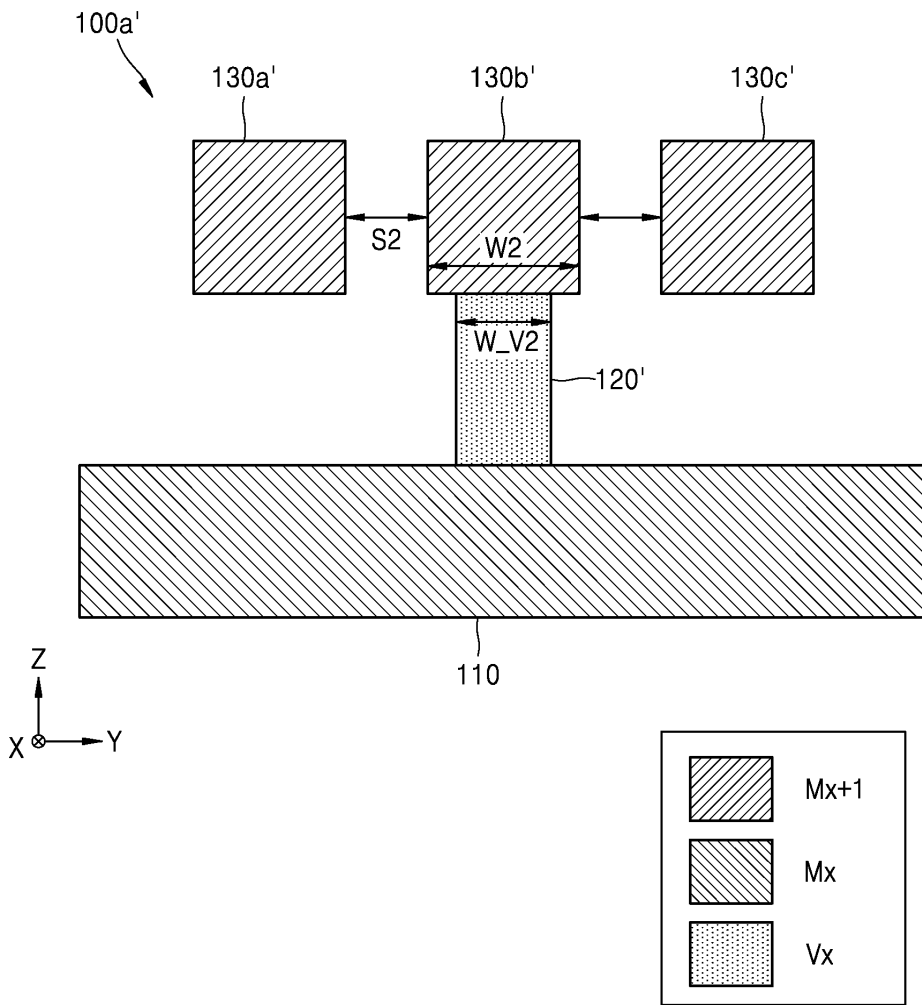
도면10

	S_U	S_L	W_U	W_L	W_Vtop	W_Vbtm	R_V
CASE1	narrow	narrow	min	min	min	min	R_norm
	norm	narrow	norm	min	norm	min	R_low
	wide	narrow	max	min	max	min	R_lower
CASE2	narrow	norm	min	norm	min	norm	R_low
	norm	norm	norm	norm	norm	norm	R_low
	wide	norm	max	norm	max	norm	R_lower
CASE3	narrow	wide	min	max	min	max	R_lower
	norm	wide	norm	max	norm	max	R_lower
	wide	wide	max	max	max	max	R_min

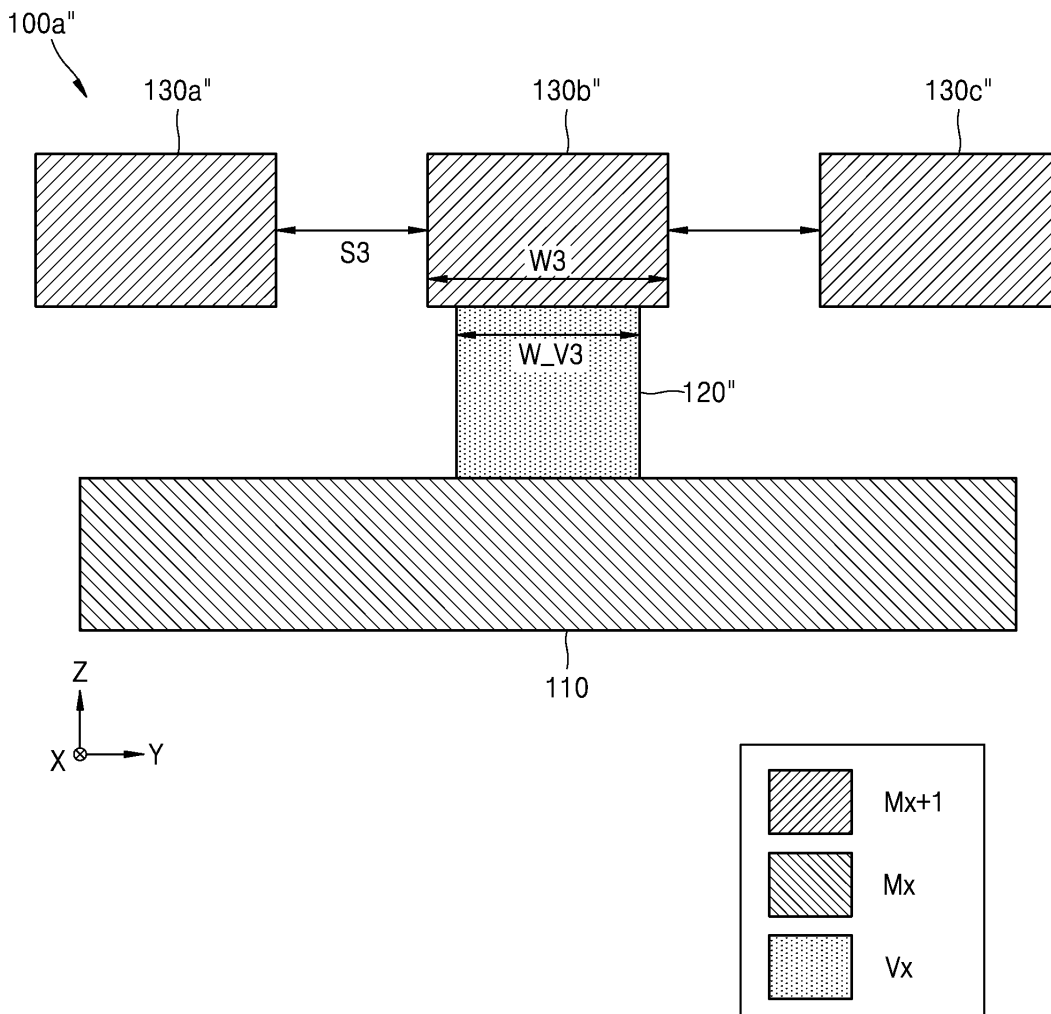
도면11a



도면11b



도면11c

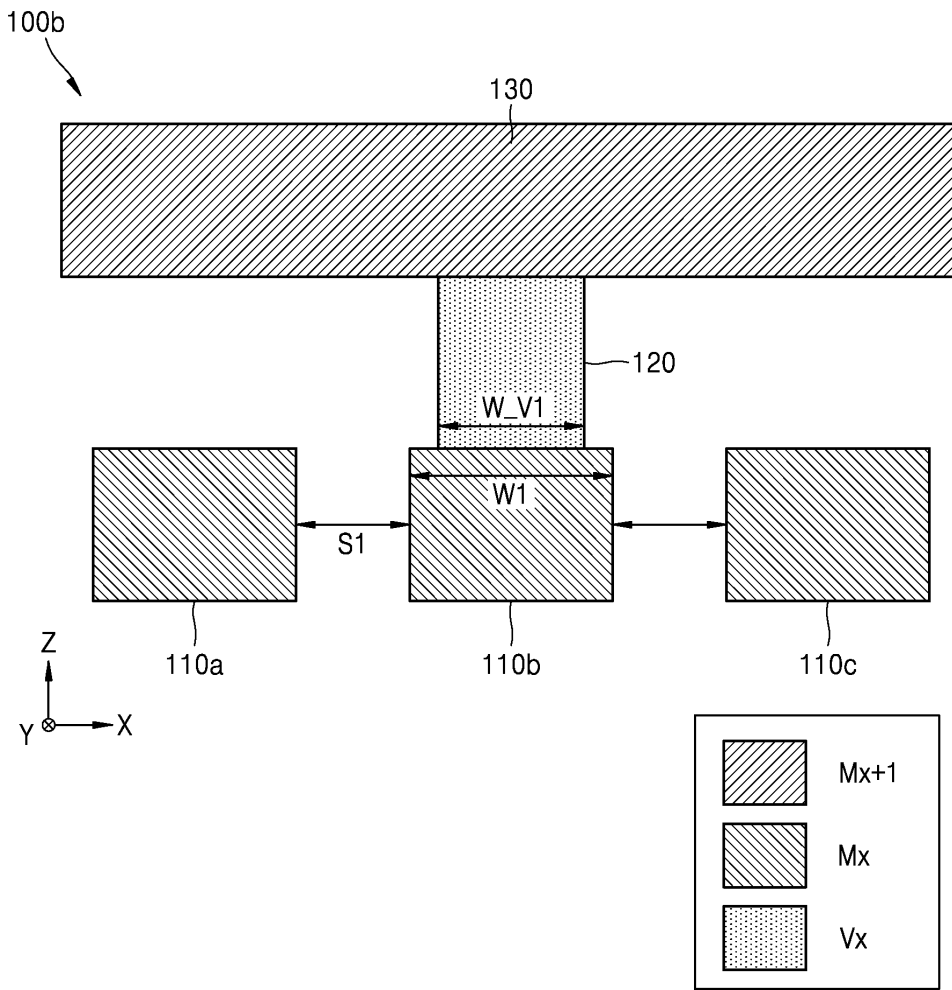


도면12

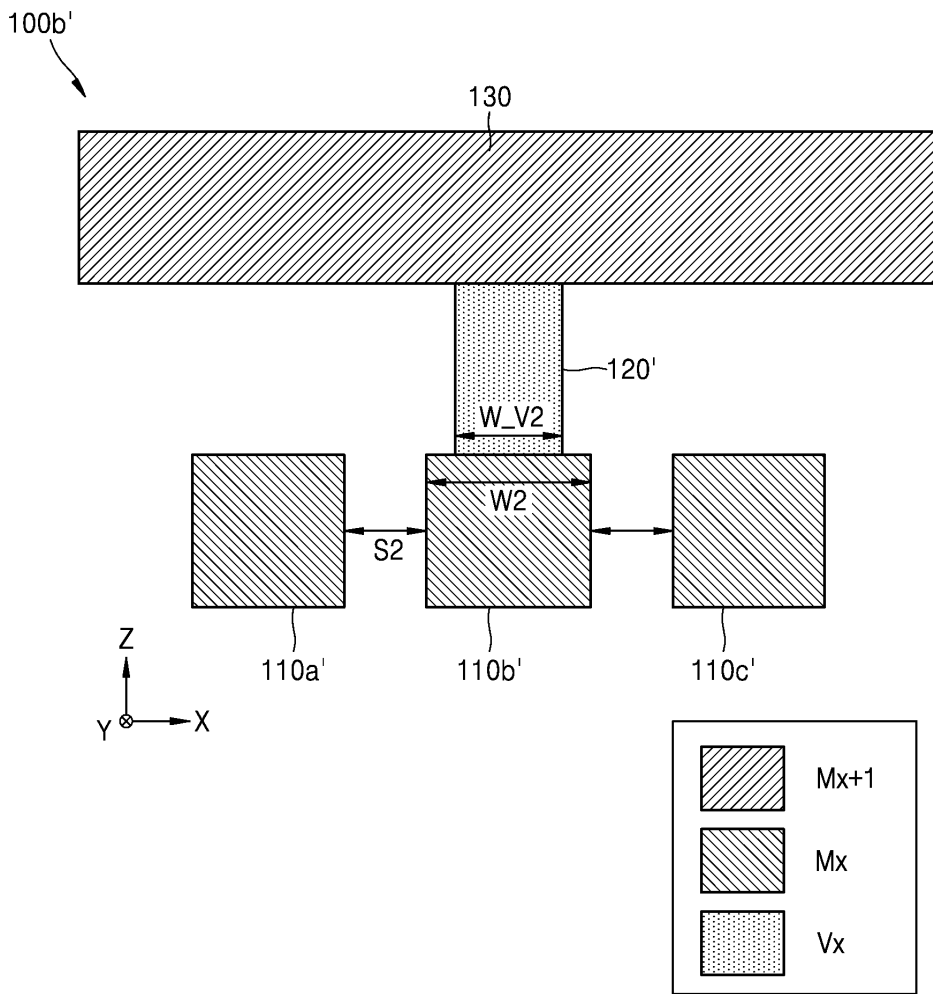
TF1

$W_U \backslash S_U$	S1	S2	S3	...	S_n
W1	R_V11	R_V12	R_V13	...	R_V1n
W2	R_V21	R_V22	R_V23	...	R_V2n
W3	R_V31	R_V32	R_V33	...	R_V3n
...
W_m	R_Vm1	R_Vm2	R_Vm3	...	R_Vmn

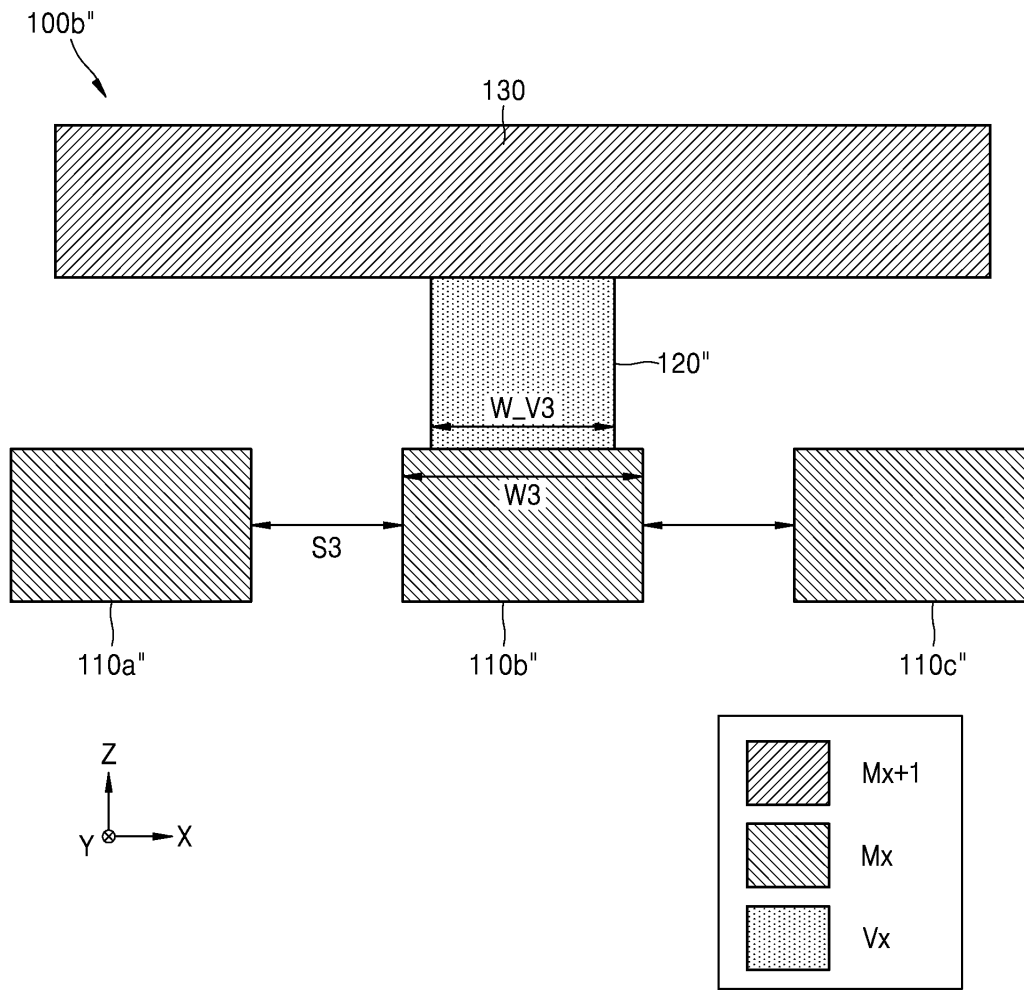
도면13a



도면13b



도면13c



도면14

TF2

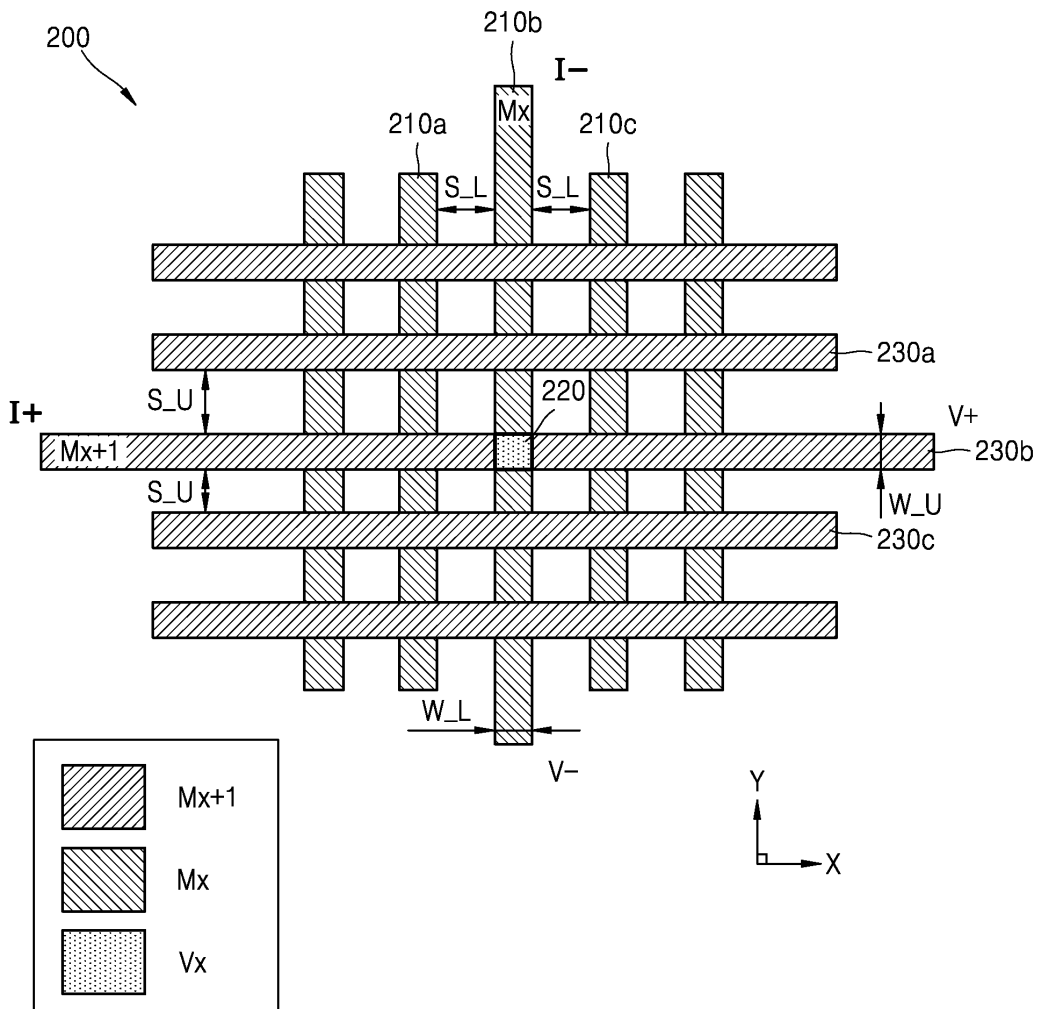
W_L \ S_L	S1	S2	S3	...	Sn
W1	R_V11	R_V12	R_V13	...	R_V1n
W2	R_V21	R_V22	R_V23	...	R_V2n
W3	R_V31	R_V32	R_V33	...	R_V3n
...
Wm	R_Vm1	R_Vm2	R_Vm3	...	R_Vmn

도면15

TF3

UPPER \ LOWER	W1S1	W1S2	W2S1	W2S2	...	WmSn
W1S1	R_V11	R_V12	R_V13	R_V14	...	R_V1n
W1S2	R_V21	R_V22	R_V23	R_V24	...	R_V2n
W2S1	R_V31	R_V32	R_V33	R_V34	...	R_V3n
W2S2	R_V41	R_V42	R_V43	R_V44	...	R_V4n
...
WmSn	R_Vm1	R_Vm2	R_Vm3	R_Vm4	...	R_Vmn

도면16



도면17a

DOE1

Cell Name	Upper Layer	W_U	S_U	Lower Layer	W_L	S_L
DUT_ref	Mx+1	min. DR	min. DR	Mx	min. DR	min. DR
DUT_1a	Mx+1	min. DR+CV_1	min. DR	Mx	min. DR	min. DR
DUT_2a	Mx+1	min. DR+CV_2	min. DR	Mx	min. DR	min. DR
...
DUT_na	Mx+1	min. DR+CV_n	min. DR	Mx	min. DR	min. DR

도면17b

DOE2

Cell Name	Upper Layer	W_U	S_U	Lower Layer	W_L	S_L
DUT_ref	Mx+1	min. DR	min. DR	Mx	min. DR	min. DR
DUT_1b	Mx+1	min. DR	min. DR	Mx	min. DR+CV_1	min. DR
DUT_2b	Mx+1	min. DR	min. DR	Mx	min. DR+CV_2	min. DR
...
DUT_nb	Mx+1	min. DR	min. DR	Mx	min. DR+CV_n	min. DR

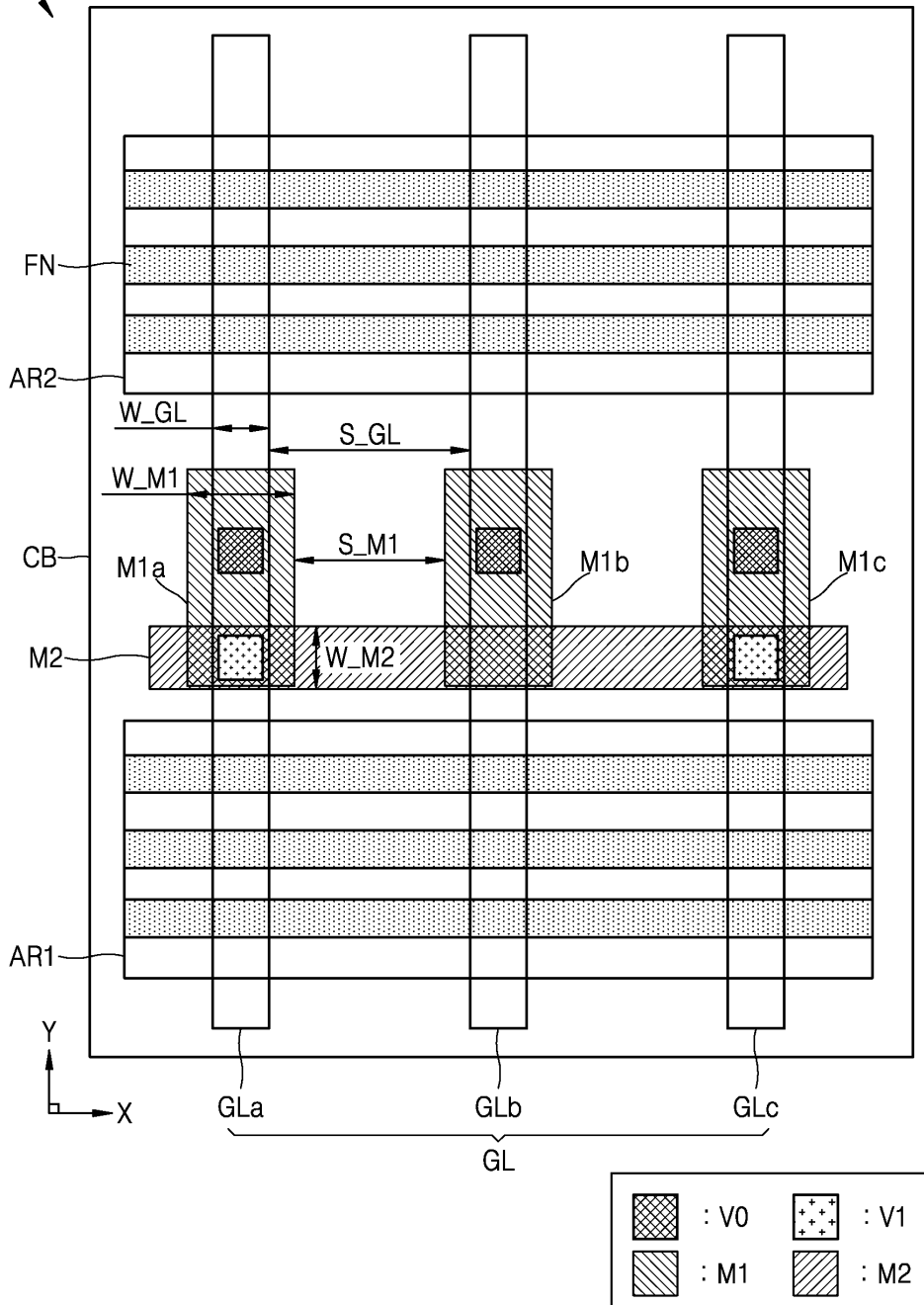
도면17c

DOE3

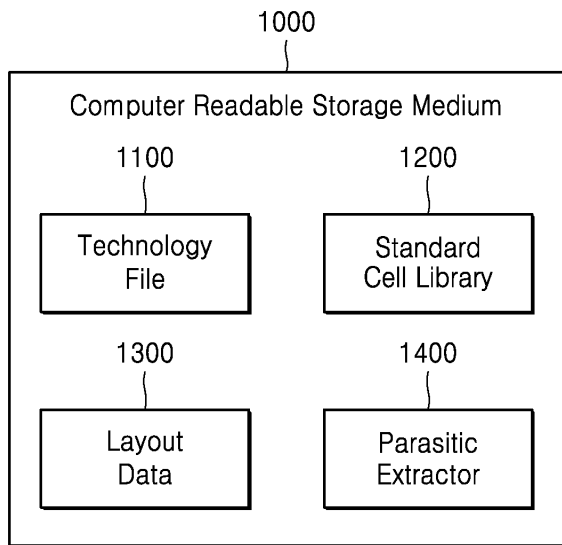
Cell Name	Upper Layer	W_U	S_U	Lower Layer	W_L	S_L
DUT_ref	Mx+1	min. DR	min. DR	Mx	min. DR	min. DR
DUT_1c	Mx+1	min. DR+CV_1	min. DR	Mx	min. DR+CV_1	min. DR
DUT_2c	Mx+1	min. DR+CV_2	min. DR	Mx	min. DR+CV_2	min. DR
...
DUT_nc	Mx+1	min. DR+CV_n	min. DR	Mx	min. DR+CV_n	min. DR

도면18

300



도면19



도면20

