



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I498996 B

(45)公告日：中華民國 104 (2015) 年 09 月 01 日

(21)申請案號：099115261

(22)申請日：中華民國 99 (2010) 年 05 月 13 日

(51)Int. Cl. : H01L21/70 (2006.01)

H01L27/04 (2006.01)

(30)優先權：2009/06/26 美國

12/493,049

(71)申請人：史達晶片有限公司(新加坡) STATS CHIPPAC, LTD. (SG)
新加坡(72)發明人：帕瑪納森 密納克希 PADMANATHAN, MEENAKSHI (IN)；尹勝煜 YOON,
SEUNG UK (KR)；李鎔澤 LEE, YONG TAEK (KR)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 5384274

US 2003/0011041A1

審查人員：余威歡

申請專利範圍項數：15 項 圖式數：4 共 29 頁

(54)名稱

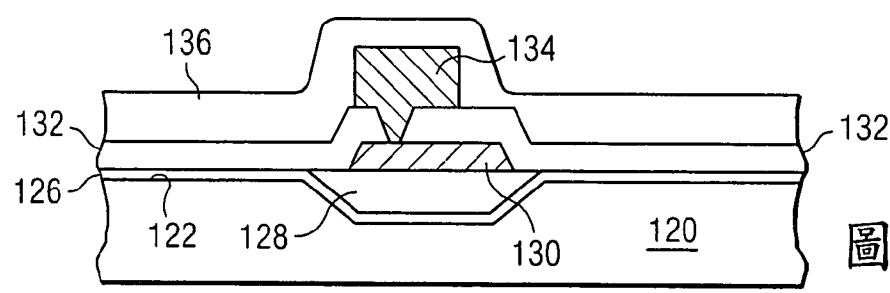
半導體元件和在基板中絕緣材料填充溝渠上形成電感之方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING INDUCTOR OVER INSULATING
MATERIAL FILLED TRENCH IN SUBSTRATE

(57)摘要

一半導體元件具有形成於一基板之中的一溝渠。該溝渠具有呈錐形(tapered)之側壁以及 10 至 120 微米之深度。一第一絕緣層以保形方式(conformally)被塗佈於該基板上和該溝渠中。一絕緣材料，諸如聚合物，沉積於該溝渠中之該第一絕緣層之上。一第一導電層形成於該絕緣材料之上。一第二絕緣層形成於該第一絕緣層及該第一導電層之上。一第二導電層形成於該第二絕緣層上且電性接觸該第一導電層。該第一及第二導電層藉由溝渠中之絕緣材料自該基板隔離。一第三絕緣層形成於該第二絕緣層及該第二導電層之上。該第一及第二導電層在該基板上被捲成線圈以展現出電感性質。

A semiconductor device has a trench formed in a substrate. The trench has tapered sidewalls and depth of 10-120 micrometers. A first insulating layer is conformally applied over the substrate and into the trench. An insulating material, such as polymer, is deposited over the first insulating layer in the trench. A first conductive layer is formed over the insulating material. A second insulating layer is formed over the first insulating layer and first conductive layer. A second conductive layer is formed over the second insulating layer and electrically contacts the first conductive layer. The first and second conductive layers are isolated from the substrate by the insulating material in the trench. A third insulating layer is formed over the second insulating layer and second conductive layer. The first and second conductive layers are coiled over the substrate to exhibit inductive properties.



- 120 . . . 基板
- 122 . . . 作用表面
- 124 . . . 溝渠
- 126 . . . 絕緣層
- 128 . . . 絕緣材料
- 130 . . . 導電層
- 132 . . . 絕緣層
- 134 . . . 導電層
- 136 . . . 絕緣層

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99115261

※申請日：99.5.13

※IPC分類：

H01L 21/10 H2006.01

H01L 21/10 H2006.01

一、發明名稱：(中文/英文)

半導體元件和在基板中絕緣材料填充溝渠上形成電感之方法

SEMICONDUCTOR DEVICE AND METHOD OF
FORMING INDUCTOR OVER INSULATING
MATERIAL FILLED TRENCH IN SUBSTRATE

二、中文發明摘要：

一半導體元件具有形成於一基板之中的一溝渠。該溝渠具有呈錐形(tapered)之側壁以及10至120微米之深度。一第一絕緣層以保形方式(conformally)被塗佈於該基板上和該溝渠中。一絕緣材料，諸如聚合物，沉積於該溝渠中之該第一絕緣層之上。一第一導電層形成於該絕緣材料之上。一第二絕緣層形成於該第一絕緣層及該第一導電層之上。一第二導電層形成於該第二絕緣層上且電性接觸該第一導電層。該第一及第二導電層藉由溝渠中之絕緣材料自該基板隔離。一第三絕緣層形成於該第二絕緣層及該第二導電層之上。該第一及第二導電層在該基板上被捲成線圈以展現出電感性質。

三、英文發明摘要：

A semiconductor device has a trench formed in a substrate. The trench has tapered sidewalls and depth of 10-120 micrometers. A first insulating layer is conformally applied over the substrate and into the trench. An insulating material, such as polymer, is deposited over the first insulating layer in the trench. A first conductive layer is formed over the insulating material. A second insulating layer is formed over the first insulating layer and first conductive layer. A second conductive layer is formed over the second insulating layer and electrically contacts the first conductive layer. The first and second conductive layers are isolated from the substrate by the insulating material in the trench. A third insulating layer is formed over the second insulating layer and second conductive layer. The first and second conductive layers are coiled over the substrate to exhibit inductive properties.

四、指定代表圖：

(一)本案指定代表圖為：第 (3g) 圖。

(二)本代表圖之元件符號簡單說明：

120	基板
122	作用表面
124	溝渠
126	絕緣層
128	絕緣材料
130	導電層
132	絕緣層
134	導電層
136	絕緣層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明基本上有關於半導體元件，特別是關於在基板中絕緣材料填充溝渠上形成電感之半導體元件及方法。

【先前技術】

半導體元件普遍見於近代電子產品之中。不同半導體元件內含電氣組件的數目和密度各有所差異。獨件式半導體元件通常包含一種電氣組件，例如，發光二極體(light emitting diode；LED)、小信號電晶體、電阻器、電容器、電感器以及功率型金屬氧化物半導體場效電晶體(metal oxide semiconductor field effect transistor；MOSFET)。整合式半導體元件則基本上內含數百到數百萬個電氣組件。整合式半導體元件的實例包含微控制器(microcontroller)、微處理器(microprocessor)、電荷耦合元件(charged-coupled device；CCD)、太陽能電池(solar cell)以及數位微鏡元件(digital micro-mirror device；DMD)。

半導體元件執行種類繁多的功能，諸如高速計算、傳送及接收電磁信號、控制電子裝置、將太陽光轉換成電力以及產生電視顯示器之視覺投映。半導體元件應用於娛樂、通信、功率轉換、網路、電腦以及消費性產品等領域。半導體元件亦可見於軍事應用、航空、汽車、工業控制器、以及辦公室設備。

半導體元件利用半導體材料之電氣特性。半導體材料

之原子結構使得其導電性可以應用電場或經由摻雜(doping)程序加以控制。摻雜係將雜質摻入半導體材料以操縱及控制半導體元件之導電性。

半導體元件包含主動式(active)及被動式(passive)電氣結構。主動式結構，包含雙載子及場效式電晶體，控制電流的流動。藉由改變摻雜的程度和施加電場或基極電流，對電晶體中的電流流動加以提升或抑制。被動式結構，包含電阻器、電容器、和電感器，建立特定之電壓和電流間的關係以實現各種電氣功能。被動式和主動式結構彼此電性連接以構成電路，其致使半導體元件可以執行高速計算以及其他有有用的功能。

半導體元件的生產一般而言係利用二個複雜的製程，意即，前端製造和後端製造，其各自均可能包含數百個步驟。前端製造包含在一半導體晶圓的表面上形成複數個晶粒。每一晶粒基本上彼此相同且包含藉由電性連接主動式和被動式組件所構成的電路。後端製造包含自完成的晶圓單片化個別晶粒並封裝晶粒以提供結構上的支承及環境隔絕。

半導體製造的目標之一係生產較小型的半導體元件。較小型的元件通常耗用較少之電力、具有較高之效能且可以更有效率地生產。此外，較小型的半導體元件具有較小的覆佔面積，為小型產品所必須。較小型的晶粒尺寸可以藉由改善前端製程達成，其產生具有較小型而較高密度主動式和被動式組件之晶粒。後端製程藉由電氣互連及封裝

材料上的改善可以產生具有較小覆佔面積的半導體元件封裝。

半導體製造的另一目標係生產較高效能之半導體元件。元件效能之增進可以藉由形成能夠運作於較高速度之主動式組件而達成。在其他高頻應用中，諸如射頻(radio frequency；RF)無線通信，整合式被動元件(integrated passive device；IPD)常包含於半導體元件之內。IPD之實例包含電阻(resistor)、電容(capacitor)以及電感(inductor)。典型的RF系統在一或多個半導體封裝中需要多個IPD以執行所需之電氣功能。

電感通常以線圈導電層之形式形成於一基板之表面上。電感必須具有一高Q因子以達成最理想的RF效能。然而，該Q因子可以由於電感與基板間的電感耦合漏失而降低。為了維持一高Q值之電感，其通常使用範圍在1000-3000歐姆-釐米(ohm-cm)之高電阻率(resistivity)基板。很遺憾地，高電阻率基板對製程添加過高之成本。

【發明內容】

其有需要在一低成本基板上提供一高Q值電感。有鑑於此，在一實施例中，本發明係一種製造半導體元件的方法，其步驟包含提供一基板、形成一溝渠於該基板中、以保形方式(conformally；保持原有之高低起伏等形勢之意)塗佈一第一絕緣層於該基板上和該溝渠中、沉積(depositing)一絕緣材料於該溝渠中之該第一絕緣層之上、形成一第一

導電層於該絕緣材料之上、形成一第二絕緣層於該第一絕緣層及該第一導電層之上、移除一部分之該第二絕緣層以暴露出該第一導電層以及形成一第二導電層於該第二絕緣層上且電性接觸該第一導電層。溝渠中之絕緣材料將該第一及第二導電層自基板隔離。本方法更進一步包含形成一第三絕緣層於該第二絕緣層及該第二導電層上之步驟。

在另一實施例中，本發明係一種製造半導體元件的方法，其步驟包含提供一基板、形成一溝渠於該基板中、形成一第一絕緣層至該溝渠中、沉積一絕緣材料於該第一絕緣層之上、形成一第一導電層於該絕緣材料之上、形成一第二絕緣層於該第一絕緣層及第一導電層之上、形成一第二導電層於該第二絕緣層上且電性接觸該第一導電層以及形成一第三絕緣層於該第二絕緣層及該第二導電層之上。

在另一實施例中，本發明係一種製造半導體元件的方法，其步驟包含提供一基板、形成一溝渠於該基板中、沉積一絕緣材料於該溝渠中、形成一第一導電層於該絕緣材料之上以及形成一第一絕緣層於該基板、該絕緣材料及該第一導電層之上。

在另一實施例中，本發明係一種半導體元件，包含一基板，具有一溝渠形成於該基板之一表面之中。一絕緣材料沉積於該溝渠中。一第一導電層形成於該絕緣材料之上。一第一絕緣層形成於該基板及該第一導電層之上。一第二導電層形成於該第一絕緣層上且電性接觸該第一導電層。該第一及第二導電層藉由溝渠中之絕緣材料自該基板

隔離。一第二絕緣層形成於該第一絕緣層及該第二導電層之上。

【實施方式】

以下透過配合圖式之實施例說明本發明之細節，圖式中相同之標號代表相同或類似之構件。雖然本發明之說明係呈現達成其目標之最佳模式，但習於斯藝之人士應能了解，其涵蓋後附申請專利範圍所界定之本發明之精神和範疇所包含之替代、修改及等效結構或方法，以及以下揭示和圖式所支持之等效結構或方法。

半導體元件的生產一般而言係利用二個複雜的製程：前端製造和後端製造。前端製造包含在一半導體晶圓的表面上形成複數個晶粒。晶圓上的每一晶粒包含主動式及被動式電氣組件，其彼此電性連接以形成功能性之電路。諸如電晶體和二極體之主動式電氣組件具有控制電流流動之能力。諸如電容器、電感器、電阻器和變壓器之被動式電氣組件建立實現各種電路功能所需之特定電壓和電流間的關係。

被動式和主動式組件係藉由一連串包含摻雜、沉積、光學微影術 (photolithography)、蝕刻 (etching) 及平面化 (planarization) 之製程步驟，形成於半導體晶圓之表面上。摻雜程序藉由諸如離子植入 (ion implantation) 或熱擴散 (thermal diffusion) 等技術將雜質摻入半導體材料之中。摻雜處理修改主動元件中半導體材料之導電性、將半導體材

料轉換成絕緣體、導體或者因應電場或基極電流動態地改變半導體材料導電性。電晶體包含依據所需配置之不同型態和摻雜程度之區域，使電晶體依據施加之電場或基極電流而能夠對電流之流動加以提升或抑制。

主動式和被動式組件係藉由具有不同電氣特性之材料疊層所形成。此等疊層之形成可以藉由各種沉積技術，該等技術在某種程度上係決定於被沉積之材料種類。例如，薄膜沉積可以包含化學氣相沉積 (chemical vapor deposition ; CVD)、物理氣相沉積 (physical vapor deposition ; PVD)、電解電鍍 (electrolytic plating)、以及無電電鍍 (electroless plating) 製程。每一疊層通常被圖案化 (patterned) 以形成主動式組件、被動式組件或介於組件間的電性連接部分。

疊層可以利用光學微影技術加以圖案化，該技術包含例如光阻劑之感光物質沉積於待圖案化的疊層之上。圖案利用光被自一光罩 (photomask) 轉移至光阻劑。其使用溶劑移除耐光之光阻劑圖案部分，以露出下層待圖案化的部分。剩餘之光阻劑移除之後，餘留一圖案化之疊層。或者，某些材料之圖案化係藉由直接沉積材料至利用諸如無電及電解電鍍等技術由一先前之沉積/蝕刻製程形成之區域或空間上。

沉積一薄膜材料於一現有之圖案上可以擴大其下之圖案並產生一不均勻之平坦表面。其需要一均勻之平坦表面以產生較小且結構密集之主動式和被動式組件。其可以使

用平面化製程以自晶圓表面移除材料並產生一均勻之平坦表面。平面化包含以一研磨墊磨平晶圓之表面。磨蝕材料和腐蝕性化學藥品在磨平期間被加入晶圓之表面。磨蝕材料之機械作用結合化學藥品之腐蝕作用移除任何不規則之表面凹凸，進而產生一均勻之平坦表面。

後端製造包含將完成的晶圓切割或單片化成個別之晶粒，接著並封裝晶粒以提供結構上的支承及環境隔絕。就單片化晶粒而言，晶圓被標劃刻線且沿著晶圓上被稱為鋸道或鋸線之非功能性區域切斷。晶圓之單片化係利用一雷射切割工具或鋸片。單片化之後，個別晶粒被固定至一封裝基板，該基板包含用以與其他系統組件互連之接腳(pin)或接墊(contact pad)。形成於半導體晶粒上的接墊接著被連接至封裝內部之接墊。此電性連接可以藉由焊錫凸塊(solder bump)、凸柱凸塊(stud bump)、導電膠(conductive paste)或打線接合(wirebond)而達成。一封裝劑或其他模封材料沉積於封裝上以提供實體之支持和電性之絕緣。完成之封裝插入電氣系統中，使得該半導體元件之功能可以為其他系統組件所用。

圖 1 例示電子裝置 50，具有一晶片載體基板或印刷電路板(printed circuit board; PCB) 52，複數個半導體封裝固定於其表面之上。電子裝置 50 可以具有一種半導體封裝，或者多種型態之半導體封裝，取決於其應用。基於例示之目的，圖 1 顯示不同種類之半導體封裝。

電子裝置 50 可以是一獨立系統，其使用該等半導體封

裝執行一或多種電性功能。或者，電子裝置 50 可以是一更大系統中的一個次組件。舉例而言，電子裝置 50 可以是一繪圖卡、網路介面卡、或其他可以插入電腦中的信號處理卡。半導體封裝可以包含微處理器、記憶體、特定用途積體電路(application specific integrated circuit; ASIC)、邏輯電路、類比電路、RF 電路、獨立元件或者其他半導體晶粒或電氣組件。

在圖 1 之中，PCB 52 提供一公用基板做為結構上的支承以及與固定於 PCB 上的半導體封裝之電性互連。導電信號走線 54 利用蒸鍍(evaporation)、電解電鍍、無電電鍍、網印(screen printing)或其他適當之金屬沉積製程形成於 PCB 52 之一表面或疊層內。信號走線 54 提供半導體封裝、固定組件、及其他外部系統組件間的電性通信。走線 54 同時亦提供電源及接地連接至每一半導體封裝。

在一些實施例之中，一半導體元件具有二封裝層級。第一層級封裝係一用以機械性及電性裝配半導體晶粒至一中介載體之技術。第二層級封裝包含機械性及電性裝配該中介載體至 PCB。在其他實施例中，一半導體元件可以僅具有第一層級封裝，其中晶粒被以機械性及電性方式直接固定至 PCB。

為了例示之目的，許多第一層級封裝之型態，包括打線接合封裝 56 以及覆晶(flip chip)58，均顯示於 PCB 52 之上。此外，多種型態之第二層級封裝，包括球柵陣列(ball grid array; BGA)60、凸塊晶片載體(bump chip carrier; BCC)62、

雙排型封裝 (dual in-line package ; DIP)64、基板柵格陣列 (land grid array ; LGA)66、多晶片模組 (multi-chip module ; MCM)68、四側無引腳扁平封裝 (quad flat non-leaded package ; QFN)70 以及四面扁平封裝 (quad flat package)72，均顯示固定於 PCB 52 之上。取決於系統需求，半導體封裝的任何組合，配置成第一及第二層級封裝形式的任何組合，以及其他電子組件，均可以連接至 PCB 52。在一些實施例之中，電子裝置 50 包含一單一裝配之半導體封裝，而其他實施例可能需要多個互連之封裝。藉由結合一或多個半導體封裝於單一基板上，生產者可以將組件成品加入電子裝置及系統之中。由於半導體封裝包含複雜之功能，電子裝置之生產可以利用價格較低廉之組件以及一流動式產線製程。由此產出之裝置較不易故障且生產代價較不昂貴，使得對消費者的成本較低。

圖 2a-2c 顯示示範性半導體封裝。圖 2a 例示固定於 PCB 52 上的 DIP 64 之進一步細節。半導體晶粒 74 包含一作用區域，其包含實施為主動元件、被動元件、導電層及介電層之類比或數位電路形成於該晶粒之內，且依據該晶粒之電氣設計彼此電性互連。例如，該電路可以包含一或多個電晶體、二極體、電感、電容、電阻，以及形成於半導體晶粒 74 之作用區域內的其他電路構件。接墊 76 係一或多層導電材料，諸如鋁 (Al)、銅 (Cu)、錫 (Sn)、鎳 (Ni)、金 (Au) 或銀 (Ag)，其電性連接至形成於半導體晶粒 74 內之電路構件。在 DIP 64 的組配期間，半導體晶粒 74 利用一金矽共熔

層 (gold-silicon eutectic layer) 或諸如熱環氧樹脂 (thermal epoxy) 之黏著材料固定至一中介載體 78。封裝主體包含一諸如聚合物 (polymer) 或陶瓷 (ceramic) 之絕緣封裝材料。導體引線 80 和打線接合 82 提供半導體晶粒 74 和 PCB 52 之間的電性互連。封裝劑 84 沉積於封裝上，藉由防止溼氣和微粒進入封裝污染晶粒 74 或打線接合 82 而達到環境防護之目的。

圖 2b 例示固定於 PCB 52 上的 BCC 62 之進一步細節。半導體晶粒 88 利用一底部填充或環氧合成樹脂黏著材料 92 被固定於載體 90 之上。打線接合 94 提供接墊 96 和 98 間的第一層級封裝互連。模封材料或封裝劑 100 沉積於半導體晶粒 88 及打線接合 94 之上以提供該元件實體之支持和電性之絕緣。接墊 102 利用一諸如電解式電鍍或無電式電鍍之適當金屬沉積形成於 PCB 52 之一表面上以防止氧化。接墊 102 電性連接至 PCB 52 中的一或多條導電信號走線 54。凸塊 104 形成於 BCC 62 的接墊 98 和 PCB 52 的接墊 102 之間。

在圖 2c 之中，半導體晶粒 58 以一覆晶形式第一層級封裝面朝下地固定至中介載體 106。半導體晶粒 58 之作用區域 108 包含實施為主動元件、被動元件、導電層及介電層之類比或數位電路依據該晶粒之電氣設計形成。例如，該電路可以包含一或多個電晶體、二極體、電感、電容、電阻，以及作用區域 108 內的其他電路構件。半導體晶粒 53 經由凸塊 110 電性且機械性地連接至載體 106。

BGA 60 利用凸塊 112 以一 BGA 形式第二層級封裝電性且機械性地連接至 PCB 52。半導體晶粒 58 透過凸塊 110、信號線 114 以及凸塊 112 電性連接至 PCB 52 中的導電信號走線 54。一模封材料或封裝劑 116 沉積於半導體晶粒 58 及載體 106 之上以提供該元件實體之支持和電性之絕緣。此覆晶式半導體元件提供一條從半導體晶粒 58 上的作用元件到 PCB 52 上的導電走線間的極短電性傳導路徑，以降低信號傳播距離、減少電容並增進整體電路效能。在另一實施例中，半導體晶粒 58 可以利用覆晶式第一層級封裝不經由中介載體 106 即電性且機械性地直接連接至 PCB 52。

圖 3a 顯示一基板或晶圓 120，以諸如矽、鍺 (germanium)、砷化鎵 (gallium arsenide)、磷化銦 (indium phosphide) 或碳化矽 (silicon carbide) 之半導體式材料製成。該半導體式材料具有一範圍在 10-30 ohm-cm 之低電阻率。此低電阻率基板 120 被視為製程中之一低成本組件。在晶圓背側研磨或其他薄化製程之前，基板 120 之厚度大約是 635 微米 (μm)。複數個半導體晶粒可以利用如前所述之半導體製程形成於或固定至基板 120 之上。每一半導體晶粒均具有主動及被動元件、導電層及介電層，依據該晶粒之電氣設計形成於作用表面 122 之中。在一實施例中，該半導體晶粒包含基頻類比電路或數位電路，諸如數位信號處理器 (digital signal processor ; DSP)、ASIC、記憶體或其他信號處理電路。

該半導體晶粒同時亦可以包含 IPD，諸如電感、電容、及電阻器，用於 RF 信號處理。IPD 提供諸如諧振器 (resonator)、高通濾波器 (high-pass filter)、低通濾波器 (low-pass filter)、帶通濾波器 (band-pass filter)、對稱 Hi-Q 諧振變壓器 (symmetric Hi-Q resonant transformer)、匹配網路 (matching network) 和調諧電容器 (tuning capacitor) 等高頻應用所需之電氣特性。該等 IPD 可以充當前端無線 RF 組件，可以置於天線 (antenna) 和收發器 (transceiver) 之間。IPD 電感可以是一 hi-Q 貝楞 (balun；即平衡-不平衡轉換器)、變壓器或線圈，運作頻率上達 100 GHz (Gigahertz；十億赫茲)。在一些應用之中，多個貝楞形成於同一基板之上，使其可以進行多頻帶運作。例如，二或多個貝楞使用於行動電話或其他全球行動系統 (global system for mobile；GSM) 通信中負責四頻帶，每一貝楞專用於該四頻帶裝置中一個頻帶之運作。一典型 RF 系統在一或多個半導體封裝中需要多個 IPD 以及其他高頻電路以執行所需的電氣功能。

一部分基板 120 藉由一蝕刻製程被移除以形成溝渠 124。在一實施例中，溝渠 124 具有呈錐形 (tapered；往一方向漸次變窄之意) 之側壁以及 10 至 120 微米之深度。

一介電或絕緣層 126 以保形方式塗佈於基板 100 上和溝渠 124 中，如圖 3b 所示。絕緣層 126 可以是一或多層由二氧化矽 (silicon dioxide； SiO_2)、氮化矽 (silicon nitride； Si_3N_4)、氮氧化矽 (silicon oxynitride； SiON)、五氧化鉭 (tantalum pentoxide； Ta_2O_5)、鋯石 (zircon； ZrO_2)、氧化鋁

(aluminum oxide; Al_2O_3)、聚醯亞胺 (polyimide)、苯環丁烯 (benzocyclobutene; BCB)、聚苯噁唑 (polybenzoxazoles; PBO) 或其他具有適當電性絕緣性質之材料所構成之疊層。絕緣層 126 利用 PVD、CVD、印刷、旋轉塗佈 (spin coating)、固化燒結 (sintering with curing) 或熱氧化 (thermal oxidation) 以進行圖案化或毯覆式沉積 (blanket deposited) 至 0.01 微米之厚度。

在圖 3c 之中，一絕緣材料 128 形成於絕緣層 126 之上及溝渠 124 之中。絕緣材料 128 可以是利用例如範圍係 $250-360^\circ\text{C}$ 之低溫沉積塗佈之一或多個層由聚醯亞胺、BCB、PBO、或其他聚合物材料構成的疊層。在一實施例中，絕緣材料 128 具有 25-60 之低熱膨脹係數 (coefficient of thermal expansion; CTE)、0.01 之低耗損正切 (loss tangent) 值、以及 2.9 之低介電常數 (k) 值。

在圖 3d 之中，一電性傳導層 130 利用圖案化配合 PVD、CVD、濺鍍 (sputtering)、電解電鍍、無電電鍍製程或其他適當之金屬沉積製程形成於絕緣材料 128 之上。導電層 130 可以是一或多層由鋁、銅、錫、鎳、金、銀或其他適當電性傳導物質構成之疊層。

在圖 3e 之中，一鈍化或絕緣層 132 以保形方式塗佈於絕緣層 126、絕緣材料 128 以及導電層 130 之上。絕緣層 132 可以是一或多層由 SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 Al_2O_3 或其他具有適當絕緣及結構性質之材料構成之疊層。絕緣層 132 利用 PVD、CVD、印刷、旋轉塗佈、固化燒結或熱

氧化以進行圖案化或毯覆沉積而成。一部分絕緣層 132 藉由一蝕刻製程被移除以暴露出導電層 130。

在圖 3f 之中，一電性傳導層 134 利用圖案化配合 PVD、CVD、濺鍍、電解電鍍、無電電鍍製程或其他適當之金屬沉積製程形成於絕緣層 132 之上。導電層 134 可以是一或多層由鋁、銅、錫、鎳、金、銀或其他適當電性傳導物質構成之疊層。

在圖 3g 之中，一鈍化或絕緣層 136 以保形方式塗佈於絕緣層 132 及導電層 134 之上。絕緣層 136 可以是一或多層由 SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 Al_2O_3 或其他具有適當絕緣及結構性質之材料構成之疊層。絕緣層 136 利用 PVD、CVD、印刷、旋轉塗佈、固化燒結或熱氧化以進行圖案化或毯覆沉積而成。

描述於圖 3a-3g 中之結構，包含形成於絕緣材料 128(其配置於溝渠 124 之中)上之導電層 130 及 134，均在平面上被纏繞或捲成線圈以產生或展現電感性質。圖 4a 顯示被捲成線圈以構成電感 138 之導電層 134 的平面視圖，其具有 1.5 至 4 圈、30 微米線寬以及 150 微米之內徑。圖 4b 顯示包含形成於絕緣材料 128 上之導電層 130 及 134 之電感 138 的剖面視圖，其中之絕緣材料 128 係配置於溝渠 124 之中。

電感 138 具有一特定之 Q 因子，其係在一特定頻率下之電感電抗(inductive reactance)相對於電阻之比值，一種對於效率之衡量。電感 138 具有一高 Q 因子，在 2.45 GHz 和 80 至 120 微米深的溝渠 124 之下，其範圍介於 40 至 50 之

間。形成於溝渠 124 中的絕緣材料 128 充當一緩衝區，以將導電層 130 及 134 自基板 120 隔離，並降低經由基板之發散漏損。溝渠 124 之深度，填充以絕緣材料 128，增加了介於導電層 130 及 134 與基板 120 之間的距離。絕緣材料之分隔減少導電層和漏損基板間的電感耦合，此增加電感 138 之 Q 值。寄生電容同時亦因為絕緣材料 128 之厚度增加和電感串聯諧振頻率(series resonant frequency; SRF)增加而降低。因此，不使用針對 IPD 之昂貴高電阻基板，一適於 RF 應用之簡單電感 IPD 可以利用一低電阻基板及一聚合物填充溝渠而整合進來。其電氣效能或 Q 值等同於在高電阻基板中之電感 Q 值，而在等效性能之下提供顯著的成本節省。

雖然本發明之一或多個實施例詳細例示如上，但習於斯藝者應理解該等實施例可以在未脫離本發明以下申請專利範圍所界定之範疇下進行修改及調整。

【圖式簡單說明】

圖 1 例示一 PCB，具有不同型態之封裝固定至其表面；

圖 2a-2c 例示固定至該 PCB 之半導體封裝之進一步細節；

圖 3a-3g 例示在基板中之絕緣材料填充溝渠上形成電感之製程；以及

圖 4a-4b 例示在基板中之絕緣材料填充溝渠上形成之電感。

【主要元件符號說明】

50	電子裝置
52	PCB
54	走線
56	打線接合封裝
58	覆晶
60	球柵陣列
62	凸塊晶片載體
64	雙排型封裝
66	基板柵格陣列
68	多晶片模組
70	四側無引腳扁平封裝
72	四面扁平封裝
74	半導體晶粒
76	接墊
78	中介載體
80	導體引線
82	打線接合
84	封裝劑
88	半導體晶粒
90	載體
92	底部填充或環氧合成樹脂黏著材料
94	打線接合

96	接墊
98	接墊
100	模封材料或封裝劑
102	接墊
104	凸塊
106	載體
108	作用區域
110	焊錫凸塊或錫球
112	焊錫凸塊或錫球
114	信號線
116	模封材料或封裝劑
120	基板
122	作用表面
124	溝渠
126	絕緣層
128	絕緣材料
130	導電層
132	絕緣層
134	導電層
136	絕緣層
138	電感

七、申請專利範圍：

1. 一種製造半導體元件的方法，包含：

提供一基板；

形成一溝渠於該基板中，該溝渠依循著一捲成線圈的路徑；

形成一第一絕緣層至該溝渠中；

沉積一絕緣材料於該第一絕緣層之上以填充該溝渠；

形成一第一導電層於該絕緣材料之上；

形成一第二絕緣層於該第一絕緣層、該絕緣材料及該第一導電層之上；

形成一第二導電層於該第二絕緣層上以作為一線圈進而展現出電感性質且電性接觸該第一導電層，透過在該溝渠中的該絕緣材料而將該第一導電層和該第二導電層與該基板隔絕；以及

形成一第三絕緣層於該第二絕緣層及該第二導電層之上。

2. 如申請專利範圍第1項所述之方法，更包含形成該第一導電層以作為一線圈進而展現出電感性質。

3. 如申請專利範圍第1項所述之方法，其中該溝渠具有一10至120微米之深度。

4. 如申請專利範圍第1項所述之方法，其中該絕緣材料包含一聚合物材料。

5. 如申請專利範圍第1項所述之方法，其中該基板係以大約10-30歐姆-釐米(ohm-centimeter)之低電阻率材料所

製成。

6. 一種製造半導體元件的方法，包含：

提供一基板；

形成一溝渠於該基板中，該溝渠依循著一捲成線圈的路徑；

保形方式塗佈一第一絕緣層在該基板上且至該溝渠之中；

沉積一絕緣材料於該第一絕緣層上以填充該溝渠；

形成一第一導電層於該絕緣材料之上以作為一線圈進而展現出電感性質；以及

形成一第二絕緣層於該基板、該絕緣材料及該第一導電層之上。

7. 如申請專利範圍第 6 項所述之方法，更包含：

形成一第二導電層於該第二絕緣層上且電性接觸該第一導電層；以及

形成一第三絕緣層於該第二絕緣層及該第二導電層之上。

8. 如申請專利範圍第 7 項所述之方法，其中該溝渠中之該絕緣材料將該第一及第二導電層自該基板隔離。

9. 如申請專利範圍第 7 項所述之方法，更包含：形成該第二導電層作為一線圈以展現出電感性質。

10. 一種半導體元件，包含：

一基板；

一溝渠，形成於該基板中，該溝渠依循著一線圈路徑；

- 一介電質層，共形地沉積於該基板上以及該溝渠之中；
- 一絕緣材料，沉積於該溝渠之中以接觸該介電質層；
- 一第一導電層，形成於該絕緣材料上，以作為一線圈以展現出電感性質，透過在該溝渠中的該絕緣材料將該第一導電層與該基板隔絕；以及
- 一絕緣層，形成於該基板、該絕緣材料及該絕緣材料對側的該第一導電層的一第一表面之上。

11. 如申請專利範圍第 10 項所述之半導體元件，其中該絕緣材料填充該溝渠。

12. 如申請專利範圍第 11 項所述之半導體元件，其中該絕緣材料的一上表面和配置在該基板上的該介電質層的一部分的一上表面實質上是共平面的。

13. 如申請專利範圍第 12 項所述之半導體元件，其中該絕緣材料的該上表面是比該第一導電層的一下表面還寬。

14. 如申請專利範圍第 13 項所述之半導體元件，更包含一第二導電層，形成在該第一導電層之上，其中該第二導電層接觸該第一導電層並且在平面圖中被纏繞或捲成線圈以產生或展現出電感性質。

15. 如申請專利範圍第 10 項所述之半導體元件，其中該溝渠具有一 10 至 120 微米之深度。

八、圖式：

(如次頁)

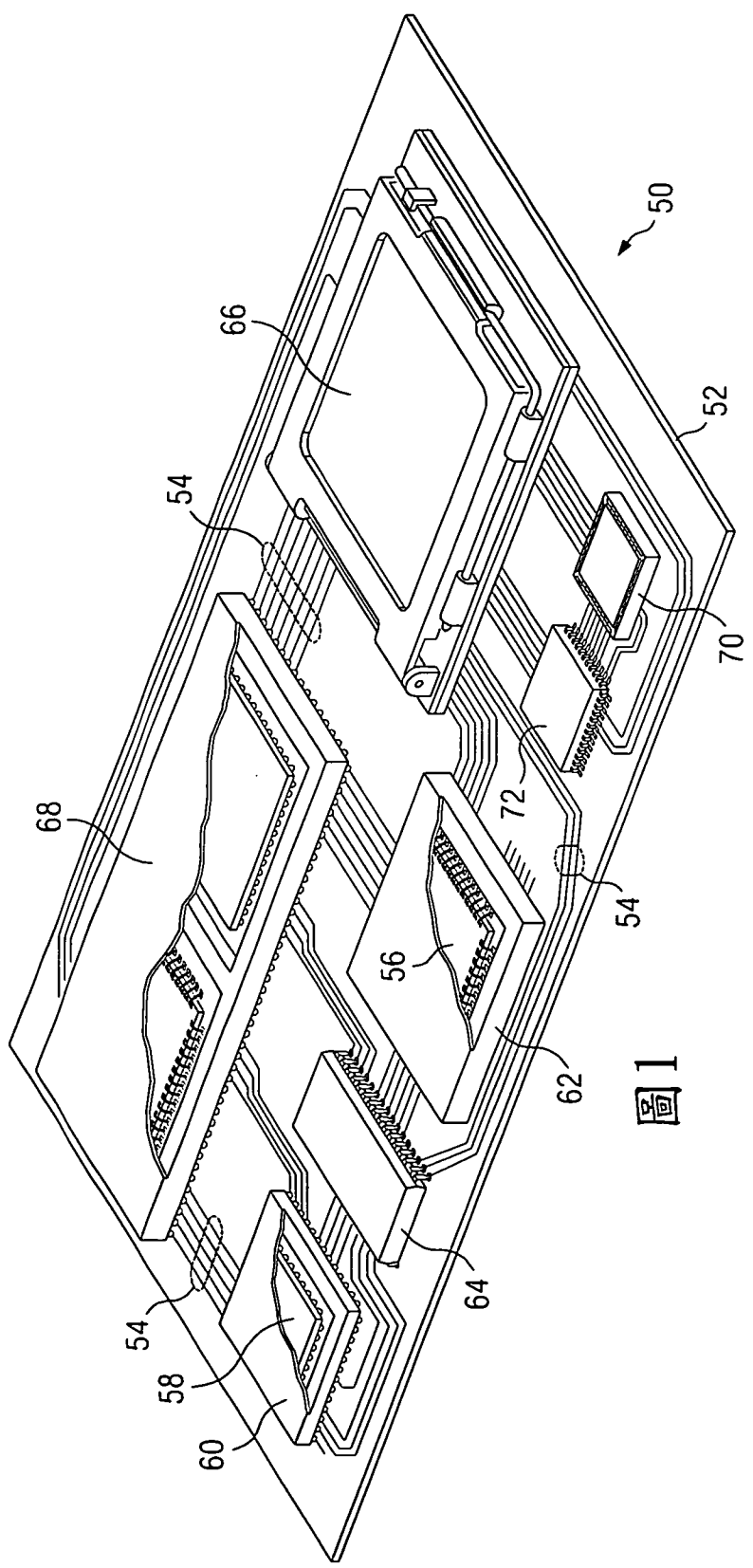


圖 1

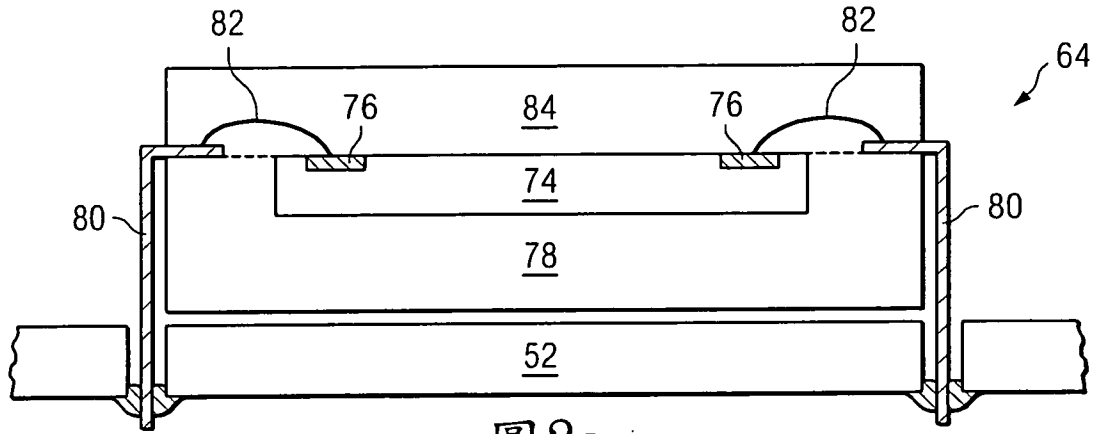


圖 2a

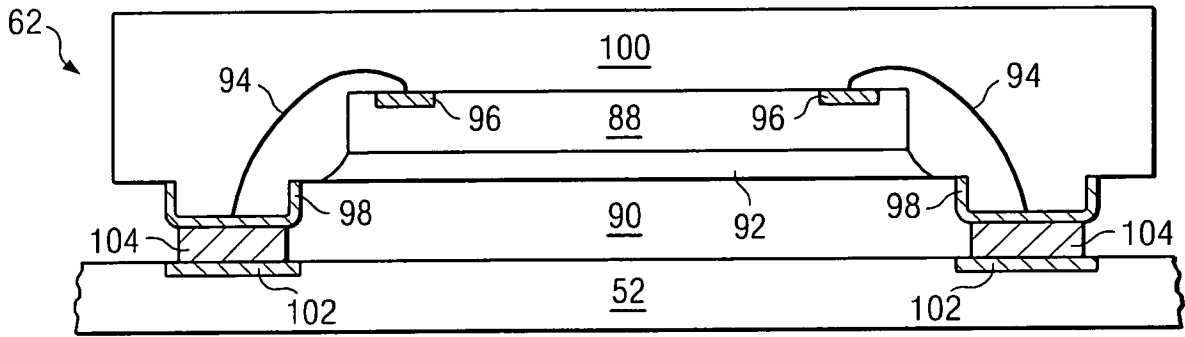


圖 2b

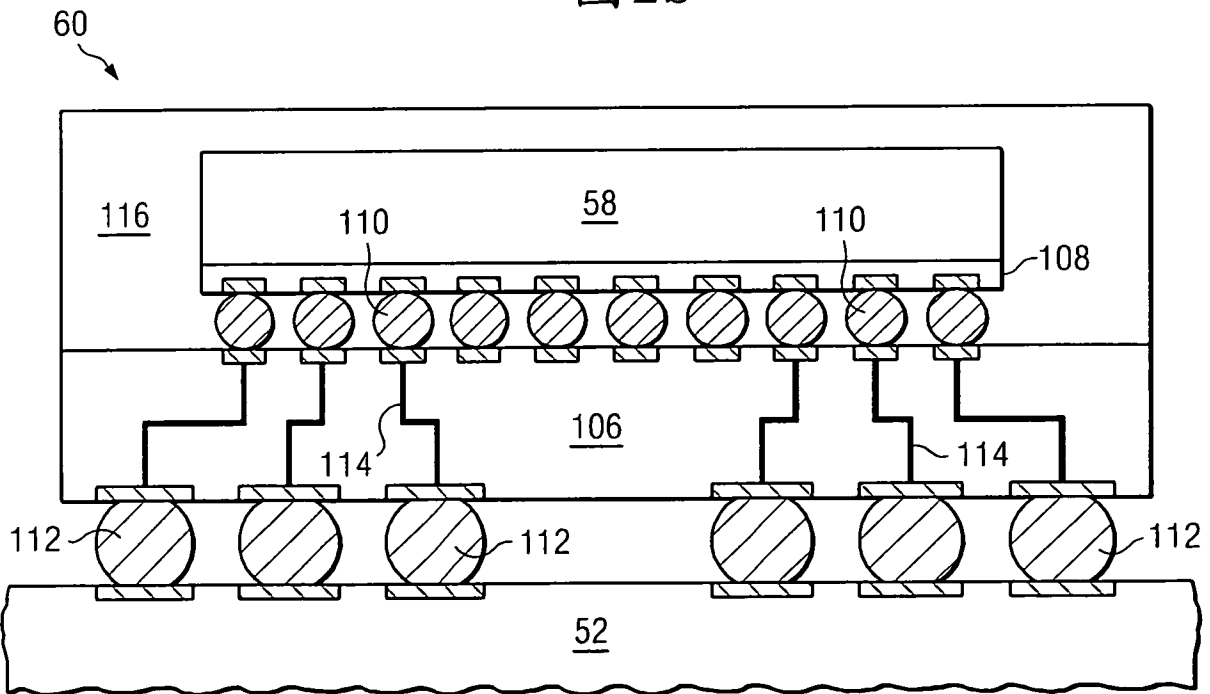


圖 2c

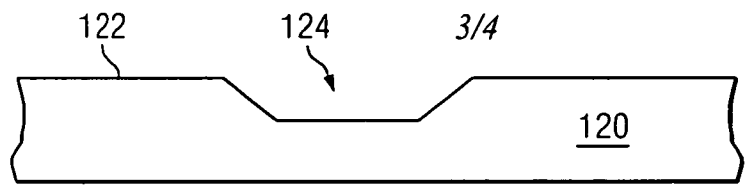


圖 3a

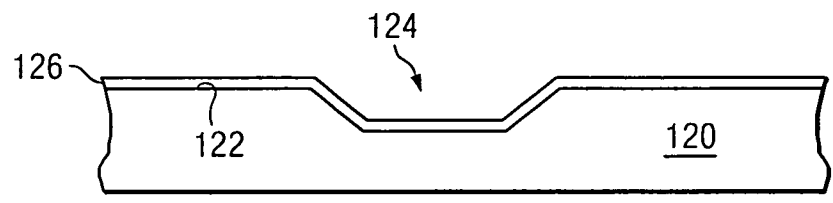


圖 3b

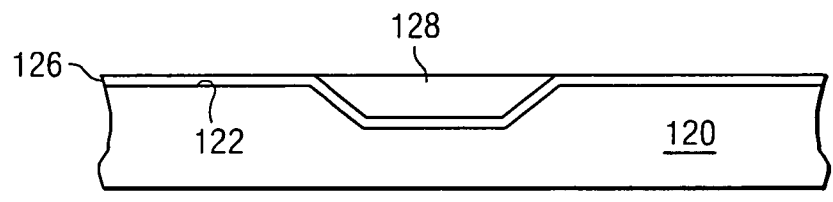


圖 3c

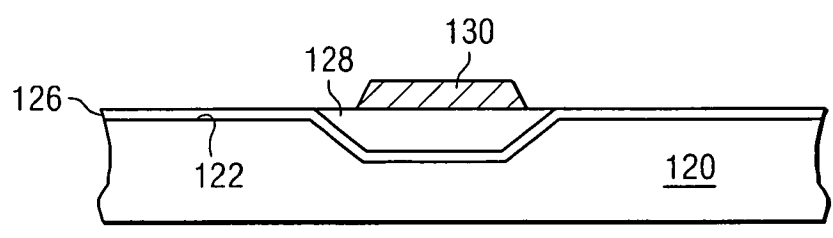


圖 3d

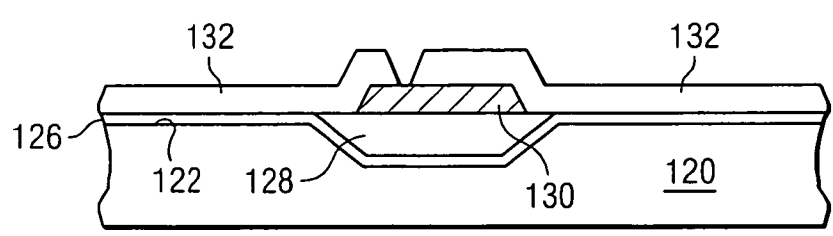


圖 3e

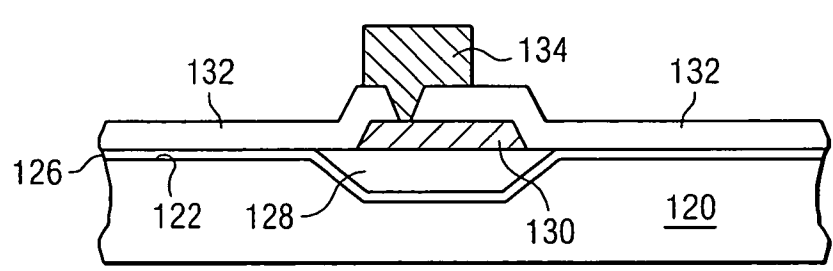


圖 3f

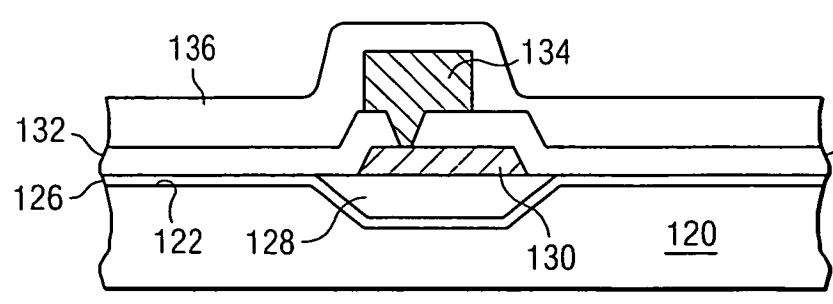


圖 3g

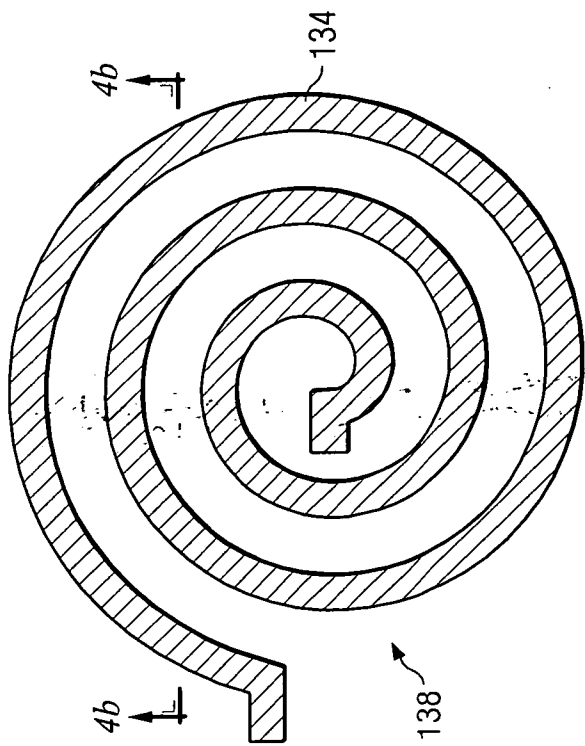


圖4a

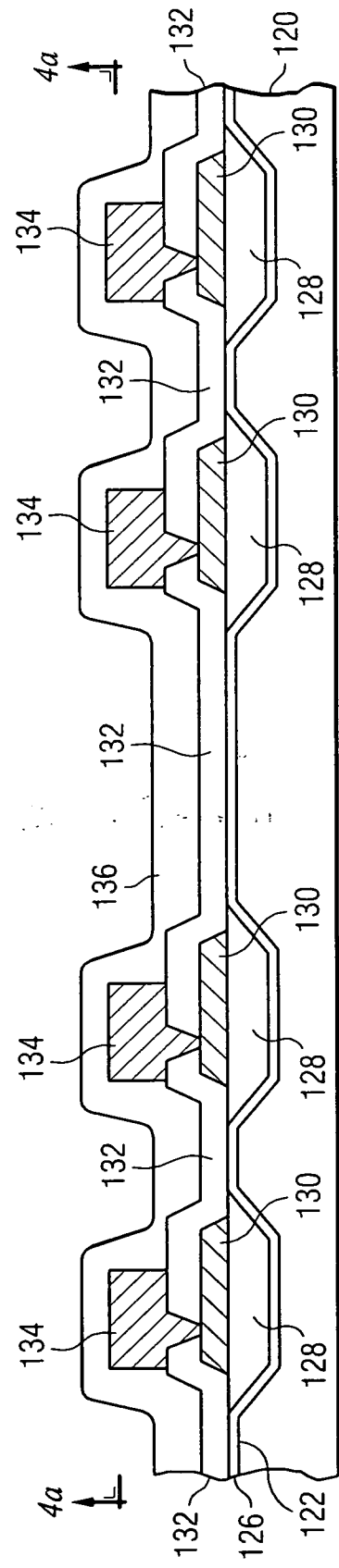


圖4b