

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4868234号
(P4868234)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月25日(2011.11.25)

| | | | | | |
|---------------|-------------|------------------|---------------|-------------|--------------|
| (51) Int. Cl. | | F I | | | |
| HO 1 G | 4/12 | (2006.01) | HO 1 G | 4/12 | 4 0 0 |
| HO 1 G | 4/33 | (2006.01) | HO 1 G | 4/12 | 3 9 7 |
| | | | HO 1 G | 4/06 | 1 0 2 |

請求項の数 3 (全 17 頁)

| | | | |
|-----------|-------------------------------|-----------|------------------------------|
| (21) 出願番号 | 特願2006-350387 (P2006-350387) | (73) 特許権者 | 000003067 |
| (22) 出願日 | 平成18年12月26日(2006.12.26) | | T D K株式会社 |
| (65) 公開番号 | 特開2008-160040 (P2008-160040A) | | 東京都中央区日本橋一丁目13番1号 |
| (43) 公開日 | 平成20年7月10日(2008.7.10) | (74) 代理人 | 100107559 |
| 審査請求日 | 平成21年9月9日(2009.9.9) | | 弁理士 星宮 勝美 |
| | | (72) 発明者 | 尾崎 由美子 |
| | | | 東京都中央区日本橋一丁目13番1号 T D K株式会社内 |
| | | (72) 発明者 | 篠浦 治 |
| | | | 東京都中央区日本橋一丁目13番1号 T D K株式会社内 |
| | | 審査官 | 山田 倍司 |

最終頁に続く

(54) 【発明の名称】 キャパシタの製造方法

(57) 【特許請求の範囲】

【請求項1】

下部電極と、上部電極と、前記下部電極と上部電極との間に配置された誘電体層とを備えたキャパシタを製造する方法であって、

前記下部電極の上に、前記誘電体層を形成する工程と、

前記誘電体層の形成後に、電気泳動法を用いて、前記誘電体層のうち電流が流れる部分の上に選択的に樹脂絶縁体を形成する工程と、

前記樹脂絶縁体の形成後に、前記上部電極を形成する工程とを備え、

前記樹脂絶縁体を形成する工程では、電気泳動法を用いて前記樹脂絶縁体を形成する際の印加電圧を2～50Vの範囲内とし、電圧印加時間を0.5～500ミリ秒の範囲内とし、

前記下部電極と上部電極との間に2Vの電圧を印加したときの前記誘電体層のリーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下となるキャパシタを製造することを特徴とするキャパシタの製造方法。

【請求項2】

前記下部電極の表面は、前記誘電体層によって覆われていない露出部分を含み、

前記樹脂絶縁体を形成する工程において、前記露出部分には実質的に、前記樹脂絶縁体を構成する材料よりなる電着物は形成されないことを特徴とする請求項1記載のキャパシタの製造方法。

【請求項3】

10

20

前記下部電極は、金属多結晶体よりなる箔によって構成されていることを特徴とする請求項1または2記載のキャパシタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、下部電極と、上部電極と、これらの電極間に配置された誘電体層とを備えたキャパシタの製造方法に関する。

【背景技術】

【0002】

近年、基板埋め込み用として低背化が求められているキャパシタは、一般的には、誘電体層と、この誘電体層を挟むように配置された一对の電極とからなる積層構造を少なくとも1つ有している。

10

【0003】

キャパシタの低背化のためには、誘電体層厚を薄くすることが有効である。誘電体層厚を薄くすることの可能なキャパシタとしては、例えば特許文献1に記載されているように、スパッタ法等の薄膜形成技術を用いて形成された誘電体層を備えたキャパシタ（以下、薄膜キャパシタとも言う。）が知られている。特許文献1に記載されたキャパシタは、ベース基板上に、第1の電極層、誘電体層、第2の電極層を順に積層して形成されている。

【0004】

ところで、従来、薄膜キャパシタでは、誘電体層厚を薄くしていくと、誘電体層に欠陥が生じて短絡不良が発生したり、リーク電流が増加したり、耐電圧が低下したりするといった問題があった。これらの問題は、例えば、特許文献1に記載されているように、誘電体層に存在するピンホール部や結晶粒界に起因して発生すると考えられる。

20

【0005】

特許文献1には、上記の問題を解決するために、誘電体層のピンホール部や結晶粒界と第1の電極層の間に、第1の電極層を構成する材料を酸化させることによって形成された絶縁層を設ける技術が記載されている。

【0006】

なお、特許文献2には、下層の導体パターン上に、絶縁層または低誘電体層を積層し、この絶縁層等の上に上層の導体パターンを積層してなる多層配線基板における絶縁層等の欠損部分を補修する技術が記載されている。この技術では、絶縁層等の形成後に、下層の導体パターンを一方の電極とした電着法を用いて、絶縁層等の欠損部分に、エポキシ樹脂等の絶縁性材料を付着させる。

30

【0007】

【特許文献1】特開2002-26266号公報

【特許文献2】特開2002-185148号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

前述の薄膜キャパシタにおける誘電体層の欠陥に起因する問題を解決するために、特許文献2に記載されているような電着法を用いて、欠陥を補修する樹脂よりなる電着物を形成することが考えられる。

40

【0009】

ところで、電着法には定電圧法と定電流法とがあるが、一般的には定電圧法が使用される。電着処理を行うと、それによって、電流が流れる部分上に高電気抵抗の電着物が形成される。そのため、定電圧法による電着処理を行うと、電着処理の初期には大きな電流が流れるが、時間の経過と共に電着物の電気抵抗値が大きくなって電流値が減少し、最終的にはほとんど電流が流れなくなって、自動的に電着物の成長が停止する。そのため、従来、定電圧法による電着処理を行って電着物を形成する場合には、印加電圧は数Vないし100V程度の値で注意深く決定されるが、電圧印加時間は、電着処理の開始後、電着物の

50

成長が停止するまでの時間以上であればよいと考えられていた。そして、一般的には、電圧印加時間としては、数秒ないし数分が選択されていた。

【0010】

しかしながら、定電圧法による電着処理を行って、キャパシタにおける誘電体層の欠陥を補修する電着物を形成する場合には、以下のような問題が発生する。誘電体層の、欠陥以外の部分は高電気抵抗であり、欠陥は局所的に低電気抵抗となる部分である。そのため、電着法によれば、欠陥において電流が流れるため、欠陥を補修するように選択的に電着物が形成される。ところが、誘電体層において欠陥が生じる原因は、誘電体層における異物の存在、誘電体層の部分的な剥離、誘電体層の結晶粒界、下部電極層の凹凸等、様々である。そのため、誘電体層における多数の欠陥の大きさは一様ではなく、欠陥には非常に大きいものから微小なものまである。定電圧法による電着処理を行って誘電体層の欠陥を補修する電着物を形成すると、誘電体層において、大きな欠陥が存在する部分には多くの電流が流れるため大きな電着物が形成され、微小な欠陥が存在する部分にはわずかな電流しか流れないため小さな電着物が形成される。このように、定電圧法による電着処理を行って誘電体層の欠陥を補修する電着物を形成する場合には、誘電体層における欠陥の大きさが多様であることに起因して、多様な大きさの電着物が形成される。電着処理においてわずかな電流しか流れない微小欠陥を補修するためには、電着処理における印加電圧を大きくする必要がある。しかし、そうすると、誘電体層の、非常に大きな欠陥が存在する部分には非常に大きな電着物が形成されてしまう。

10

【0011】

一般的に、電着処理を行って形成された樹脂電着物は、形成直後においては未硬化状態である。そのため、樹脂電着物によって誘電体層の欠陥を補修する場合には、電着物を熱処理により硬化させる工程が必要となる。前述のような大きな電着物は、例えば熱処理工程において発泡する場合がある。また、大きな電着物が形成されると、その一部が剥がれて誘電体層の表面等に付着する場合がある。また、大きな電着物は、誘電体層の一部と共に剥がれる場合もある。また、キャパシタを工業的に量産する場合には、1つの基板上に多数のキャパシタを製造する。ここで、1つでも大きな電着物が形成されてしまうと、そのかけらが基板上に散乱し、多くのキャパシタが不良となる。また、大きな電着物が形成されると、その電着物や電着物のかけらによって上部電極の一部が大きく突出する。これによって、上部電極をパターンニングする際の精度が低下したり、上部電極に貫通孔を形成することが困難になったりする。また、必要以上に大きな面積の電着物が形成されると、対向電極面積が減少し、キャパシタの容量が低下してしまう。

20

30

【0012】

このように、大きな電着物が形成されると種々の問題が発生する。しかしながら、従来は、大きな電着物が形成されないようにしながら、誘電体層の微小欠陥を補修する電着物を形成することは困難であった。

【0013】

また、下部電極表面には、誘電体層によって覆われていない露出部分が存在する。電着法を用いて誘電体層の欠陥を補修する電着物を形成する際には、上記露出部分に不要な電着物が形成されることを防ぐ必要がある。そのためには、電着物形成工程前に、露出部分に対して非導電材料を用いてマスキングを施す必要がある。しかし、これは、製造工程数を増加させると共に、作業ミスによるキャパシタの歩留まりの低下を招く。

40

【0014】

本発明はかかる問題点に鑑みてなされたもので、その目的は、下部電極と、上部電極と、これらの電極間に配置された誘電体層とを備え、リーク電流の増加や短絡不良の発生を防止できるようにしたキャパシタを、高い歩留まりで製造できるようにしたキャパシタの製造方法を提供することにある。

【課題を解決するための手段】

【0015】

本発明のキャパシタの製造方法は、下部電極と、上部電極と、これらの電極間に配置さ

50

れた誘電体層とを備えたキャパシタを製造する方法であって、下部電極の上に、誘電体層を形成する工程と、誘電体層の形成工程後に、電気泳動法を用いて、誘電体層の電流が流れる部分上に選択的に樹脂絶縁体を形成する工程と、樹脂絶縁体形成工程の後に、上部電極を形成する工程とを備えている。樹脂絶縁体形成工程では、電気泳動法を用いて樹脂絶縁体を形成する際の印加電圧を2～50Vの範囲内とし、電圧印加時間を0.5～500ミリ秒の範囲内とする。本発明のキャパシタの製造方法では、下部電極と上部電極との間に2Vの電圧を印加したときの誘電体層のリーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下となるキャパシタを製造する。

【0016】

本発明のキャパシタの製造方法において、下部電極の表面は、誘電体層によって覆われていない露出部分を含み、樹脂絶縁体形成工程において、露出部分には実質的に、樹脂絶縁体を構成する材料よりなる電着物は形成されないようにしてもよい。

10

【0017】

本発明のキャパシタの製造方法において、下部電極は、金属多結晶よりなる箔によって構成されていてもよい。

【0018】

本発明の第2のキャパシタの製造方法は、ニッケル金属箔からなる下部電極と、上部電極と、下部電極と上部電極との間に配置されたペロプスカイト型酸化物誘電体層とを備えたキャパシタを製造する方法であって、下部電極の上に、誘電体層を形成する工程と、誘電体層の形成後に、電気泳動法を用いて、誘電体層のうち電流が流れる部分の上に選択的に樹脂絶縁体を形成する工程と、樹脂絶縁体の形成後に、上部電極を形成する工程とを備えている。樹脂絶縁体を形成する工程では、電気泳動法を用いて樹脂絶縁体を形成する際の印加電圧を2～50Vの範囲内とし、電圧印加時間を0.5～500ミリ秒の範囲内とする。

20

【発明の効果】

【0019】

本発明のキャパシタの製造方法では、電気泳動法を用いて樹脂絶縁体を形成する際の印加電圧を2～50Vの範囲内とし、電圧印加時間を0.5～500ミリ秒の範囲内として、下部電極と上部電極との間に2Vの電圧を印加したときのリーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下となるキャパシタを製造する。これにより、本発明によれば、リーク電流の増加や短絡不良の発生を防止できるようにしたキャパシタを、高い歩留まりで製造できるという効果を奏する。

30

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、図1を参照して、本発明の一実施の形態に係る製造方法によって製造されるキャパシタの構成について説明する。図1は、本実施の形態におけるキャパシタの断面図である。図1に示したように、本実施の形態におけるキャパシタ1は、下部電極2と、上部電極4と、これらの電極間に配置された誘電体層3とを備えている。

【0021】

40

下部電極2としては、例えば箔が用いられる。箔は、下部電極の機能の他にキャパシタ1における基体としての機能を持つ。そのため、下部電極2として箔を用いると、キャパシタ1の全体の厚みを小さくすることが可能になり、その結果、例えば、キャパシタ1を基板に埋め込むことが容易になる。また、箔は、高価な高純度材料により作製される薄膜電極層に比べて安価であるため、下部電極2として箔を用いることにより、キャパシタ1の製造コストを低減することができる。下部電極2としての箔は、例えば、金属多結晶よりなる。

【0022】

下部電極2の材料としては、公知の各種の金属材料を用いることができ、具体的には、例えば、白金、銅、ニッケル、あるいはこれらの合金を用いることができる。これらのう

50

ち、価格、耐酸化性の観点より、特にニッケルが好ましい。下部電極 2 の厚みは、例えば $10\ \mu\text{m} \sim 100\ \mu\text{m}$ の範囲内である。

【0023】

下部電極 2 は、誘電体層 3 に対向する上面 2 a と、その反対側の下面 2 b と、側面 2 c とを有している。下部電極 2 が、金属多結晶体よりなる箔によって構成されている場合には、上面 2 a には、結晶粒界が現れる。図 1 において、符号 10 は結晶粒界の一部を示している。

【0024】

下部電極 2 として用いられる箔は、予め熱処理が施されたものであることが好ましい。それは、熱処理が施されていない箔は、後に、誘電体層 3 や上部電極 4 の形成時における熱処理により変形や、結晶粗大化が起こるおそれがあるからである。

10

【0025】

下部電極 2 を構成する金属多結晶体は、主成分の金属元素の他に不純物を含んでいてもよい。また、この金属多結晶体では、粒界において結晶粒内に比べて不純物の濃度が高くなる粒界偏析が生じていてもよい。図 1 において、符号 11 は、粒界偏析によって不純物が偏析している領域のうち、特に下部電極 2 の上面 2 a の近傍に存在するものを示している。

【0026】

下部電極 2 の表面には、誘電体層 3 によって覆われていない露出部分が存在する。この露出部分は、具体的には、上面 2 a のうち誘電体層 3 によって覆われていない部分と、下面 2 b の全体と側面 2 c の全体である。

20

【0027】

上部電極 4 は、誘電体層 3 に対向する下面 4 a と、その反対側の上面 4 b とを有している。上部電極 4 の材料としては、公知の各種の導電材料を用いることができ、具体的には、例えば、白金、銅、ニッケル、あるいはこれらの合金を用いることができる。これらのうち、価格、導電性の観点より、特に銅が好ましい。上部電極 4 の厚みは、例えば $0.2\ \mu\text{m} \sim 100\ \mu\text{m}$ の範囲内である。

【0028】

誘電体層 3 は、下部電極 2 の上面 2 a に対向する下面 3 a と、上部電極 4 の下面 4 a に対向する上面 3 b とを有している。誘電体層 3 の材料としては、公知の各種の酸化物高誘電率材料を用いることができる。具体的には、誘電体層 3 の材料としては、例えば、 CaTiO_3 、 BaTiO_3 、 SrTiO_3 、 Bi_2TiO_5 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 La_2TiO_5 、 CeTiO_4 、 PbTiO_3 、 ZrTiO_3 等のチタン酸塩系材料、 BaSnO_3 、 SrSnO_3 、 PbSnO_3 等の錫酸塩系材料、 BaZrO_3 、 CaZrO_3 、 $\text{Bi}_4\text{Zr}_3\text{O}_{12}$ 等のジルコン酸塩系材料、 MgNbO_3 、 CaNbO_3 、 SrNbO_3 、 BaNbO_3 、 PbNbO_3 等のニオブ酸塩系材料、 LiTaO_3 、 BaTaO_3 、 SrTaO_3 、 CaTaO_3 、 MgTaO_3 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等のタンタル酸塩系材料、 $\text{Bi}_3\text{TiNbO}_9$ 、 $\text{PbBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Bi}_2\text{SrTa}_2\text{O}_9$ 、 $\text{Bi}_2\text{SrNb}_2\text{O}_9$ 、 $\text{Sr}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Ba}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、等のピスマス層状系材料等の高誘電率材料を主成分とするものを用いることができる。樹脂材料等ではキャパシタの容量が低く、本実施の形態における誘電体層 3 の材料としては好ましくない。誘電体層 3 の厚みは、高容量、低リーク特性の両者を得るためには、例えば $0.1\ \mu\text{m} \sim 2\ \mu\text{m}$ の範囲内である。誘電体層 3 は、ピンホール等の欠陥 31 を有していてもよい。

30

40

【0029】

以下、下部電極 2 が金属多結晶体よりなる箔によって構成され、誘電体層 3 が複数の欠陥 31 を有しているものとして説明する。なお、欠陥 31 は、 $1\ \text{cm}^2$ 当たり数個から十個程度存在することもある。

【0030】

キャパシタ 1 は、更に、誘電体層 3 の上面 3 b と上部電極 4 の下面 4 a との間において、誘電体層 3 の上面 3 b と上部電極 4 の下面 4 a とが対向する領域のうちの一部にのみ配

50

置された樹脂絶縁体 5 を備えている。樹脂絶縁体 5 の少なくとも一部は、誘電体層 3 の欠陥 3 1 を補修するものである。この樹脂絶縁体 5 の少なくとも一部は、欠陥 3 1 内に充填された部分と欠陥 3 1 を覆う部分とを含んでいる。また、樹脂絶縁体 5 の他の一部は、誘電体層 3 の上面 3 b の上方から見たときに、下部電極 2 の上面 2 a に現れた金属多結晶体の粒界 1 0 のうちの少なくとも一部に沿って且つこれを覆うように配置されている。

【 0 0 3 1 】

次に、図 2 ないし図 4 を参照して、本実施の形態に係るキャパシタ 1 の製造方法について説明する。図 2 は、本実施の形態に係るキャパシタ 1 の製造方法における一工程を示す断面図である。キャパシタ 1 の製造方法では、まず、図 2 に示したように、例えばスパッタ法を用いて、下部電極 2 の上面 2 a の上に誘電体層 3 を形成する。なお、下部電極 2 として用いられる箔に対しては、誘電体層 3 を形成する前に、誘電体層 3 の形成後に施す熱処理における温度以上の温度で熱処理を施すことが好ましい。また、誘電体層 3 を形成する前に、下部電極 2 の上面 2 a に対して、研磨等による平坦化処理を施しておくことが好ましい。

10

【 0 0 3 2 】

図 3 は、次の工程を示す。この工程では、電気泳動法を用いて、誘電体層 3 のうち電流が流れる部分上に選択的に樹脂絶縁体 5 を形成する。以下、電気泳動法を用いて形成された物を電着物と言い、電気泳動法を用いて電着物を形成することを電着と言い、電気泳動法を用いて電着物を形成する工程を電着工程と言う。図 4 は、電着工程で用いる電着処理装置を簡単に示している。この電着処理装置は、電着液 2 1 を収容する槽 2 0 と、電源 2 2 とを備えている。電着工程では、電着液 2 1 中に、下部電極 2 および誘電体層 3 を含む積層体と、対電極 2 3 とを浸漬する。積層体と対電極 2 3 とは、誘電体層 3 の上面 3 b と対電極 2 3 とが対向するように配置される。下部電極 2 と対電極 2 3 は、電源 2 2 に接続される。そして、この電源 2 2 によって、下部電極 2 と対電極 2 3 との間に電圧が印加される。

20

【 0 0 3 3 】

ここで、樹脂絶縁体電着工程の一例を具体的に説明する。この工程で用いられる樹脂絶縁体電着塗料としては、固形分が 1 重量% ~ 2 5 重量% 程度の範囲のものが、電着性が良好となるため好ましい。また、電着液 2 1 の電導度は、 $100 \mu S / cm \sim 2000 \mu S / cm$ の範囲内であることが望ましい。また、電着塗料によって形成される樹脂絶縁体 5 の厚みは、電氣的絶縁性が確保される程度の厚みであれば十分である。樹脂絶縁体 5 の厚みは、具体的には、電着樹脂の種類により適宜選択されるが $0.1 \mu m \sim 50 \mu m$ の範囲内であることが好ましい。

30

【 0 0 3 4 】

電着樹脂としては、アニオン系樹脂とカチオン系樹脂があるが、本実施の形態では、どちらも用いることができる。カチオン系樹脂の方が、アニオン系樹脂よりも防錆性、均一電着性が高く、電着塗料の安定性、管理が容易であるため好ましい場合もある。ただし、誘電体層 3 が酸化物誘電体層の場合には、電着時に誘電体層 3 が還元処理され、誘電体層 3 の誘電率が低下することがある。このため、誘電体層 3 が酸化物誘電体層の場合には、電着樹脂としては、電着時に誘電体層 3 が酸化状態となるアニオン系樹脂が好ましい。

40

【 0 0 3 5 】

電着樹脂の骨格樹脂としては、一般に知られている樹脂を用いることができる。具体的には、電着樹脂の骨格樹脂としては、アクリル樹脂、エポキシ樹脂、フッ素樹脂、ウレタン樹脂、ポリブタジエン樹脂、ポリイミド樹脂の中から適宜選択することができる。あるいは、電着樹脂の骨格樹脂として、上記樹脂のうちの 2 種以上を併用してもよい。また、ポリアミック酸塩等のポリイミド前駆体樹脂を含む溶液を電着液 2 1 とし、電着によりポリアミック酸の電着物を形成し、その後、この電着物を、加熱脱水することによりポリイミド樹脂体とし、これを樹脂絶縁体 5 とすることも好ましい。

【 0 0 3 6 】

電着樹脂がカチオン系樹脂の場合には、電着樹脂イオンは陰極側に電気泳動して析出す

50

る。従って、この場合には、下部電極 2 を陰極とし、対電極 2 3 を陽極とする。電着樹脂がアニオン系樹脂の場合には、電着樹脂イオンは陽極側に電気泳動して析出する。従って、この場合には、下部電極 2 を陽極とし、対電極 2 3 を陰極とする。

【 0 0 3 7 】

電着液 2 1 は、電着樹脂イオンを電気泳動させ且つ電着樹脂を析出させるために、水中で電離が起き、誘電体層 3 側で析出するような官能基を含んでいる。この官能基としては、電着樹脂がカチオン系樹脂の場合にはアミノ基が一般的である。また、電着液 2 1 は、架橋剤や、架橋反応を促進するための触媒を含んでいてもよい。

【 0 0 3 8 】

電着工程では、電源 2 2 によって、下部電極 2 と対電極 2 3 との間に電圧が印加される。電着は、定電圧法で行うことが好ましい。電着工程において下部電極 2 と対電極 2 3 との間に印加する電圧（以下、印加電圧と言う。）は、2 V ~ 5 0 V の範囲内であることが好ましく、特に 3 V ~ 4 0 V の範囲内であることが好ましい。印加電圧が前記範囲の下限値以上であれば、密着強度の高い電着物を形成することができる。また、印加電圧が前記範囲の上限値以下であれば、電着時に誘電体層 3 が絶縁破壊することはない。印加電圧は、特に、キャパシタ 1 の定格電圧の 1 . 5 倍以上 2 0 倍以下であることが好ましく、2 倍以上 1 0 倍以下であることがより好ましい。印加電圧を、前記範囲内の電圧、すなわち定格電圧よりも高い電圧とすることにより、キャパシタ 1 の信頼性を向上させることができると同時に容量を確保することができる。すなわち、印加電圧をキャパシタ 1 の定格電圧の 1 . 5 倍以上として電着処理を行うことにより、誘電体層 3 において、印加電圧以下の電圧が印加されたときに絶縁破壊するような箇所を予め強制的に絶縁破壊すると共に、その箇所を直ちに、電着によって形成される樹脂絶縁体 5 によって補修することができる。これにより、確実に、キャパシタ 1 の定格電圧および長期信頼性を保証することができる。すなわち、誘電体層厚が薄いために均一膜を形成することが困難な薄膜キャパシタにおいては、従来は耐電圧向上のためには誘電体層を厚くすることが行われていた。しかし、耐電圧試験は破壊試験であることから、従来は、仕様の耐電圧を確実に保証する方法はなく、ばらつきを考慮しオーバースペックで製造することで耐電圧を保証するしかなかった。これに対して本実施の形態では、誘電体層 3 において耐電圧が弱く将来の耐電圧試験で破壊される部分を確実に且つ一括して補修することで、耐電圧を保証することが可能となる。

【 0 0 3 9 】

また、本実施の形態では、電着工程における電圧印加時間を 0 . 5 ~ 5 0 0 ミリ秒の範囲内とする。これについては、後で詳しく説明する。

【 0 0 4 0 】

電着工程の後に、電着樹脂体を熱処理し硬化させることで、樹脂絶縁体 5 の電気抵抗を大きくし且つ吸湿量を低下させて高信頼性とすることが好ましい。電着樹脂体に対する熱処理は、大気中、窒素等の不活性雰囲気中または真空中で、8 0 ~ 3 5 0 の温度で、1 0 分 ~ 1 2 0 分程度行うことが好ましい。

【 0 0 4 1 】

電着工程の後、図 1 に示したように、例えばスパッタ法によって、誘電体層 3 の上面 3 b および樹脂絶縁体 5 の上に上部電極 4 を形成して、キャパシタ 1 を完成させる。

【 0 0 4 2 】

このようにして、本実施の形態によれば、誘電体層 3 のうち、樹脂絶縁体 5 がない場合にはリーク電流が増加する部分や短絡不良となる部分に選択的に樹脂絶縁体 5 を配置することができる。その結果、本実施の形態によれば、誘電体層 3 のリーク電流の増加や短絡不良の発生を防止することができる。

【 0 0 4 3 】

前述のように、本実施の形態では、電着工程における電圧印加時間を 0 . 5 ~ 5 0 0 ミリ秒の範囲内とする。なお、以下、「ミリ秒」と「ms」と記す。0 . 5 ~ 5 0 0 ms という電圧印加時間は、一般的な電着処理における電圧印加時間である数秒ないし数分に比

10

20

30

40

50

べると、極めて短い時間である。以下、本実施の形態において、上述のような極めて短い電圧印加時間で電着を行うことの意味について詳しく説明する。

【0044】

まず、図8を参照して、本実施の形態における電着工程の代わりに、比較例の電着処理を行った場合に形成される電着物の状態について説明する。比較例の電着処理は、電圧印加時間を、一般的な電着処理における電圧印加時間である数秒ないし数分に設定して、定電圧法によって行うものである。比較例の電着処理によると、誘電体層3において、小さな欠陥31Aが存在する部分には小さな電着物51Aが形成され、大きな欠陥31Bが存在する部分には大きな電着物51Bが形成される。既に説明したように、大きな電着物51Bは種々の問題を引き起こす。また、比較例の電着処理によると、下部電極2の表面のうち誘電体層3によって覆われていない露出部分にも、電着物よりなる不要な樹脂絶縁体52が形成される。これを防ぐためには、電着処理の前に、露出部分に対して非導電材料を用いてマスキングを施さなければならない。

10

【0045】

0.5 ~ 500 ms の範囲内の電圧印加時間で電着処理を行った場合には、下部電極2の表面のうち誘電体層3によって覆われていない露出部分のような大きな面積の導電体表面には電着物が形成されないが、誘電体層3の欠陥31のような微小な開口部には、この開口部を塞ぐのに十分な電着物が形成される。この原因は、必ずしも明確ではないが、欠陥31のような微小な開口部では電着時に電着樹脂イオンが集中することが関係していると考えられる。

20

【0046】

ここで、図6および図7を参照して、上記の考察について詳しく説明する。図6は、上面2aが誘電体層3によって覆われていない下部電極2、すなわち大きな面積の導電体表面上に電着処理を行った場合における電着液21中の電着樹脂イオンの動きを概念的に表している。図7は、下部電極2上に、微小な開口部欠陥31を有する誘電体層3が形成された積層体を用いて電着処理を行った場合における電着液21中の電着樹脂イオンの動きを概念的に表している。図6および図7において、点は電着樹脂イオンを表し、矢印は電着樹脂イオンの動きを表している。電着液21中における電着樹脂イオンの移動速度は有限であるため、電着物の形成過程は、電着物の形成速度が電着樹脂イオンの移動速度によって支配される拡散律速状態になる。この拡散律速状態では、図6および図7に示したように、電着物が形成される対象の表面の近傍に存在する電着樹脂イオンのみが電着物の形成に寄与する。図6に示したように、大きな面積の導電体表面(上面2a)の近傍では、電着処理の際に電着樹脂イオンは導電体表面に向けて移動する。この場合、極めて短い電圧印加時間で電着処理を行うと、導電体表面における単位面積当たりの電着樹脂の析出量は極めて少なく、そのため、実質的に導電体表面には電着物は形成されないと考えられる。これに対し、図7に示したように、誘電体層3における微小な開口部である欠陥31の近傍では、欠陥31の近傍に存在する電着樹脂イオンが欠陥31に集中するように移動する。この場合、0.5 ~ 500 ms のように極めて短い電圧印加時間で電着処理を行っても、欠陥31の近傍における単位面積当たりの電着樹脂の析出量が多くなり、その結果、欠陥31を塞ぐのに十分な電着物が形成されると考えられる。また、電着樹脂が全く析出し

30

40

【0047】

従来は、1秒未満の電圧印加時間で電着処理を行うことは考えられていなかった。それは、従来、電着条件の検討は、全面が導電性であるダミー基板を用いて電着を行い、そのダミー基板に形成された電着物の厚みを測定し、その測定結果に基づいて行われていたためと考えられる。すなわち、このようなダミー基板を用いた場合、1秒未満の電圧印加時間で電着処理を行っても電着物が形成されないため、1秒未満の電圧印加時間は検討の対象外とされていたと考えられる。

50

【0048】

本実施の形態では、電着工程において、印加電圧を2～50Vの範囲内とし、電圧印加時間を0.5～500msの範囲内とする。このような条件の電着工程によれば、誘電体層3において、直径が概ね1～50μm程度の開口を有するピンホール状の欠陥や、周囲よりもリーク電流が多く流れる部分（以下、高リーク部と言う。）を覆うように、電着物よりなる樹脂絶縁体5を形成することができる。そして、本実施の形態では、このように樹脂絶縁体5を形成することによって、キャパシタ1において下部電極2と上部電極4との間に2Vの電圧を印加したときの誘電体層3のリーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下となるキャパシタ1を製造する。これにより、本実施の形態によれば、誘電体層3のリーク電流の増加や短絡不良の発生を防止できるようにしたキャパシタ1を製造すること可能になる。なお、下部電極2と上部電極4との間に2Vの電圧を印加したときの誘電体層3のリーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下という条件は、キャパシタ1が実用上十分に機能するための条件である。

10

【0049】

ただし、本実施の形態では、誘電体層3に、直径が500μmを超えるような極めて大きな開口欠陥が存在する場合、この欠陥の外周部には薄い電着物が形成されるが、欠陥を塞ぐほどの電着物は形成されない。すなわち、本実施の形態では、誘電体層3に、直径が500μmを超えるような極めて大きな欠陥が存在していた場合、この欠陥は、短絡不良の原因となるが補修はされない。しかし、このような極めて大きな欠陥が誘電体層3に生じることが稀であるため、本実施の形態によれば、キャパシタ1の歩留まりが100%にはならないものの、100%に近いものとすることができる。

20

【0050】

また、本実施の形態では、電着工程において、電圧印加時間を0.5～500msの範囲内とすることから、既に説明したような種々の問題を引き起こす大きな電着物は形成されない。従って、本実施の形態によれば、大きな電着物が形成されることによってキャパシタ1の歩留まりが低下したりキャパシタ1の容量が低下したりすることを防止することができる。

【0051】

また、本実施の形態では、下部電極2の表面には、誘電体層3によって覆われていない露出部分が存在しても問題とならない。本実施の形態における電着工程では、上記露出部分に実質的に、樹脂絶縁体5を構成する材料よりなる電着物が形成されないようにする。図6および図7を参照した説明から分かるように、本実施の形態によれば、電着工程において、上記露出部分には実質的に電着物を形成させずに、誘電体層3における欠陥31を塞ぐように電着物を形成することが可能である。なお、露出部分に実質的に、樹脂絶縁体5を構成する材料よりなる電着物が形成されないというのは、電着工程後、倍率を100倍とした光学顕微鏡で露出部分を観察したときに、その大部分、すなわち95%以上の面積部分、において電着物を確認できないことを言う。すなわち、露出部分のエッジ部等に僅かに電着物が確認される場合も、実質的に電着物が形成されない状態に含まれる。

30

【0052】

電着工程において大きな電着物が形成されることなく、また、下部電極2の表面における露出部分に電着物が形成されることなく、製造されたキャパシタ1において下部電極2と上部電極4との間に2Vの電圧を印加したときの誘電体層3のリーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下となるように樹脂絶縁体5を形成することは、電着工程における印加電圧と電圧印加時間をそれぞれ2～50Vの範囲内と0.5～500msの範囲内で適宜設定することによって実現することができる。

40

【0053】

また、本実施の形態では、電着工程において、下部電極2の表面における露出部分には実質的に電着物が形成されないように樹脂絶縁体5を形成することができることから、電着工程の前に、露出部分に対して非導電材料を用いてマスキングを施す必要がない。これにより、本実施の形態によれば、工程数の増加とマスキング作業のミスによる歩留まりの

50

低下を防止することができる。

【 0 0 5 4 】

以上説明したように、本実施の形態によれば、リーク電流の増加や、短絡不良の発生や、容量の低下を防止できるようにしたキャパシタ 1 を、高い歩留まりで製造することが可能になる。

【 0 0 5 5 】

なお、電着工程における最適な電圧印加時間は、電着液 2 1 の種類、濃度や、印加電圧により変化する。印加電圧が高いほど、電圧印加時間が短くても誘電体層 3 のリーク電流の増加や短絡不良の発生を十分に防止できる樹脂絶縁体 5 を形成することが可能となるが、電圧印加時間を長くしたときに大きな電着物が形成されやすくなると共に下部電極 2 の表面における露出部分に電着物が形成されやすくなる。

10

【 0 0 5 6 】

ところで、誘電体層 3 における高リーク部としては、周囲に比べて電気抵抗値が小さいことによって周囲よりもリーク電流が多く流れる部分の他に、金属多結晶体よりなる箔によって構成された下部電極 2 に起因してリーク電流が多く流れる部分が存在する。以下、このような下部電極 2 に起因する高リーク部について説明する。

【 0 0 5 7 】

下部電極 2 の上面 2 a に現れた粒界 1 0 のうちの少なくとも一部の近傍では、リーク電流が多く流れる。下部電極 2 を構成する金属多結晶体は、金属元素の他に不純物を含んでおり、この金属多結晶体では、粒界 1 0 において結晶粒内に比べて不純物の濃度が高くなる粒界偏析が生じている。更に、粒界偏析によって不純物が偏析している領域のうち、特に下部電極 2 の上面 2 a の近傍に存在する領域 1 1 がリーク電流の増加の原因となる。領域 1 1 がリーク電流の増加の原因となる理由は、以下のように考えられる。まず、領域 1 1 では、主に不純物の酸化物よりなる微小な絶縁部が形成されている。下部電極 2 の上面 2 a の近傍において絶縁部（領域 1 1）が存在していると、上面 2 a が物理的に平坦であるにも関わらず、下部電極 2 の主相である金属よりなる部分だけを見ると、その上面に微小な凹部が存在する。下部電極 2 と上部電極 4 との間に電圧を印加したとき、上記凹部のエッジ部分では、凹部の周辺部分に比べて電流が集中しやすい。そのため、誘電体層 3 のうち、上記凹部の近傍でリーク電流が大きくなる。

20

【 0 0 5 8 】

本実施の形態では、電着工程において、誘電体層 3 のうち電流が流れる部分上に選択的に樹脂絶縁体 5 が形成される。従って、本実施の形態によれば、誘電体層 3 における欠陥 3 1 や、誘電体層 3 のうち周囲に比べて電気抵抗値が小さいことによって周囲よりもリーク電流が多く流れる高リーク部の他に、上述のような金属多結晶体よりなる箔によって構成された下部電極 2 に起因してリーク電流が多く流れる高リーク部についても、これを覆うように樹脂絶縁体 5 を形成することができる。

30

【 0 0 5 9 】

図 5 は、誘電体層 3 の上面 3 b の上方から見たときの樹脂絶縁体 5 を示す説明図である。図 5 において、塗り潰された部分が樹脂絶縁体 5 を表わしている。また、図 5 において、線部分は、わずかに樹脂絶縁体 5 が形成された部分、または誘電体層 3 を通して見えている下部電極 2 の上面 2 a に現れた粒界を表している。上述の下部電極 2 に起因してリーク電流が多く流れる高リーク部を覆う樹脂絶縁体 5 は、誘電体層 3 の上面 3 b の上方から見たときに、下部電極 2 の上面 2 a に現れた粒界 1 0 のうちの少なくとも一部に沿って且つこれを覆うように形成されている。

40

【 0 0 6 0 】

次に、本実施の形態の効果を確認した実験結果について説明する。この実験では、以下の手順により、多数のキャパシタの試料を作製した。まず、厚みが 40 μm の電析ニッケル箔を、窒素雰囲気中で 1000 で熱処理を施した後に、パフ研磨を行って表面を平坦化した。そして、このニッケル箔を下部電極 2 とした。次に、有機酸塩熱分解法 (Metal Organic Decomposition; 以下、MOD 法と記す。) を用いて、下部電極 2 の上面 2 a の

50

上に、ペロブスカイト型酸化物であるチタン酸バリウムよりなる500nmの厚みの誘電体層3を形成した。以下、MOD法によって形成された層をMOD層と言う。誘電体層3は、具体的には以下のようにして形成した。すなわち、スプレーコート法により、約100nmの1層のMOD層を形成し、このMOD層に大気中で400の温度でホットプレート上での熱処理を行うことを5回繰り返した後に、900、還元雰囲気中で急速加熱熱処理を行って、高誘電率のペロブスカイト型酸化物誘電体層3を形成した。次に、電着樹脂としてノボラック系アニオン系電着レジスト(ロームアンドハース社製PEPR2400)を用いて、電着工程によって、樹脂絶縁体5となる樹脂電着物を形成した。次に、樹脂電着物形成後の積層体は、超純水洗浄した後、100の温度で仮乾燥した。次に、この積層体に対して、窒素雰囲気中で260の温度で熱処理を施し、樹脂電着物を熱硬化させて樹脂絶縁体5を形成した。次に、スパッタ法により誘電体層3の上面3bおよび樹脂絶縁体5の上に、スパッタ法によって5μmの厚みの第1の銅層を形成した後、電気めっき法によって第1の銅層の上に25μmの厚みの第2の銅層を形成し、第1の銅層および第2の銅層よりなる30μmの厚みの上部電極4を形成してキャパシタ1を完成させた。

10

【0061】

実験では、電着工程における印加電圧と電圧印加時間の組み合わせが異なる多数の試料を作製した。実験で用いた印加電圧は、2V、4V、8V、12V、16V、32V、50Vの7種類である。また、実験で用いた電圧印加時間は、0.1ms、0.5ms、1ms、10ms、100ms、500ms、1000ms、10000msの8種類である。

20

【0062】

実験では、各試料について、光学顕微鏡を用いて、樹脂絶縁体5と、下部電極2の表面における露出部分に形成され不要な樹脂絶縁体52の有無を調べた。その結果を下記の表1に示す。なお、表1において、記号“ ”は、不要な樹脂絶縁体52が実質的に形成されることなく、良好な樹脂絶縁体5が形成されていることを表す。また、表1において、記号“x”は、樹脂絶縁体5が形成されていないことを表す。また、表1において、記号“ ”は、樹脂絶縁体5および不要な樹脂絶縁体52が形成されていることを表す。

【0063】

【表1】

30

| 印加電圧(V) | 電圧印加時間(ms) | | | | | | | |
|---------|------------|-----|---|----|-----|-----|------|-------|
| | 0.1 | 0.5 | 1 | 10 | 100 | 500 | 1000 | 10000 |
| 2 | × | × | × | × | × | ○ | ○ | △ |
| 4 | × | × | × | × | ○ | ○ | ○ | △ |
| 8 | × | × | × | ○ | ○ | ○ | ○ | △ |
| 12 | × | × | × | ○ | ○ | ○ | ○ | △ |
| 16 | × | × | ○ | ○ | ○ | ○ | △ | △ |
| 32 | × | × | ○ | ○ | ○ | ○ | △ | △ |
| 50 | × | ○ | ○ | ○ | ○ | △ | △ | △ |

40

【0064】

また、実験では、各試料について、下部電極2と上部電極4の間に2Vの電圧を印加して、短絡の発生率(以下、短絡率と記す。)(%)を調べた。その結果を下記の表2に示す。

【0065】

50

【表 2】

| 印加 電圧 (V) | 電圧印加時間 (ms) | | | | | | | |
|--------------|-------------|-----|----|----|-----|-----|------|-------|
| | 0.1 | 0.5 | 1 | 10 | 100 | 500 | 1000 | 10000 |
| 2 | 65 | 60 | 70 | 70 | 55 | 8 | 25 | 35 |
| 4 | 70 | 55 | 65 | 50 | 8 | 5 | 30 | 35 |
| 8 | 60 | 70 | 50 | 5 | 2 | 5 | 25 | 30 |
| 12 | 65 | 65 | 55 | 7 | 1 | 6 | 30 | 30 |
| 16 | 70 | 55 | 9 | 2 | 1 | 6 | 35 | 40 |
| 32 | 65 | 50 | 6 | 3 | 2 | 7 | 30 | 35 |
| 50 | 55 | 11 | 3 | 9 | 11 | 13 | 45 | 45 |

10

【0066】

また、実験では、各試料の容量 ($\mu\text{F}/\text{cm}^2$) を測定した、その結果を下記の表 3 に示す。

【0067】

20

【表 3】

| 印加 電圧 (V) | 電圧印加時間 (ms) | | | | | | | |
|--------------|-------------|-----|-----|-----|-----|-----|------|-------|
| | 0.1 | 0.5 | 1 | 10 | 100 | 500 | 1000 | 10000 |
| 2 | 4.2 | 4.1 | 4.2 | 4.3 | 4.3 | 4.4 | 3.5 | 3.1 |
| 4 | 4.1 | 4.5 | 4.4 | 4.2 | 4.3 | 4.3 | 3.1 | 3.0 |
| 8 | 4.2 | 4.3 | 4.5 | 4.4 | 4.5 | 4.4 | 2.7 | 2.7 |
| 12 | 4.4 | 4.2 | 4.1 | 4.3 | 4.1 | 4.4 | 2.2 | 2.1 |
| 16 | 4.2 | 4.4 | 4.3 | 4.4 | 4.2 | 4.1 | 2.3 | 1.8 |
| 32 | 4.1 | 4.3 | 4.2 | 4.2 | 4.4 | 4.2 | 2.2 | 1.9 |
| 50 | 4.3 | 4.2 | 4.3 | 4.1 | 4.3 | 3.8 | 3.2 | 1.3 |

30

【0068】

また、実験では、各試料について、下部電極 2 と上部電極 4 の間に 2 V の電圧を印加して、リーク電流 ($\times 10^{-6} \text{A}/\text{cm}^2$) を調べた。その結果を下記の表 4 に示す。

【0069】

40

【表 4】

| 印加 電圧 (V) | 電圧印加時間 (ms) | | | | | | | |
|--------------|-------------|-----|------|------|------|------|------|-------|
| | 0.1 | 0.5 | 1 | 10 | 100 | 500 | 1000 | 10000 |
| 2 | 12 | 9 | 11 | 13 | 12 | 0.8 | 0.5 | 0.2 |
| 4 | 11 | 11 | 12 | 11 | 0.09 | 0.06 | 0.04 | 0.1 |
| 8 | 10 | 10 | 11 | 0.08 | 0.07 | 0.05 | 0.09 | 0.1 |
| 12 | 13 | 9 | 11 | 0.07 | 0.05 | 0.06 | 0.09 | 0.5 |
| 16 | 12 | 11 | 0.5 | 0.09 | 0.05 | 0.09 | 0.9 | 1 |
| 32 | 11 | 9 | 0.3 | 0.05 | 0.04 | 0.1 | 0.8 | 2 |
| 50 | 12 | 0.9 | 0.08 | 0.03 | 0.2 | 1 | 2 | 2 |

10

【0070】

なお、実験では、電着時の印加電圧以下の電圧で絶縁破壊する試料はなかった。すなわち、例えば、4 V で電着処理した試料は全数が耐電圧 4 V 以上あり、16 V で電着処理した試料は全数が耐電圧 16 V 以上あった。

20

【0071】

以上の実験の結果から、電着工程における印加電圧と電圧印加時間をそれぞれ 2 ~ 50 V の範囲内と 0.5 ~ 500 ms の範囲内で適宜設定することによって、下部電極 2 の表面における露出部分に不要な樹脂絶縁体 5 2 が実質的に形成されず、短絡率が十分小さく、容量が十分大きく、リーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下となるキャパシタ 1 を製造することが可能であることが分かる。

【0072】

また、表 4 から分かるように、電圧印加時間が 1 ms 以上の場合には、リーク電流を $0.1 \times 10^{-6} \text{ A/cm}^2$ 以下とすることが可能である。また、表 1 から分かるように、電圧印加時間が 100 ms 以下の場合には、不要な樹脂絶縁体 5 2 が形成されることをより確実に防止することができる。従って、電圧印加時間は、1 ~ 100 ms の範囲内であることがより好ましい。

30

【0073】

また、表 1 ないし表 4 から分かるように、下部電極 2 の表面における露出部分に樹脂絶縁体 5 2 が形成されず、短絡率が十分小さく、容量が十分大きく、誘電体層 3 のリーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ 以下となるキャパシタ 1 を、より確実に実現するには、電着工程における印加電圧の範囲と電圧印加時間の範囲の組み合わせとしては、特に、以下の (1) ~ (5) の組み合わせが好ましい。

(1) 印加電圧が 4 ~ 32 V の範囲内で、電圧印加時間が 100 ~ 500 ms の範囲内。

(2) 印加電圧が 8 ~ 32 V の範囲内で、電圧印加時間が 10 ~ 500 ms の範囲内。

(3) 印加電圧が 8 ~ 50 V の範囲内で、電圧印加時間が 10 ~ 100 ms の範囲内。

(4) 印加電圧が 16 ~ 32 V の範囲内で、電圧印加時間が 1 ~ 500 ms の範囲内。

(5) 印加電圧が 16 ~ 50 V の範囲内で、電圧印加時間が 1 ~ 100 ms の範囲内。

40

【0074】

なお、本発明は、上記実施の形態に限定されず、種々の変更が可能である。例えば、本発明の製造方法によって製造されるキャパシタは、上部電極 4 の上面 4 b の上に、新たな誘電体層と電極が、交互に合計で 2 層以上積層された構成であってもよい。これにより、電極と誘電体層とが交互に、合計で 5 層以上積層されて構成されたキャパシタを実現することができる。この場合には、各誘電体層を形成した後、その上に電極を形成する前に樹脂絶縁体 5 を形成する。

50

【0075】

また、本発明の製造方法によって製造されるキャパシタは、単体の素子であってもよいし、キャパシタ以外の素子も含むデバイスの一部であってもよい。

【0076】

例えば、本発明の製造方法によって製造されるキャパシタは、公知のビルドアップ配線板の製造方法を利用して、高密度実装基板に内蔵することが可能である。本発明の製造方法によって製造されるキャパシタを内蔵した高密度実装基板は、例えば、CPUとマザーボードの間に配置されるインターポーザや、パッケージ基板として用いられる。

【0077】

図9は、本発明の製造方法によって製造されるキャパシタ1を内蔵した高密度実装基板の一例として、CPU101とマザーボード102の間に配置されるインターポーザ100の概略の構成を示している。このインターポーザ100は、本発明の製造方法によって製造されるキャパシタ1を構成する下部電極2、誘電体層3、上部電極4および樹脂絶縁体5を含んでいる。

10

【図面の簡単な説明】

【0078】

【図1】本発明の一実施の形態におけるキャパシタの断面図である。

【図2】本発明の一実施の形態に係るキャパシタの製造方法における一工程を示す断面図である。

【図3】図2に示した工程に続く工程を示す断面図である。

20

【図4】図3に示した工程で用いる電着処理装置を示す説明図である。

【図5】本発明の一実施の形態におけるキャパシタにおいて誘電体層の上面の上方から見たときの樹脂絶縁体を示す説明図である。

【図6】上面が誘電体層によって覆われていない下部電極を用いて電着処理を行った場合における電着樹脂イオンの動きを示す説明図である。

【図7】下部電極上に、欠陥を有する誘電体層が形成された積層体を用いて電着処理を行った場合における電着樹脂イオンの動きを示す説明図である。

【図8】比較例の電着処理を行った場合に形成される電着物の状態を示す断面図である。

【図9】本発明の製造方法によって製造されるキャパシタを内蔵した高密度実装基板の一例を示す断面図である。

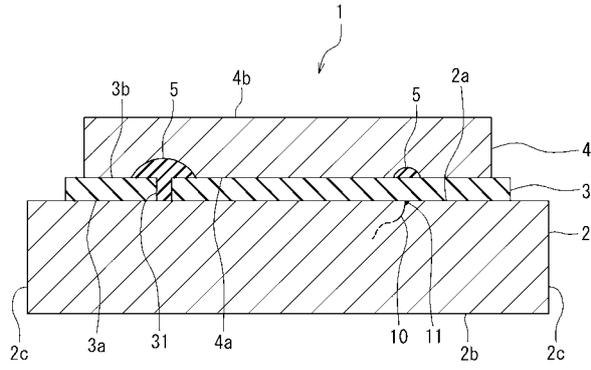
30

【符号の説明】

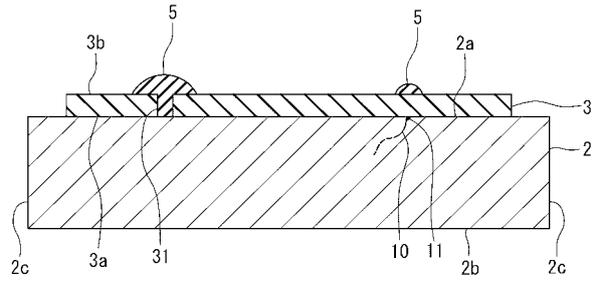
【0079】

1 ... キャパシタ、 2 ... 下部電極、 3 ... 誘電体層、 4 ... 上部電極、 5 ... 樹脂絶縁体、 10 ... 粒界、 31 ... 欠陥。

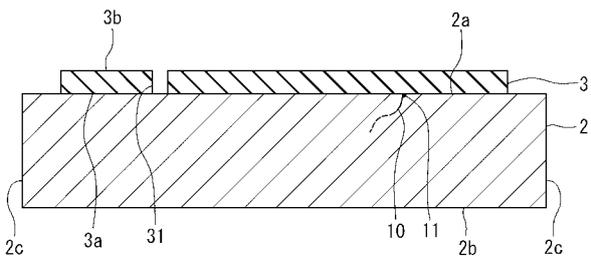
【図1】



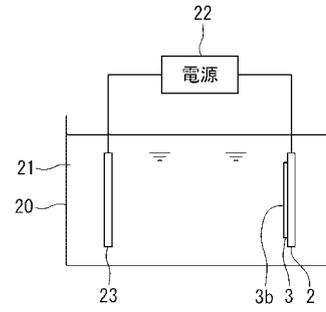
【図3】



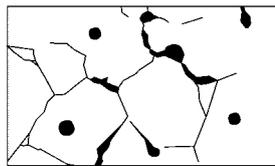
【図2】



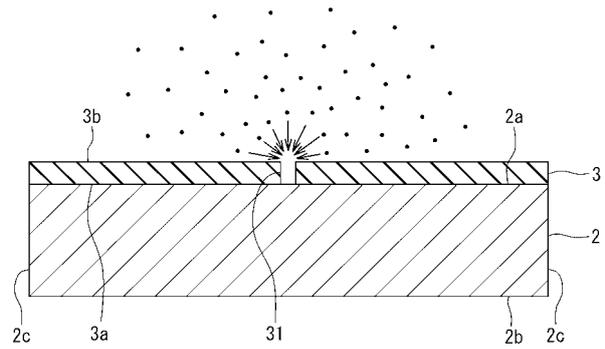
【図4】



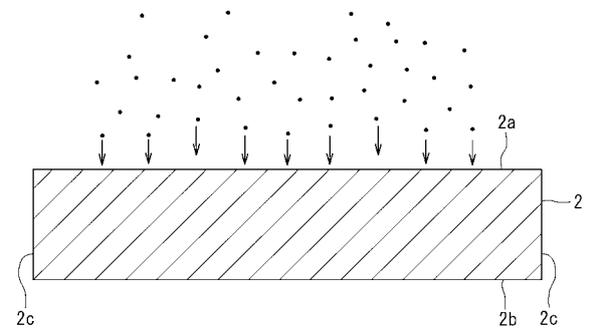
【図5】



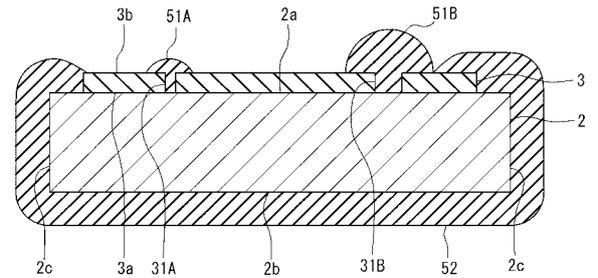
【図7】



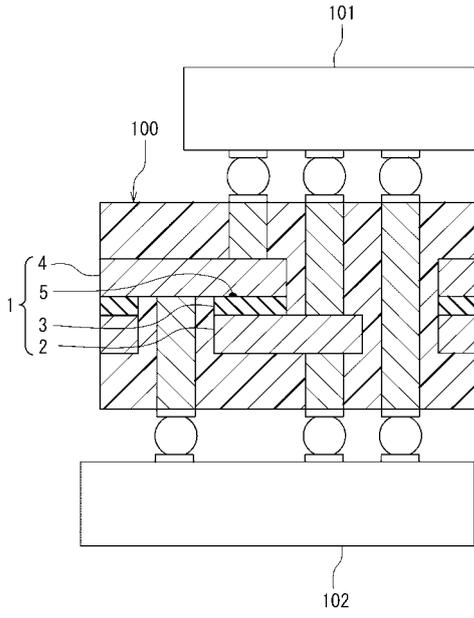
【図6】



【図8】



【図 9】



フロントページの続き

- (56)参考文献 特開2002-185148(JP,A)
特開2004-045394(JP,A)
特開2003-011270(JP,A)
特開平10-321463(JP,A)
特開平03-230510(JP,A)
国際公開第2004/040604(WO,A1)
特開2002-110468(JP,A)
特開2007-189199(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01G 4/00 - 4/22
4/255 - 4/40
13/00 - 17/00