

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4158922号
(P4158922)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月25日(2008.7.25)

(51) Int.Cl. F I
G 1 1 C 29/04 (2006.01) G 1 1 C 29/00 6 0 3 K
H O 1 L 21/82 (2006.01) H O 1 L 21/82 R

請求項の数 10 (全 14 頁)

<p>(21) 出願番号 特願2004-367038 (P2004-367038)</p> <p>(22) 出願日 平成16年12月20日(2004.12.20)</p> <p>(65) 公開番号 特開2006-172335 (P2006-172335A)</p> <p>(43) 公開日 平成18年6月29日(2006.6.29)</p> <p>審査請求日 平成19年10月29日(2007.10.29)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード</p> <p>(74) 代理人 100086243 弁理士 坂口 博</p> <p>(74) 代理人 100091568 弁理士 市位 嘉宏</p> <p>(74) 代理人 100108501 弁理士 上野 剛史</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 マイクロコンピュータ

(57) 【特許請求の範囲】

【請求項1】

単体のチップとして構成されたマイクロコンピュータにおいて、
予備のメモリ素子を備えて冗長性を持たせた複数のメモリと、
前記複数のメモリにおけるメモリ素子の切り替えを制御するためのコンフィギュレーション情報を格納したフューズ・セルと、
個々のメモリに対応させて設けられ、前記フューズ・セルから当該メモリに対する前記コンフィギュレーション情報を受信して保持するシフトレジスタと、
前記マイクロコンピュータのチップ上に形成され独立の電源から電力を供給されて動作する複数のモジュールに対して個別に設けられ、前記シフトレジスタの動作を制御する制御回路とを備え、
前記シフトレジスタは、
前記コンフィギュレーション情報のデータを受信し他のシフトレジスタに転送するためのシフト部と、
前記シフト部に入力されるデータを保持するラッチ部とを備え、
前記制御回路の各々が、対応する前記モジュールにおける電源のオン・オフに応じて、当該モジュールにおける前記シフトレジスタの前記シフト部に入力されたデータを前記ラッチ部に保持させるか否かを制御することを特徴とするマイクロコンピュータ。

【請求項2】

前記制御回路は、前記フューズ・セルから前記コンフィギュレーション情報が送信され

た後、前記シフト部に入力されるデータを前記ラッチ部に取り込まないように、前記シフトレジスタを制御することを特徴とする請求項 1 に記載のマイクロコンピュータ。

【請求項 3】

前記フューズ・セルを含むモジュールは、前記コンフィギュレーション情報の送信が終了した後、送信終了を示すコンプリート信号を前記制御回路に送信し、

前記制御回路は、前記コンプリート信号を受信した場合に、前記シフト部に入力されるデータを前記ラッチ部に取り込まないように、前記シフトレジスタを制御することを特徴とする請求項 1 に記載のマイクロコンピュータ。

【請求項 4】

前記制御回路は、対応する前記モジュールにおける電源のオン・オフに伴い出力されるリセット信号を受信した場合に、シフト部に入力されるデータがラッチ部に取り込み可能となるように、前記シフトレジスタを制御することを特徴とする請求項 1 に記載のマイクロコンピュータ。

10

【請求項 5】

前記複数のメモリに対応する複数の前記シフトレジスタは、連鎖的に接続されて、前記フューズ・セルから送信される前記コンフィギュレーション情報を伝播させるスキランチェーンを構成することを特徴とする請求項 1 に記載のマイクロコンピュータ。

【請求項 6】

独立の電源から電力を供給されて動作する複数のモジュールを備えたマイクロコンピュータにおいて、

20

前記複数のモジュールに設けられ、予備のメモリ素子を備えて冗長性を持たせたメモリと、

前記メモリにおけるメモリ素子の切り替えを制御するためのコンフィギュレーション情報を格納したフューズ・セルと、

前記フューズ・セルに格納されている前記コンフィギュレーション情報を前記複数のモジュールの前記メモリに伝播させるためのスキランチェーンと、

前記複数のモジュールにそれぞれ設けられ、前記スキランチェーンにより伝播される前記コンフィギュレーション情報を保持する情報保持手段とを備え、

前記フューズ・セルは、個々の前記モジュールにおけるリセット動作に応じて前記コンフィギュレーション情報を前記スキランチェーンに送出し、

30

リセット動作を行った特定のモジュールの前記情報保持手段は、前記リセット動作に応じて送出された前記コンフィギュレーション情報を入力して保持し、

他の前記モジュールの前記情報保持手段は、前記特定のモジュールのリセット動作に応じて送出された前記コンフィギュレーション情報を保持せず、それ以前に保持していたコンフィギュレーション情報をそのまま保持することを特徴とするマイクロコンピュータ。

【請求項 7】

前記情報保持手段は、

前記スキランチェーンを構成するシフトレジスタに入力されたデータを保持する記憶手段と、

対応する前記モジュールの動作状態に応じて、前記シフトレジスタに入力されたデータを取り込むか否かを制御する制御手段とを備えることを特徴とする請求項 6 に記載のマイクロコンピュータ。

40

【請求項 8】

前記制御手段は、前記フューズ・セルから前記コンフィギュレーション情報が送信された後、前記シフトレジスタに入力されるデータを前記記憶手段に取り込まず、それ以前に保持していたデータをそのまま保持するように制御することを特徴とする請求項 7 に記載のマイクロコンピュータ。

【請求項 9】

前記制御手段は、対応する前記モジュールがリセット動作を行った場合に、その後前記シフトレジスタに入力されるデータを前記記憶手段に取り込んで記憶内容を書き換える

50

ように、当該記憶手段を制御することを特徴とする請求項 7 に記載のマイクロコンピュータ。

【請求項 10】

前記記憶手段は、前記フューズ・セルから出力されるスキヤクロックにしたがって、前記シフトレジスタに入力されたデータを取り込むフリップフロップ回路であり、

前記制御手段は、前記フリップフロップ回路に入力されるスキヤクロックを打ち消す信号を当該フリップフロップ回路に送信する回路であることを特徴とする請求項 7 に記載のマイクロコンピュータ。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、単体のチップとして構成され、独立の電源から電力を供給されて動作する複数のモジュールを備えたマイクロコンピュータに関し、特にそのメモリ制御に関する。

【背景技術】

【0002】

L S I の集積度の向上に伴って、シリコン上にシステムを構成するチップ、いわゆる S o C (System on Chip) と呼ばれる L S I が実現されている。S o C では、チップ内部にメモリを搭載するケースが多く、搭載されるメモリの記憶容量は、年々増大している。メモリの記憶容量の増大に伴い、チップの歩留まりを向上させるため、メモリに冗長性を持たせることが行われている (例えば、特許文献 1 参照)。そして、S o C の製造時に、搭載されたメモリ素子に故障が発見された場合、このメモリ素子を予備のメモリ素子 (冗長ビット) と置き換える。メモリ素子の置き換えは、チップ内部に埋め込まれた、フューズ (Fuse) をレーザー等で焼ききることで実現される。

20

【0003】

S o C では、汎用のメモリとは異なり、多種多様なメモリが組み込まれるのが一般的である。このため、1つのメモリに1個のフューズという構成をとると、フューズの個数が増え、チップに占めるフューズの割合が非常に大きくなってしまいうため経済的ではない。そこで従来、1個のフューズ・セルにチップ内部の全てのメモリの冗長性のための情報 (コンフィギュレーション情報) を格納しておき、このコンフィギュレーション情報を各メモリに伝播させてメモリの構成 (Configuration: 予備のメモリ素子との置き換え制御) を実現する構成が取られる。また、一般的にデータの圧縮効率はデータ量が大きくなればなるほど顕著になるため、フューズデータ (コンフィギュレーション情報) を別々のフューズに格納するよりも、1つのセルにまとめたほうが、データ圧縮効率を上げることができる。

30

【0004】

図 8 は、従来の S o C の構成を概略的に示した図である。

図 8 に示す例では、チップ内部の全てのメモリ (モジュール 810 のデータキャッシュ 812 とプログラムキャッシュ 813 およびモジュール 820 のデータキャッシュ 822 およびプログラムキャッシュ 823) は、単一のフューズ・セル 801 の制御により、メモリ素子を予備のメモリ素子に切り替えることができる。図 8 において、フューズ・セル 801 に格納されるデータ (コンフィギュレーション情報) は、データ量を減少させるために圧縮されている。S o C 800 に電源が投入されると、パワーオン・リセットによりフューズ・セル 801 から圧縮データが出力され、解凍器 (Decompression) 802 で解凍される。

40

【0005】

一方、図 8 の S o C において、D R A M (Dynamic Random Access Memory) 803 を含む各メモリには、図 9 に示すようなシフトレジスタ (フリップフロップ回路) が設けられている。そして、各メモリのシフトレジスタを連鎖的に接続させてスキヤチェーンが構成されている。そして、解凍器 802 で解凍されたデータ (コンフィギュレーション情報) は、このスキヤチェーンにより D R A M 803 およびモジュール 810、820 の各

50

メモリに伝播される。

【 0 0 0 6 】

ところで、S o Cとして実現された、特定の用途のために設計・製造されるA S I C (Application Specific Integrated Circuit)では、消費電力を低減させるため、ボルテージ・アイランドと呼ばれる省電力設計が行われる場合がある(例えば、非特許文献1参照)。ボルテージ・アイランドでは、A S I C内の回路を複数のモジュールに分割し、電源を分割された個々のモジュールごとに独立してオン・オフ切り替え可能とする。そして、使用されていないモジュールの電源を切る(オフ)ことにより、このモジュールのリーク電流を完全になくすることができる。この技術を用いると、例えば携帯電話において、待ち受け時に、この待ち受けにおいて必要なモジュールのみに電力を供給し、必要のない大部分の回路の電源をオフにすることができるため、A S I Cのリーク電流を最小限に抑え、バッテリーの持続時間を大幅に向上させることができる。

10

【 0 0 0 7 】

図8に示したS o Cにおいて、モジュール810、モジュール820がそれぞれボルテージ・アイランドの適用のために分割された回路のモジュールである。モジュール810には電源V D D 1から、モジュール820には電源V D D 2から、それぞれ独立に電力が供給されている(実際には、S o C全体に共通の電源V D Dから独立のスイッチを介して各モジュール810、820に電力を供給することにより、独立の電源V D D 1、V D D 2が実現される)。そのため、電源V D D 1、V D D 2の一方をオフにすることにより、モジュール810、820の一方を停止させ、他方のみを動作させることができる。

20

【 0 0 0 8 】

【特許文献1】特開平7-320495号公報

【非特許文献1】“デザインシステム ボルテージ・アイランド”、[online]、日本IBM、[2004年11月8日検索]、インターネット<http://www-6.ibm.com/jp/chips/asics/products/v_island.html>

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上述したように、S o Cでは、メモリに冗長性を持たせる構成や、また省電力設計であるボルテージ・アイランドが実現されている。しかし、冗長性を持たせたメモリを、ボルテージ・アイランドを持つS o Cに搭載する場合、以下のような問題がある。

30

【 0 0 1 0 】

まず、S o C全体の電源が投入(オン)されたとき、全てのメモリは、初期状態で冗長回路に対する情報を持っていない。このため、パワーオン・リセットにより、フューズ・解凍器モジュール(図8のフューズ・セル801および解凍器802)を初期化する。この結果、フューズ・セル801に格納されているデータが、解凍器802で解凍され、スキャンチェーンで各メモリに伝播される。転送が終了した時点で、図10に示すように、メモリの構成(Configuration)が完了し、C P U (Central Processing Unit)等がメモリにアクセスできる状態となる。

【 0 0 1 1 】

電源が投入(オン)された後、しばらくして、モジュール820の機能が必要なくなったとする。すると、消費電力を軽減するため、モジュール820の電源V D D 2がオフとなる。このとき、モジュール820では電力の供給が断たれるため、図11に示すように、モジュール820に含まれるメモリ(データキャッシュ822およびプログラムキャッシュ823)のコンフィギュレーション情報は消滅する。

40

【 0 0 1 2 】

その後、再び、モジュール820を使用するアプリケーションが実行されたため、モジュール820の電源V D D 2がオンになったとする。しかし、モジュール820のメモリのコンフィギュレーション情報は失われているため、メモリを使用するためには、フューズ・解凍器モジュールを改めて初期化し、モジュール820のメモリに対するコンフィギ

50

ュレーション情報をスキャンチェーンで伝播させなければならない。

【0013】

しかし、このスキャンチェーンによるコンフィギュレーション情報の伝播が行われると、モジュール810のメモリ(データキャッシュ812およびプログラムキャッシュ813)のコンフィギュレーション情報も同時に書き換えられることとなる。そのため、スキャンチェーンによるコンフィギュレーション情報の転送が終了するまで、一時的に、モジュール810においてもCPU811によるメモリ(DRAM803を含む)へのアクセスができなくなる。

【0014】

これを回避する手段として、フューズ・解凍器モジュールをドメインごとに持つ方法が考えられる。ドメイン(モジュール)ごとにフューズ・解凍器モジュールがあれば、コンフィギュレーション情報の伝播の影響はそのドメイン以外のモジュールには及ばない。したがって、上記のようにモジュール820の電源がオンになった際にモジュール810の動作が妨げられることはなくなる。しかし、このような構成とすると、チップ上に非常に大きな面積を占めるフューズ・解凍器モジュールを複数個設けることとなり、かつフューズ・セルの分散により、フューズ・セルが保持するデータの圧縮の効果が薄れてしまうため、チップ面積を増大させてしまう。

【0015】

そこで本発明は、ドメイン(モジュール)ごとにフューズ・セルを設けることなく、ボルテージ・アイランドにおいて所定のモジュールの電源投入時に他のモジュールにおけるメモリアクセスができなくなることを回避する手段を提供することを目的とする。

【課題を解決するための手段】

【0016】

上記の目的を達成する本発明は、単体のチップとして構成された、次のようなマイクロコンピュータとして実現される。このマイクロコンピュータは、予備のメモリ素子を備えて冗長性を持たせた複数のメモリと、この複数のメモリにおけるメモリ素子の切り替えを制御するためのコンフィギュレーション情報を格納したフューズ・セルと、個々のメモリに対応させて設けられ、フューズ・セルからメモリに対するコンフィギュレーション情報を受信して保持するシフトレジスタと、このシフトレジスタの動作を制御する制御回路とを備える。そして、シフトレジスタは、コンフィギュレーション情報のデータを受信し他のシフトレジスタに転送するためのシフト部と、このシフト部に入力されるデータを保持するラッチ部とを備える。制御回路は、シフトレジスタのシフト部に入力されたデータをラッチ部に保持させるか否かを制御する。

【0017】

より詳細には、この制御回路は、マイクロコンピュータのチップ上に形成され独立の電源から電力を供給されて動作する複数のモジュールに対して個別に設けられる。そして、対応するモジュールにおける電源のオン・オフに応じて、モジュールにおけるシフトレジスタのシフト部に入力されたデータをラッチ部に保持させるか否かを制御する。さらに具体的には、フューズ・セルを含むモジュールは、コンフィギュレーション情報の送信が終了した後、送信終了を示すコンプリート信号を制御回路に送信する。そして、制御回路は、コンプリート信号を受信した場合に、シフト部に入力されるデータをラッチ部に取り込まないように、シフトレジスタを制御する。また、制御回路は、対応するモジュールにおける電源のオン・オフに伴い出力されるリセット信号を受信した場合に、シフト部に入力されるデータがラッチ部に取り込み可能となるように、シフトレジスタを制御する。

【0018】

さらに、上記の目的を達成する他の本発明は、独立の電源から電力を供給されて動作する複数のモジュールを備えた、次のようなマイクロコンピュータとしても実現される。このマイクロコンピュータは、複数のモジュールに設けられ、予備のメモリ素子を備えて冗長性を持たせたメモリと、このメモリにおけるメモリ素子の切り替えを制御するためのコンフィギュレーション情報を格納したフューズ・セルと、このフューズ・セルに格納され

10

20

30

40

50

ているコンフィギュレーション情報を複数のモジュールのメモリに伝播させるためのスキランチェーンと、複数のモジュールにそれぞれ設けられ、スキランチェーンにより伝播されるコンフィギュレーション情報を保持する情報保持手段とを備える。そして、フューズ・セルは、個々のモジュールにおけるリセット動作に応じてコンフィギュレーション情報をスキランチェーンに送出する。これに対して、リセット動作を行った特定のモジュールの情報保持手段は、リセット動作に応じて送出されたコンフィギュレーション情報を入力して保持する。一方、他のモジュールの情報保持手段は、特定のモジュールのリセット動作に応じて送出されたコンフィギュレーション情報を保持せず、それ以前に保持していたコンフィギュレーション情報をそのまま保持することを特徴とする。

【発明の効果】

10

【0019】

以上のように構成された本発明によれば、電源がオフからオンに切り換えられてリセット動作が行われたモジュールでは、フューズ・セルから出力されてスキランチェーンにより伝播されるコンフィギュレーション情報がシフトレジスタのラッチ部（記憶手段）に取り込まれてメモリの構成（Configuration）が行われるのに対し、リセット動作が行われなかったモジュールでは、コンフィギュレーション情報がシフトレジスタのラッチ部に取り込まれることなく、シフト部を通過する。したがって、リセット動作が行われなかったモジュールでは、コンフィギュレーション情報の書き換えがなされないため、メモリへのアクセス動作が妨げられることがなくなる。

【発明を実施するための最良の形態】

20

【0020】

以下、添付図面を参照して、本発明を実施するための最良の形態（以下、実施形態）について詳細に説明する。

本実施形態では、SoC上の各メモリにコンフィギュレーション情報を伝播させるためのスキランチェーンを、シフト部とラッチ部とを備えた新たな構成のシフトレジスタ（フリップフロップ回路）にて構成する。また、このシフトレジスタの動作を制御するための制御回路をボルテージ・アイランドが適用されたSoC上の各ドメイン（モジュール）に設ける。かかる構成により、所定のモジュールで電源がオフからオンに切り替えられた際に、そのモジュールでのみ（すなわち他のモジュールに影響を及ぼすことなく）メモリのコンフィギュレーション情報の書き込みが行われるような制御を実現する。

30

【0021】

図1は、本実施形態で用いられるシフトレジスタの回路構成を示す図である。

図1に示すシフトレジスタ10は、シフト部11とラッチ部12とを備える。このシフトレジスタ10は、SoC上の各メモリに設けられ、メモリ素子の切り替え制御を行うためのコンフィギュレーション情報を伝播するために用いられる。

【0022】

シフト部11は、図9に示した従来のシフトレジスタと同一の構成を有するフリップフロップ回路である。このシフト部11は、スキャンクロック（Scan clk）に同期して、データ（コンフィギュレーション情報）をスキャンイン（Scan in）から入力し、スキャンアウト（Scan out）から出力して、順次後方のシフトレジスタ10へシフトしていく。

40

【0023】

ラッチ部12は、シフト部11に入力されたデータを入力して保持するフリップフロップ回路である。また、ラッチ部12は、後述するイネーブル信号（Enable）によりシフト部11からのデータ入力を制御される。本実施形態では、イネーブル信号とスキャンクロックとがAND回路13を介してラッチ部12に入力されているので、イネーブル信号の値が「1」であるときには、スキャンクロックにしたがってシフト部11に入力されたデータがラッチ部12にも入力される。一方、イネーブル信号の値が「0」のときは、ラッチ部12にはスキャンクロックが入力されないため、シフト部11に入力されたデータはラッチ部12に入力されない。このため、イネーブル信号の値が「0」となっていれば、所定のデータがスキランチェーンを伝播しても、その所定のデータはシフト部11を通過

50

するだけであり、ラッチ部 1 2 にはそれ以前のデータが保持されることとなる。

【 0 0 2 4 】

図 2 は、上述したシフトレジスタ 1 0 にイネーブル信号を供給してシフトレジスタ 1 0 の動作を制御する制御回路の回路構成を示す図である。

図 2 に示す制御回路 2 0 は、コンプリート信号 (Comp) の入力によりセットされ、リセット信号 (Power on Reset または Domain Reset) の入力によりリセットされるフリップフロップ回路を有する。そして、コンプリート信号がアクティブとなったときに出力であるイネーブル信号の値が「 0 」となり、リセット信号が入力されたときにイネーブル信号の値が「 1 」となる。この制御回路 2 0 は、S o C 上に設けられたボルテージ・アイランドによるドメイン (モジュール) ごとに設けられる。

10

【 0 0 2 5 】

コンプリート信号は、メモリの構成 (Configuration) に用いられるコンフィギュレーション情報の転送が終了した後に S o C のフューズ・解凍器モジュールから出力される。また、制御回路 2 0 が入力するリセット信号は、S o C 全体のパワーオン・リセット (Power on Reset) またはその制御回路 2 0 が存在するドメインの個別のパワーオン・リセット (Domain Reset) である。

【 0 0 2 6 】

図 3 は、本実施形態のシフトレジスタ 1 0 および制御回路 2 0 の動作を説明するフローチャートである。

図 3 を参照すると、S o C 1 0 0 の電源が投入されたとき、または個々のドメインがリセットされたときに (ステップ 3 0 1)、制御回路 2 0 はそのリセット信号に応じて、イネーブル信号を「 1 」にする (ステップ 3 0 2)。そして、各メモリのシフトレジスタ 1 0 のシフト部 1 1 が、スキャンクロックに同期してコンフィギュレーション情報をシフトしていく (ステップ 3 0 3)。このとき、各シフトレジスタ 1 0 のラッチ部 1 2 は、シフト部 1 1 に入力されたデータを取り込んでいく。コンフィギュレーション情報の送信が終了すると、解凍器 1 0 2 からコンプリート信号が出力される (ステップ 3 0 4)。これに応じて、制御回路 2 0 はイネーブル信号を「 0 」にする (ステップ 3 0 5)。

20

【 0 0 2 7 】

図 4 は、上述したシフトレジスタ 1 0 および制御回路 2 0 を備えた S o C の構成例を示す図である。

30

図 4 に示す S o C 1 0 0 は、フューズ・セル 1 0 1、解凍器 1 0 2、D R A M 1 0 3 と、2 つのモジュール 1 1 0、1 2 0 を備える。D R A M 1 0 3 には、S o C 1 0 0 全体の電源 V D D から直接電力が供給されており、モジュール 1 1 0、1 2 0 には、独立の電源 V D D 1、V D D 2 から電力が供給されている。

【 0 0 2 8 】

図 4 において、モジュール 1 1 0 は、C P U 1 1 1 と、メモリとしてデータキャッシュ 1 1 2 およびプログラムキャッシュ 1 1 3 と、制御回路 2 0 - 1 (制御回路 2 0 に添え字 1 を付記) とを備える。また、データキャッシュ 1 1 2 およびプログラムキャッシュ 1 1 3 にはそれぞれシフトレジスタ 1 0 が設けられており、このシフトレジスタ 1 0 は制御回路 2 0 - 1 により制御される。モジュール 1 2 0 は、D S P (Digital Signal Processor) 1 2 1 と、メモリとしてデータキャッシュ 1 2 2 およびプログラムキャッシュ 1 2 3 と、制御回路 2 0 - 2 (制御回路 2 0 に添え字 2 を付記) とを備える。また、データキャッシュ 1 2 2 およびプログラムキャッシュ 1 2 3 にはそれぞれシフトレジスタ 1 0 が設けられており、このシフトレジスタ 1 0 は制御回路 2 0 - 2 により制御される。さらに、D R A M 1 0 3 にもシフトレジスタ 1 0 が設けられており、このシフトレジスタ 1 0 は独立の制御回路 2 0 - 0 (制御回路 2 0 に添え字 0 を付記) により制御される。

40

【 0 0 2 9 】

上記の各メモリに設けられたシフトレジスタ 1 0 は、連鎖的に接続されてスキャンチェーンを構成している。したがって、図中、矢印で示したように、フューズ・セル 1 0 1 から送出されたデータ (各メモリのコンフィギュレーション情報) は、解凍器 1 0 2 で解凍

50

された後、DRAM 103、モジュール110のデータキャッシュ112、プログラムキャッシュ113、次いでモジュール120のプログラムキャッシュ123、データキャッシュ122と、順に伝播されていく。

【0030】

解凍器102は、フューズ・セル101に格納されたデータを全て送出した時点でコンプリート信号(Comp)を出力する。このコンプリート信号は、制御回路20-0、20-1、20-2に供給される。各制御回路20-0、20-1、20-2は、このコンプリート信号を受信すると、シフトレジスタ10を制御するイネーブル信号を「0」にする。

【0031】

また、SoC100には、SoC100全体の電源VDDがオンとなった際に、これを検知してリセット信号(Power on Reset)を出力するリセット信号出力回路(POR)104が設けられている。一方、モジュール110には、モジュール110単体で電源VDD1がオフからオンに切り替えられた際に、これを検知してリセット信号(Domain Reset)を出力するリセット信号出力回路(POR)114が設けられている。同様に、モジュール120には、モジュール120単体で電源VDD2がオフからオンに切り替えられた際に、これを検知してリセット信号(Domain Reset)を出力するリセット信号出力回路(POR)124が設けられている。

【0032】

フューズ・セル101および解凍器102からなるフューズ・解凍器モジュールは、これらのPOR104、114、124のいずれかからリセット信号が出力されると、これを受信して、コンフィギュレーション情報を送出する。制御回路20-0は、POR104から出力されたりセット信号を受信し、これに応じてシフトレジスタ10を制御するイネーブル信号を「1」にする。制御回路20-1は、POR104から出力されたりセット信号とモジュール110のPOR114から出力されたりセット信号のいずれかが受信されると、これに応じてシフトレジスタ10を制御するイネーブル信号を「1」にする。同様に、制御回路20-2は、POR104から出力されたりセット信号とモジュール120のPOR124から出力されたりセット信号のいずれかが受信されると、これに応じてシフトレジスタ10を制御するイネーブル信号を「1」にする。

【0033】

すなわち、本実施形態のSoC100では、全体の電源VDDがオンになったときだけでなく、個々のモジュール110、120において電源VDD1、VDD2がオフからオンに切り替えられたときにもコンフィギュレーション情報が送される。そして、モジュール110では、全体の電源VDDがオンになったときと、モジュール110の電源VDD1がオフからオンに切り替わったときと、スキランチェーンにより伝播されるコンフィギュレーション情報がシフトレジスタ10のラッチ部12に取り込まれる。同様に、モジュール120では、全体の電源VDDがオンになったときと、モジュール120の電源VDD2がオフからオンに切り替わったときと、スキランチェーンにより伝播されるコンフィギュレーション情報がシフトレジスタ10のラッチ部12に取り込まれる。

【0034】

言い換えれば、モジュール110では、モジュール110以外のモジュールが独立にリセットされた場合(図4の例ではモジュール120の電源VDD2がオフからオンに切り替わりリセット信号が出力された場合)は、スキランチェーンにより伝播されるコンフィギュレーション情報は、シフトレジスタ10のシフト部11を通過するのみであり、ラッチ部12には取り込まれない。同様に、モジュール120では、モジュール120以外のモジュールが独立にリセットされた場合(図4の例ではモジュール110の電源VDD1がオフからオンに切り替わりリセット信号が出力された場合)は、スキランチェーンにより伝播されるコンフィギュレーション情報は、シフトレジスタ10のシフト部11を通過するのみであり、ラッチ部12には取り込まれない。

【0035】

このように本実施形態では、シフトレジスタ10のラッチ部12と制御回路20とで情

10

20

30

40

50

報保持手段として機能し、シフトレジスタ10のシフト部11はコンフィギュレーション情報を伝播するための情報転送手段として動作する。以下、図5乃至図7を参照して、本実施形態のSoC100の具体的な動作を説明する。

【0036】

まず、SoC100全体の電源VDDが投入(オン)されたとき、POR104からリセット信号が出力されて、フューズ・解凍器モジュール(図4のフューズ・セル101および解凍器102)を初期化する。そして、フューズ・セル101に格納されているデータが、解凍器102で解凍され、スキャンチェーンで各メモリ(DRAM103、モジュール110のデータキャッシュ112およびプログラムキャッシュ113、モジュール120のデータキャッシュ122およびプログラムキャッシュ123)に伝播される。また、POR104から出力されたりセット信号は、制御回路20-0、モジュール110の制御回路20-1およびモジュール120の制御回路20-2に入力される。そして、このリセット信号を入力した制御回路20-0、20-1、20-2は、イネーブル信号を「1」にする。これにより、各メモリのシフトレジスタ10は、シフト部11に入力されたデータをラッチ部12に保持できることとなる。

10

【0037】

コンフィギュレーション情報の送信が終了した時点で、SoC100上の各メモリのシフトレジスタ10は、各々自身のコンフィギュレーション情報をラッチ部12に保持する。これにより、図5に示すように、メモリの構成(Configuration)が完了し、各モジュール110、120においてCPU111およびDSP121がメモリにアクセスできる状態となる。なお、図ではコンフィギュレーション情報をシフトレジスタのラッチ部12に保持してメモリの構成(Configuration)が完了した状態を「Configured」と記載している。

20

【0038】

また、コンフィギュレーション情報の送信終了に伴い、解凍器102からコンプリート信号が出力され、制御回路20-0、20-1、20-2に送信される。そして、このコンプリート信号を受信した制御回路20-0、20-1、20-2は、イネーブル信号を「0」にする。これにより、各メモリのシフトレジスタ10は、これ以後シフト部11に入力されたデータをラッチ部12に取り込まなくなる。

【0039】

電源が投入(オン)された後、しばらくして、モジュール120の機能がなくなるとする。すると、消費電力を軽減するため、モジュール120の電源VDD2がオフとなる。このとき、モジュール120では電力の供給が断たれるため、図6に示すように、モジュール120のデータキャッシュ122およびプログラムキャッシュ123のコンフィギュレーション情報は消滅する。なお、図ではコンフィギュレーション情報が消失した状態を「Unknown」と記載している。

30

【0040】

その後、再び、モジュール120を使用するアプリケーションが実行されたため、モジュール120の電源VDD2がオンになったとする。しかし、モジュール120におけるデータキャッシュ122およびプログラムキャッシュ123のコンフィギュレーション情報は失われているため、メモリを使用するためには、改めて、モジュール120のメモリに対するコンフィギュレーション情報をスキャンチェーンで伝播させる必要がある。

40

【0041】

そこで、モジュール120では、電源VDD2がオンになった際に、POR124からリセット信号が出力される。このリセット信号により、フューズ・解凍器モジュールが初期化され、コンフィギュレーション情報の送出行われる。一方、このリセット信号は、モジュール120の制御回路20-2に受信され、制御回路20-2のイネーブル信号を「1」にする。これによりモジュール120におけるデータキャッシュ122およびプログラムキャッシュ123のシフトレジスタ10は、シフト部11に入力されたデータをラッチ部12に保持できることとなる。

50

【 0 0 4 2 】

この状態で、コンフィギュレーション情報の送信が終了すると、モジュール 1 2 0 では、データキャッシュ 1 2 2 およびプログラムキャッシュ 1 2 3 のシフトレジスタ 1 0 が、シフト部 1 1 に入力された自身のコンフィギュレーション情報をラッチ部 1 2 に保持し、図 7 に示すように、メモリの構成 (Configuration) が完了する。

【 0 0 4 3 】

一方、DRAM 1 0 3 やモジュール 1 1 0 のデータキャッシュ 1 1 2 およびプログラムキャッシュ 1 1 3 では、制御回路 2 0 - 0、2 0 - 1 のイネーブル信号が「0」のままなので、シフトレジスタ 1 0 のシフト部 1 1 に何らかのデータが入力されても、そのデータはラッチ部 1 2 に取り込まれない。したがって、今回送信されたコンフィギュレーション情報は、シフト部 1 1 を通過するのみであり、ラッチ部 1 2 に保持されたデータは書き換えられてしまうことがない。そのため、モジュール 1 2 0 の電源 VDD2 がオンとなつてからコンフィギュレーション情報が伝播されてモジュール 1 2 0 のデータキャッシュ 1 2 2 およびプログラムキャッシュ 1 2 3 の構成 (Configuration) が完了するまでの間、モジュール 1 1 0 の CPU 1 1 1 は、通常通り、データキャッシュ 1 1 2 やプログラムキャッシュ 1 1 3、DRAM 1 0 3 へのアクセスが可能となる。

10

【 0 0 4 4 】

以上、本実施形態について説明したが、実際の SoC の回路構成は、図 4 に示した回路構成に限定されるものではなく、シフトレジスタ 1 0 および制御回路 2 0 の構成についても、図 1、図 2 に示した構成に限定されるものではない。これらの具体的な回路構成は、本発明の技術的思想の範囲内で適宜の構成を取り得るものであることは言うまでもない。

20

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 本実施形態で用いられるシフトレジスタの回路構成を示す図である。

【 図 2 】 本実施形態で用いられる制御回路の回路構成を示す図である。

【 図 3 】 本実施形態のシフトレジスタおよび制御回路の動作を説明するフローチャートである。

【 図 4 】 本実施形態のシフトレジスタおよび制御回路を備えた SoC の構成例を示す図である。

【 図 5 】 図 4 の SoC において、各メモリの構成 (Configuration) が完了した状態を示す図である。

30

【 図 6 】 図 5 の SoC において、特定のモジュールの電源がオフとなった場合のメモリの状態を示す図である。

【 図 7 】 図 6 の SoC において、特定のモジュールの電源が再びオンとなった場合のメモリの状態を示す図である。

【 図 8 】 従来の SoC の構成を示す図である。

【 図 9 】 従来の SoC のメモリに設けられるシフトレジスタの回路構成を示す図である。

【 図 10 】 図 8 の SoC において、各メモリの構成 (Configuration) が完了した状態を示す図である。

【 図 11 】 図 10 の SoC において、特定のモジュールの電源がオフとなった場合のメモリの状態を示す図である。

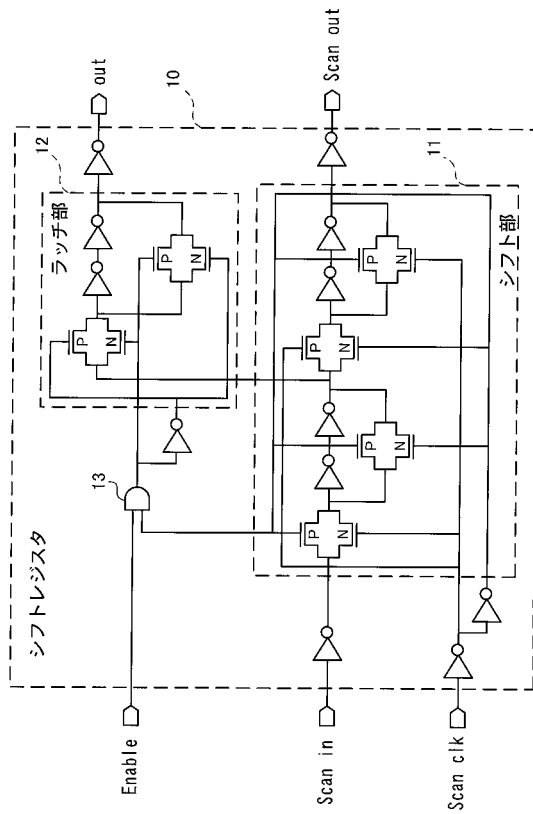
40

【 符号の説明 】

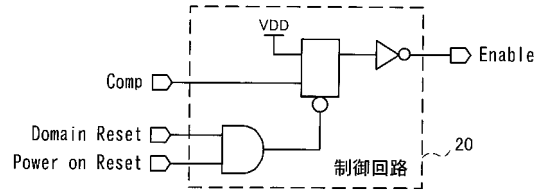
【 0 0 4 6 】

1 0 ... シフトレジスタ、1 1 ... シフト部、1 2 ... ラッチ部、2 0 ... 制御回路、1 0 0 ... SoC、1 0 1 ... フューズ・セル、1 0 2 ... 解凍器、1 0 3 ... DRAM、1 0 4、1 1 4、1 2 4 ... リセット信号出力回路 (POR)、1 1 0、1 2 0 ... モジュール、1 1 2、1 2 2 ... データキャッシュ、1 1 3、1 2 3 ... プログラムキャッシュ、VDD、VDD1、VDD2 ... 電源

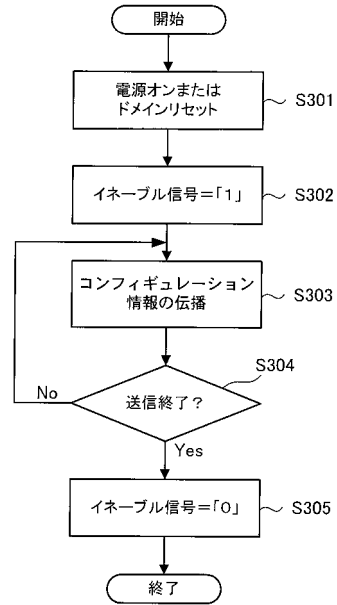
【図1】



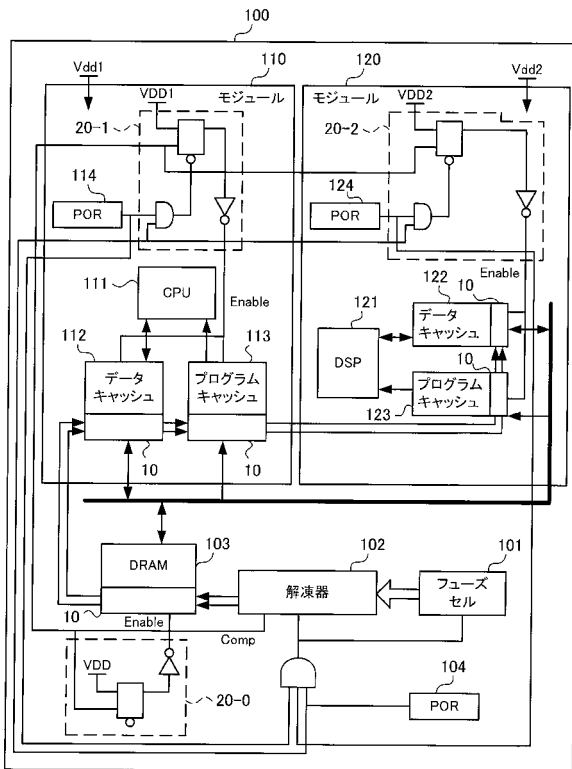
【図2】



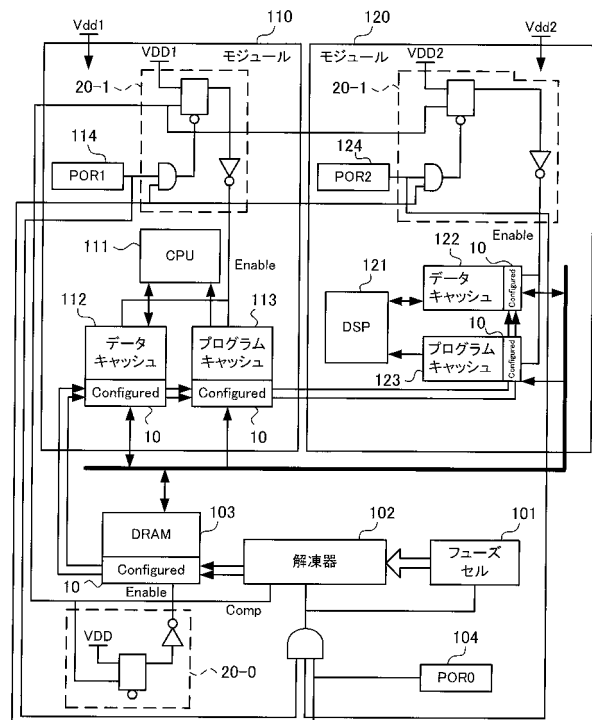
【図3】



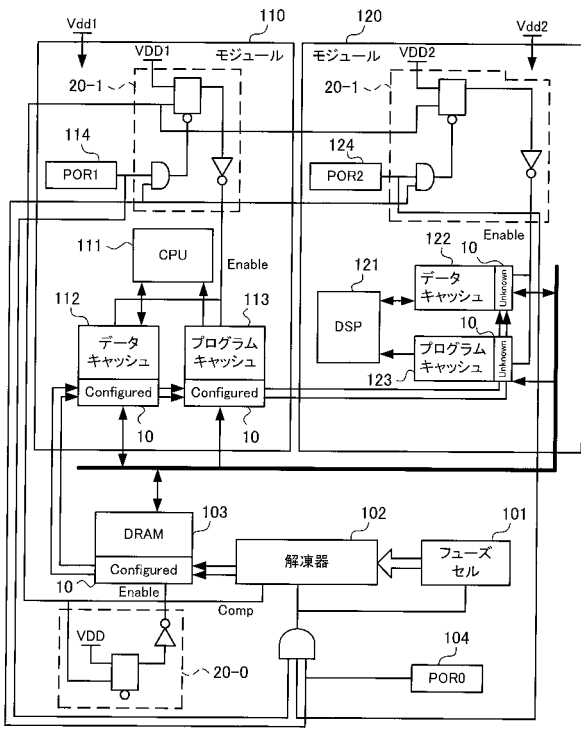
【図4】



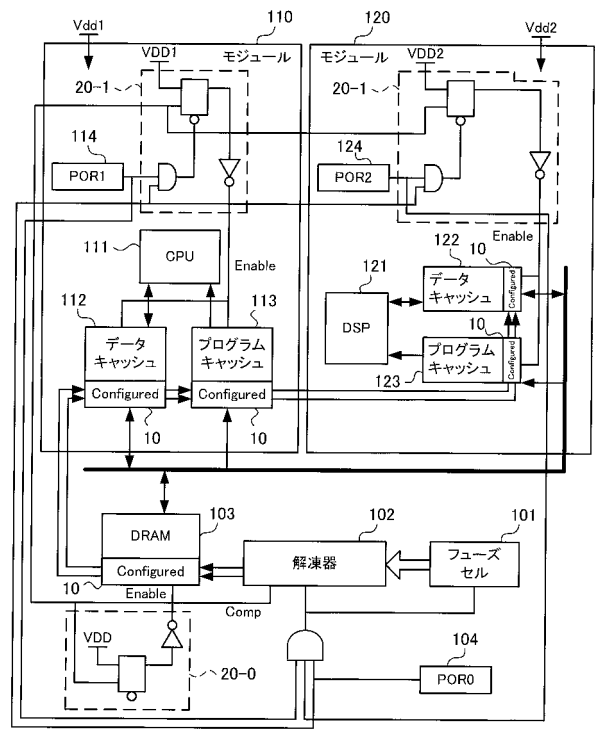
【図5】



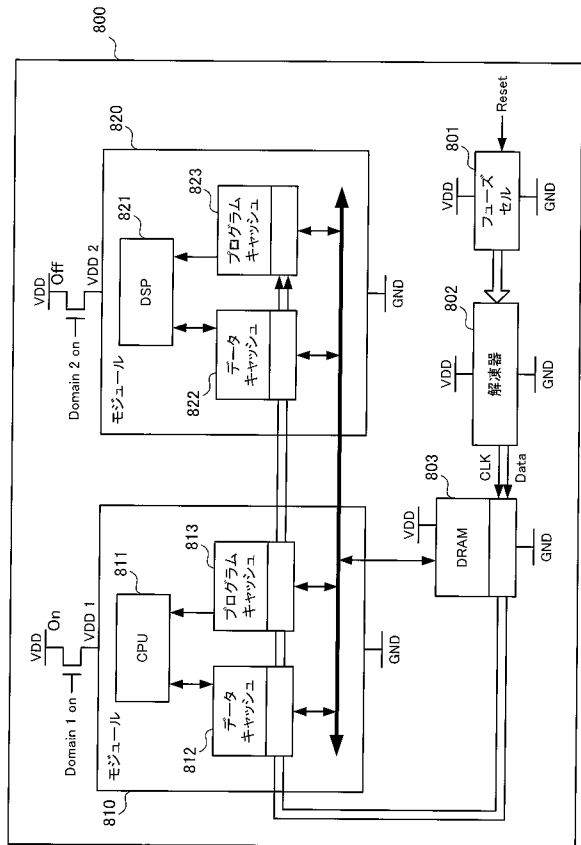
【図 6】



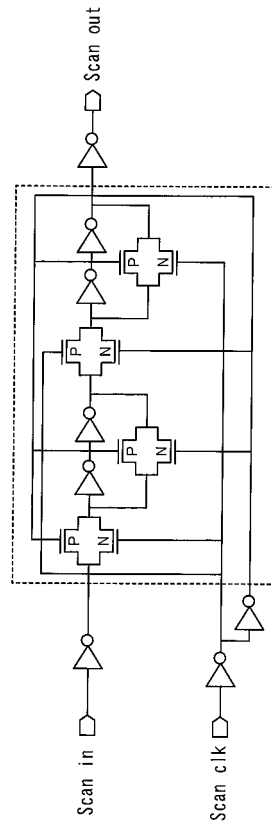
【図 7】



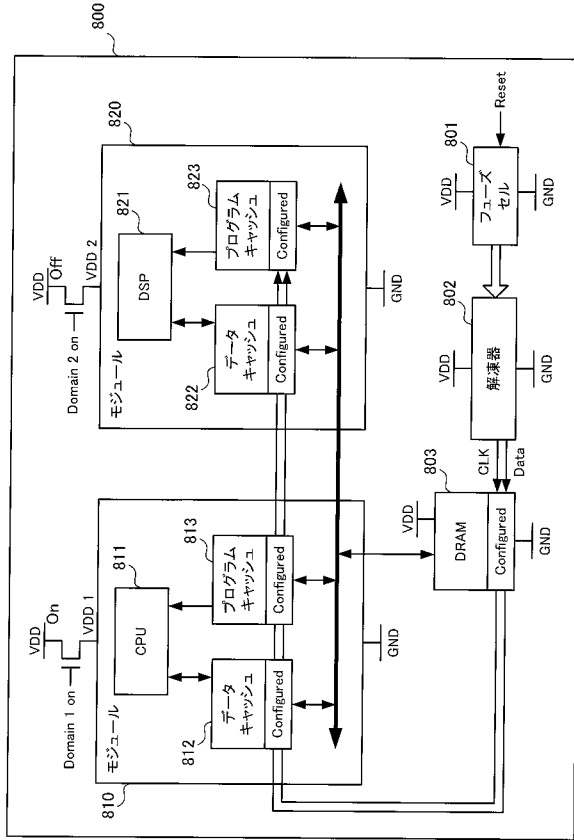
【図 8】



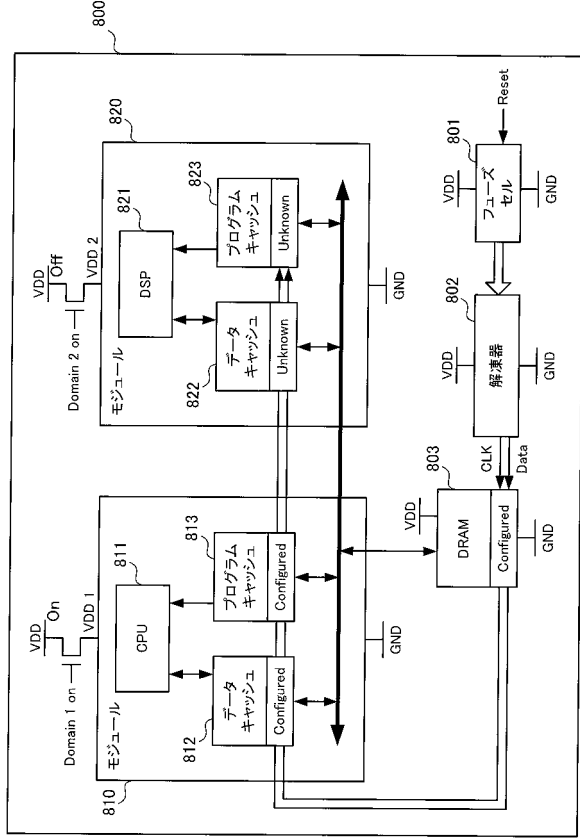
【図 9】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

- (72)発明者 谷口 政義
神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 大和事業所内
- (72)発明者 間嶋 勇
神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 大和事業所内
- (72)発明者 宇佐見 淳
神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 大和事業所内

審査官 堀江 義隆

- (56)参考文献 特開2003-109395(JP,A)
特開平04-026999(JP,A)
特開2002-261599(JP,A)
特開2004-133970(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| G11C | 29/04 |
| H01L | 21/82 |