

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3863124号  
(P3863124)

(45) 発行日 平成18年12月27日(2006.12.27)

(24) 登録日 平成18年10月6日(2006.10.6)

(51) Int. Cl.		F I		
<b>G 1 1 C</b>	<b>29/12</b>	<b>(2006.01)</b>	G 1 1 C	29/00 6 7 3 Z
<b>G 1 1 C</b>	<b>16/02</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 O 1 Z
<b>G 1 1 C</b>	<b>16/06</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 3 3 A

請求項の数 20 (全 28 頁)

(21) 出願番号	特願2003-130322 (P2003-130322)	(73) 特許権者	000003078
(22) 出願日	平成15年5月8日(2003.5.8)		株式会社東芝
(65) 公開番号	特開2004-334987 (P2004-334987A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年11月25日(2004.11.25)	(74) 代理人	100075812
審査請求日	平成15年8月20日(2003.8.20)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100107582
			弁理士 関根 毅

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びそのテスト方法

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み出し部と、

指定されたブロックアドレスに基づいてアクセスされるべきロウデコーダがアクセスされ、且つ、指定されたブロックアドレスに基づいてアクセスされるべきロウデコーダ以外のロウデコーダがアクセスされたかどうかを判定する判定回路と、

を備えることを特徴とする半導体記憶装置。

【請求項2】

前記判定回路は、各ブロックに対応して設けられた複数のテスト結果判定回路により構成されており、各テスト結果判定回路は、アクセス情報読み出し部で読み出したアクセス情報と、指定されたブロックアドレスに基づいて定まるアクセス情報についての理論上の期待値である期待アクセス情報とを比較し、両者が一致したかどうかを示すテスト結果信号を出力する、ことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記アクセス情報保持部のそれぞれに保持されたアクセス情報は、リセット信号により

10

20

一括してリセット可能であることを特徴とする請求項 1 又は請求項 2 に記載の半導体記憶装置。

【請求項 4】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応する  
ロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持  
部を有する、ロウデコーダと、  
前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み  
出し部と、  
を備え、  
 前記アクセス情報保持部は、1 回だけアクセスされたという情報をアクセス情報として保持できることを特徴とする半導体記憶装置。

10

【請求項 5】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応する  
ロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持  
部を有する、ロウデコーダと、  
前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み  
出し部と、  
を備え、  
 前記アクセス情報保持部は、1 回もアクセスされていない第 1 状態と、1 回だけアクセスされたという第 2 状態と、2 回以上アクセスされたという第 3 状態とを、アクセス情報として保持することを特徴とする半導体記憶装置。

20

【請求項 6】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応する  
ロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持  
部を有する、ロウデコーダと、  
前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み  
出し部と、  
を備え、  
 前記アクセス情報保持部は、リセット状態から 1 回アクセスされるとセット状態に移行し、セット状態からもう 1 回アクセスされると 2 回目のリセット状態に移行するが、2 回目のリセット状態でもう 1 回アクセスされたとしてもセット状態には移行しないラッチ回路を備えることを特徴とする半導体記憶装置。

30

【請求項 7】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応する  
ロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持  
部を有する、ロウデコーダと、  
前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み  
出し部と、  
 すべてのロウデコーダのアクセス情報保持部から前記アクセス情報を読み出して、2 以上のブロックに対応するロウデコーダがアクセスされているかどうかを判定する判定回路と、  
を備えることを特徴とする半導体記憶装置。

40

【請求項 8】

前記判定回路は、  
 アクセスされたブロック数に比例した第 1 電流を生成する、第 1 電流生成回路と、  
 1 つのブロックがアクセスされた場合に流れる電流と、2 つのブロックがアクセスされ

50

た場合に流れる電流との間の電流を第2電流として生成する、第2電流生成回路と、  
前記第1電流と前記第2電流とを比較する、比較回路と、  
を備えることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】

前記比較回路は、前記第1電流の方が前記第2電流よりも小さい場合に、テストパスのテスト結果信号を出力し、前記第1電流の方が前記第2電流よりも大きい場合に、テストフェイルのテスト結果信号を出力する、ことを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】

すべてのロウデコーダの前記アクセス情報保持部からアクセス情報を読み出して、アクセスされていないブロックがあるかどうかを判断する、ことを特徴とする請求項9に記載の半導体記憶装置。

10

【請求項11】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

を有する半導体記憶装置のテスト方法であって、  
ブロックアドレスを指定して、対応するブロックアドレスのロウデコーダにアクセスするステップと、

20

すべての前記アクセス情報保持部からアクセス情報を読み出すステップと、  
読み出したアクセス情報にもとづいて、アクセスされたロウデコーダが、指定されたブロックアドレスのみであるかどうかを判断するステップと、

すべてのブロックアドレスを指定したかどうかを判断し、すべてのブロックアドレスを指定していない場合には、新たなブロックアドレスを指定して、前記ロウデコーダにアクセスするステップからを繰り返す、ステップと、

を備えることを特徴とする半導体記憶装置のテスト方法。

【請求項12】

アクセスされたロウデコーダが、指定されたブロックアドレスのみであるかどうかを判断するステップは、

30

アクセス情報保持部から読み出したアクセス情報と、指定されたブロックアドレスに基づいて定まるアクセス情報についての理論上の期待値である期待アクセス情報とを比較し、両者が一致したかどうかを示すテスト結果信号を出力するステップを含むことを特徴とする請求項11に記載の半導体記憶装置のテスト方法。

【請求項13】

前記アクセス情報保持部のそれぞれに保持されたアクセス情報を、リセット信号により一括してリセットするステップを、さらに備えることを特徴とする請求項11又は請求項12に記載の半導体記憶装置。

【請求項14】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダが1回だけアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

40

を有する半導体記憶装置のテスト方法であって、  
すべてのブロックアドレスを順次指定して、すべてのブロックアドレスに対応するロウデコーダに順次アクセスするステップと、

すべての前記アクセス情報保持部からアクセス情報を読み出すステップと、  
読み出したアクセス情報にもとづいて、すべてのロウデコーダが1回だけアクセスされたかどうかを判断するステップと、

を備えることを特徴とする半導体記憶装置のテスト方法。

50

## 【請求項 15】

前記アクセス情報保持部は、1回もアクセスされていない第1状態と、1回だけアクセスされたという第2状態と、2回以上アクセスされたという第3状態とを、アクセス情報として保持することを特徴とする請求項 14 に記載の半導体記憶装置のテスト方法。

## 【請求項 16】

前記アクセス情報保持部は、リセット状態から1回アクセスされるとセット状態に移行し、セット状態からもう1回アクセスされると2回目のリセット状態に移行するが、2回目のリセット状態でもう1回アクセスされたとしてもセット状態には移行しないラッチ回路を備えることを特徴とする請求項 14 に記載の半導体記憶装置のテスト方法。

## 【請求項 17】

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

を有する半導体記憶装置のテスト方法であって、

ブロックアドレスを指定して、対応するブロックアドレスのロウデコーダにアクセスするステップと、

すべての前記アクセス情報保持部からアクセス情報を読み出すステップと、

前記アクセス情報に基づいて、2以上のブロックに対応するロウデコーダがアクセスされているかどうかを判断するステップと、

すべてのブロックアドレスを指定したかどうかを判断し、すべてのブロックアドレスを指定していない場合には、新たなブロックアドレスを指定して、前記ロウデコーダにアクセスするステップからを繰り返す、ステップと、

を備えることを特徴とする半導体記憶装置のテスト方法。

## 【請求項 18】

アクセスされたブロック数に比例した第1電流を生成するステップと、

1つのブロックがアクセスされた場合に流れる電流と、2つのブロックがアクセスされた場合に流れる電流との間の電流を第2電流として生成するステップと、

前記第1電流と前記第2電流とを比較するステップと、

を備えることを特徴とする請求項 17 に記載の半導体記憶装置のテスト方法。

## 【請求項 19】

前記第1電流の方が前記第2電流よりも小さい場合に、テストパスのテスト結果信号を出力し、前記第1電流の方が前記第2電流よりも大きい場合に、テストフェイルのテスト結果信号を出力するステップを、さらに備えることを特徴とする請求項 18 に記載の半導体記憶装置。

## 【請求項 20】

すべてのブロックアドレスにアクセスした後に、すべてのロウデコーダの前記アクセス情報保持部からアクセス情報を読み出して、アクセスされていないブロックがあるかどうかを判断するステップを、さらに備えることを特徴とする請求項 19 に記載の半導体記憶装置のテスト方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体記憶装置及びそのテスト方法に関し、特に、アクセス時にブロックとアドレスとが一対一に対応しているかどうかをチェックできる半導体記憶装置及びそのテスト方法に関する。

## 【0002】

## 【従来の技術】

半導体記憶装置においては、製造時に発生する塵などの影響により、配線同士が短絡し、アクセス時にメモリセルアレイのブロック（又はロウ）が同時に選択されてしまう不良（

10

20

30

40

50

マルチ選択不良)や、アドレスとブロックが一对一に対応しない不良が発生する場合がある(図17及び図18参照)。

【0003】

したがって、テスト工程の中で、このような不良ブロックは、冗長ブロックと置き換えられなければならない。若しくは、不良ブロックとしてテストを行い、不良ブロックの数がチップの許容値を超えたところで、不良チップとして取り除かなければならない。

【0004】

このような不良ブロックを検出するテスト工程を図19に示す。この図19に示すように、テスト工程が開始されると、すべてのブロックに対して“0”書き込みを行う(ステップS10)。すなわち、すべてのブロックの全メモリセルを“1”から“0”に書き換える。

10

【0005】

次に、変数であるブロックアドレスNを“0”にリセットする(ステップS12)。続いて、ブロックアドレスN=0のブロックのブロック消去を行う(ステップS14)。すなわち、そのブロックのメモリセルのデータをすべて消去して、“1”にする。

【0006】

次に、選択したブロックからデータを読み出して、期待値と比較する(ステップS14)。次に、選択したブロックにダイアゴナルパターンを書き込む(ステップS18)。例えば、ブロックアドレスN=0のブロックには、左端から1ビット目のメモリセルに“0”データを書き込み、ブロックアドレスN=1のブロックには、左端から2ビット目のメモリセルに“0”データを書き込む。このように各ブロック毎に異なるパターンを書き込む。

20

【0007】

次に、その時点のブロックアドレスNが最終ブロックアドレスであるかどうかを判断する(ステップS20)。最終ブロックアドレスでない場合(ステップS20:No)には、ブロックアドレスNに1を加えて(ステップS22)、上述したステップS14からを繰り返す。

【0008】

一方、その時点のブロックアドレスNが最終ブロックアドレスである場合(ステップS20:Yes)には、図20に示すように、ブロックアドレスNを再び“0”にリセットする(ステップS30)。

30

【0009】

次に、ブロックアドレスNのブロックのメモリセルから、書き込まれているデータを読み出す(ステップS32)。続いて、この読み出したデータを、期待値と比較する(ステップS34)。例えば、ブロックアドレスNが“0”の場合には、読み出したデータが、“011111...”であるかどうか判断し、ブロックアドレスNが1の場合には、読み出したデータが、“101111...”であるかどうかを判断する。

【0010】

次に、その時点のブロックアドレスNが最終ブロックアドレスであるかどうかを判断する(ステップS36)。最終ブロックアドレスでない場合(ステップS36:No)には、ブロックアドレスNに1を加えて(ステップS38)、上述したステップS32からを繰り返す。

40

【0011】

一方、その時点のブロックアドレスNが最終ブロックアドレスである場合(ステップS36:Yes)には、このテスト工程を終了する。

【0012】

このようなテスト工程により抽出された不良ブロックは、実際のオペレーション時には、使用されないようにする必要がある。すなわち、ロウデコーダ回路は、不良ブロックへのアクセス要求を受けた場合でも、テスト時に抽出された不良ブロックは選択されないようにするディセーブル機能を有している。このようなディセーブル機能を有するロウデコー

50

ダを、図 2 1 に示す。

【 0 0 1 3 】

この図 2 1 に示すロウデコーダは、レーザ溶接型フューズ F S を備えており、このフューズ F S をブローすることにより、該当する不良ブロックがアクセスされないようにしている。

【 0 0 1 4 】

また、最近では、コスト削減やデータ変換の容易性から、図 2 2 に示すような R O M フューズ型のロウデコーダも実現されている。図 2 2 に示すロウデコーダでは、不良ブロックのフューズセット信号 F U S E S E T を一旦ハイレベルにして、ラッチ回路 L T 1 0 のノード N 1 0 に、ローレベルに固定することにより、フューズがブローされたのと同様の状態を作り出す。すなわち、ラッチ回路 1 0 のノード N 1 0 をローレベルに固定することにより、トランジスタ T r 1 0 をオフ状態にし、このブロックアドレスにアクセスできないようにしている。つまり、ラッチ回路 L T 1 0 が、不良ブロックを不揮発的に記憶する R O M の役割を果たしている。このような R O M フューズ型のロウデコーダは、例えば、特許文献 1 及びこれに対応する米国特許出願公開 2 0 0 2 / 0 0 3 9 3 1 1 に開示されている。

10

【 0 0 1 5 】

【特許文献 1】

特開 2 0 0 2 - 1 1 7 6 9 2 号公報

【 0 0 1 6 】

【発明が解決しようとする課題】

しかしながら、上述したようなテストでは、実際に各ブロックのメモリセルにアクセスし、すべてのブロックに対して、消去、書き込み、読み出しを行わなければならない。このため、テスト工程で多くの時間を必要とするという問題がある。特に、半導体記憶装置の大容量化にともない、ブロック数も増加するため、テスト工程全体の中でも、ブロックとアドレスとが一对一に対応しているかどうかをテストする工程の占める割合が、著しく増加してしまうという問題がある。

20

【 0 0 1 7 】

そこで本発明は、前記課題に鑑みてなされたものであり、ブロック選択が適正に行われているかどうかをテストするのに要する時間を短くすることのできる半導体記憶装置及びそのテスト方法を提供することを目的とする。

30

【 0 0 1 8 】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る半導体記憶装置は、  
 複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
 前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、  
 前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み出し部と、  
 指定されたブロックアドレスに基づいてアクセスされるべきロウデコーダがアクセスされ、且つ、指定されたブロックアドレスに基づいてアクセスされるべきロウデコーダ以外のロウデコーダがアクセスされたかどうかを判定する判定回路と、  
 を備えることを特徴とする。

40

また、本発明に係る半導体記憶装置は、  
 複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、  
 前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み

50

出し部と、

を備え、

前記アクセス情報保持部は、1回だけアクセスされたという情報をアクセス情報として保持できることを特徴とする。

また、本発明に係る半導体記憶装置は、

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、

前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み出し部と、

を備え、

前記アクセス情報保持部は、1回もアクセスされていない第1状態と、1回だけアクセスされたという第2状態と、2回以上アクセスされたという第3状態とを、アクセス情報として保持することを特徴とする。

また、本発明に係る半導体記憶装置は、

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、

前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み出し部と、

を備え、

前記アクセス情報保持部は、リセット状態から1回アクセスされるとセット状態に移行し、セット状態からもう1回アクセスされると2回目のリセット状態に移行するが、2回目のリセット状態でもう1回アクセスされたとしてもセット状態には移行しないラッチ回路を備えることを特徴とする。

また、本発明に係る半導体記憶装置は、

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、

前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

前記アクセス情報保持部に保持されているアクセス情報を読み出す、アクセス情報読み出し部と、

すべてのロウデコーダのアクセス情報保持部から前記アクセス情報を読み出して、2以上のブロックに対応するロウデコーダがアクセスされているかどうかを判定する判定回路と、

を備えることを特徴とする。

#### 【0019】

本発明に係る半導体記憶装置のテスト方法は、

複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、

前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、

を有する半導体記憶装置のテスト方法であって、

ブロックアドレスを指定して、対応するブロックアドレスのロウデコーダにアクセスするステップと、

すべての前記アクセス情報保持部からアクセス情報を読み出すステップと、

読み出したアクセス情報にもとづいて、アクセスされたロウデコーダが、指定されたブロックアドレスのみであるかどうかを判断するステップと、

10

20

30

40

50

すべてのブロックアドレスを指定したかどうかを判断し、すべてのブロックアドレスを指定していない場合には、新たなブロックアドレスを指定して、前記ロウデコーダにアクセスするステップからを繰り返す、ステップと、

を備えることを特徴とする。

#### 【0020】

本発明に係る半導体記憶装置のテスト方法は、複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダが1回だけアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、を有する半導体記憶装置のテスト方法であって、すべてのブロックアドレスを順次指定して、すべてのブロックアドレスに対応するロウデコーダに順次アクセスするステップと、すべての前記アクセス情報保持部からアクセス情報を読み出すステップと、読み出したアクセス情報にもとづいて、すべてのロウデコーダが1回だけアクセスされたかどうかを判断するステップと、を備えることを特徴とする。

10

#### 【0021】

本発明に係る半導体記憶装置のテスト方法は、複数のメモリセルを有する複数のブロックに区分された、メモリセルアレイと、前記ブロックにそれぞれ対応して設けられた、複数のロウデコーダであって、対応するロウデコーダがアクセスされたかどうかを示すアクセス情報を保持するアクセス情報保持部を有する、ロウデコーダと、を有する半導体記憶装置のテスト方法であって、ブロックアドレスを指定して、対応するブロックアドレスのロウデコーダにアクセスするステップと、すべての前記アクセス情報保持部からアクセス情報を読み出すステップと、前記アクセス情報に基づいて、2以上のブロックに対応するロウデコーダがアクセスされているかどうかを判断するステップと、すべてのブロックアドレスを指定したかどうかを判断し、すべてのブロックアドレスを指定していない場合には、新たなブロックアドレスを指定して、前記ロウデコーダにアクセスするステップからを繰り返す、ステップと、を備えることを特徴とする。

20

#### 【0022】

##### 【発明の実施の形態】

##### 〔第1実施形態〕

第1実施形態は、各ブロック毎に設けられたロウデコーダのそれぞれに、アクセスがあったかどうかを示すアクセスフラグを保持するラッチ回路を設け、ブロックアドレスと実際のブロックとが一对一に対応しているかどうかを判定するテスト工程においては、実際にメモリセルにアクセスすることなく、このラッチ回路に保持されているアクセスフラグに基づいてアクセスの有無を判断することにより、テスト時間の短縮を図ったものである。より詳しくを、以下に説明する。

30

#### 【0023】

図1は、本実施形態に係る半導体記憶装置の構成を概略的に説明するブロック図である。この図1では、不揮発性半導体記憶装置、特にNAND型の不揮発性半導体記憶装置を、半導体記憶装置の一例として示している。

#### 【0024】

図1に示すように、本実施形態に係る半導体記憶装置は、メモリセルアレイ10と、ロウデコーダ回路20と、カラムデコーダ回路30と、ラッチ回路40と、アドレスデコーダ回路50と、コマンドラッチ回路60と、制御回路70と、I/Oバッファ回路80とを備えて構成されている。

40

#### 【0025】

I/Oバッファ回路80から入力されたアドレス信号は、アドレスデコーダ回路50に入力される。このアドレスデコーダ回路50では、入力されたアドレス信号に基づいて、ブロックアドレス信号(ロウアドレス信号)とカラムアドレス信号とを生成し、ブロックアドレス信号はロウデコーダ回路20に入力し、カラムアドレス信号はカラムデコーダ回路30に入力する。

50



## 【 0 0 2 6 】

メモリセルアレイ 1 0 には、複数のメモリセルがマトリクス状に配置されている。ロウデコーダ回路 2 0 とカラムデコーダ回路 3 0 とにより、メモリセルアレイ 1 0 の中から、1 又は複数のメモリセルを選択することができる。カラムデコーダ回路 3 0 とメモリセルアレイ 1 0 との間には、ラッチ回路 4 0 が設けられている。書き込み動作の場合には、ラッチ回路 4 0 は、I O バッファ回路 8 0 から入力されたデータを保持して、メモリセルアレイ 1 0 に出力する。読み出し動作の場合には、ラッチ回路 4 0 は、メモリセルアレイ 1 0 から読み出したメモリセルのデータを保持して、I O バッファ回路 8 0 に出力する。

## 【 0 0 2 7 】

コマンドラッチ回路 6 0 には、I O バッファ回路 8 0 からコマンド信号が入力される。コマンドラッチ回路 6 0 では、この入力されたコマンド信号をラッチし、制御回路 7 0 に出力する。制御回路 7 0 では、入力されたコマンド信号に基づいて、各種の制御信号を生成して、半導体記憶装置の内部の各所へ出力する。

## 【 0 0 2 8 】

図 2 は、メモリセルアレイ 1 0 の構成を説明する図である。この図 2 に示すように、本実施形態に係るメモリセルアレイ 1 0 は、マトリクス状に配置された複数のメモリセル M C を備えて構成されている。本実施形態においては、メモリセルアレイ 1 0 は、N A N D 型のフラッシュメモリで構成されている。すなわち、ソース及びドレインを共有する形で複数のメモリセル M C が直列に接続されている。本実施形態においては、1 6 個のメモリセル M C が直列に接続されている。

## 【 0 0 2 9 】

また、この直列に接続されたメモリセルの一方側には、第 1 選択トランジスタ S G 1 が接続されており、その他方側には第 2 選択トランジスタ S G 2 が接続されている。これら第 1 選択トランジスタ S G 1 と、直列に接続された複数のメモリセル M C と、第 2 選択トランジスタ S G 2 とにより、1 つの N A N D 型メモリユニットが構成されている。第 1 選択トランジスタ S G 1 を介して、N A N D 型メモリユニットがソース線に接続され、第 2 トランジスタ S G 2 を介して、N A N D 型メモリユニットがビット線 B L に接続されている。

## 【 0 0 3 0 】

ロウデコーダ回路 2 0 からは、ソース選択線 S G S と、1 6 本のワード線 W L 0 ~ W L 1 5 と、ドレイン選択線 S G D とから構成されるセットが、複数セット延びている。ソース選択線 S G S は、ワード線方向に並ぶ第 1 選択トランジスタ S G 1 のゲートに共通接続されている。ワード線 W L 0 ~ W L 1 5 は、ワード線方向に並ぶ複数のメモリセル M C のコントロールゲートに、それぞれ共通接続されている。ドレイン選択線 S G D は、ワード線方向に並ぶ第 2 選択トランジスタ S G 2 のゲートに共通接続されている。

## 【 0 0 3 1 】

ビット線方向に並ぶ 2 つの N A N D 型メモリユニットの間では、第 2 選択トランジスタ S G 2 とビット線 B L とを接続するビット線コンタクトが、共有されている。そして、8 本のビット線 B L を 1 つのセットとして、ビット線 B L がレジスタ P / B \_\_ 0 ~ P / B \_\_ 7 に接続されている。8 個のレジスタ P / B \_\_ 0 ~ P / B \_\_ 7 は、書き込みデータや読み出しデータを一時的に保持するレジスタである。

## 【 0 0 3 2 】

これら 8 個のレジスタ P / B \_\_ 0 ~ P / B \_\_ 7 は、それぞれ、カラム選択ゲート S G 3 を介して、I O バッファ回路 8 0 の I / O バッファ 0 ~ I / O バッファ 7 に接続されている。8 個のカラム選択ゲート S G 3 は、共通のカラム選択信号線 C S L 0 ~ C S L i が入力されている。

## 【 0 0 3 3 】

本実施形態では、書き込み単位を 1 ページと定義している。すなわち、1 本のワード線 W L で選択できる範囲のメモリセル M C を 1 ページと定義している。このため、1 ページ分のメモリセル M C と同数のレジスタ P / B \_\_ 0 ~ P / B \_\_ 7 が設けられてることとなる。

10

20

30

40

50

したがって、ページ単位で読み出されたデータは、レジスタP/B<sub>0</sub>~P/B<sub>7</sub>に一時的に格納され、1バイト単位でI/Oバッファ0~I/Oバッファ7から出力される。

【0034】

また、書き込み単位と異なり、消去単位は、同一のウェル上に形成されているメモリセルMCが一括で消去される。本実施形態では、この消去単位をブロックと定義している。したがって、本実施形態では、複数のメモリセルMCから構成されたメモリセルアレイ10は、複数のブロックから構成されていることとなる。

【0035】

さらに、本実施形態に係る半導体記憶装置は、不良ブロックを許容している。このため、1つの半導体記憶装置内において許容できる不良ブロック数が規定されており、その範囲内であれば良品として出荷される。

10

【0036】

ブロックアドレスは、アドレスデコーダ回路50によりデコードされた結果、ブロックアドレスと実際のブロックとが一対一に対応する構成とならなければならない。ここで、実際のブロックが1024個ある半導体記憶装置を考えると、ブロックを特定するブロックアドレスは、10ビット分、必要となる。

【0037】

図3は、本実施形態に係るブロックアドレスに対応する部分のアドレスデコーダ回路50の構成を示す図である。この図3の例では、アドレス信号A<14>~A<23>の10ビットが、ブロックアドレスに対応している。この図3に示すように、アドレスデコーダ回路50には、複数のNAND回路ND100と、複数のインバータ回路INV100が設けられている。各NAND回路ND100には、アドレス信号A<14>~A<23>と反転アドレス信号An<14>~An<23>のうちの2ビット又は3ビットが入力されている。反転アドレス信号An<14>~An<23>は、アドレス信号A<14>~A<23>を反転させた信号である。

20

【0038】

各NAND回路ND100の出力信号は、インバータINV100に入力されている。各インバータINV100からは、ロウデコード信号AROWA<0>~AROWA<7>、AROWB<0>~AROWB<7>、AROWC<0>~AROWC<3>、AROWD<0>~AROWD<3>が出力される。これらロウデコード信号は、ロウデコーダ回路20に入力され、ロウデコーダ回路20によりブロックが選択される。

30

【0039】

図4は、本実施形態に係るロウデコーダ回路20に設けられているロウデコーダ100を示す図である。この図4に示す構成のロウデコーダ100は、各ブロック毎に設けられている。換言すれば、ロウデコーダ回路20は、各ブロックに対応して設けられた複数のロウデコーダ100により、構成されている。

【0040】

図4に示すように、供給電圧VCCとグランドとの間に、P型のMOSトランジスタTr110とN型のMOSトランジスタTr111~Tr116が直列に接続されている。MOSトランジスタTr110のゲートには、ブロック選択信号RDECが入力されている。このブロック選択信号RDECは、そのブロックが選択された場合にハイレベルになり、選択されていない場合にローレベルになる信号である。

40

【0041】

MOSトランジスタTr111~Tr114のゲートには、それぞれ、ロウデコード信号AROWA、AROWB、AROWC、AROWDが入力されている。ロウデコード信号AROWAは、ロウデコード信号AROWA<0>~AROWA<7>のいずれか1つの信号である。ロウデコード信号AROWBは、ロウデコード信号AROWB<0>~AROWB<7>のいずれか1つの信号である。ロウデコード信号AROWCは、ロウデコード信号AROWC<0>~AROWC<3>のいずれか1つの信号である。ロウデコード信号AROWDは、ロウデコード信号AROWD<0>~AROWD<3>のいずれか1

50

つの信号である。各ロウデコーダ100毎に、異なるロウデコード信号AROWA、AROWB、AROWC、AROWDが、入力されることにより、1つのロウデコーダ100が選択されるようになっている。

【0042】

MOSTランジスタTr115のゲートには、ブロック選択信号RDECが入力されている。トランジスタTr116のゲートには、フューズディセーブル信号FUSEDが入力されている。フューズディセーブル信号FUSEDは、通常はローレベルであるが、フューズ機能を無効にする場合にハイレベルになる信号である。

【0043】

MOSTランジスタTr110とMOSTランジスタTr111との間のノードN105は、インバータ回路INV110に接続されている。そして、このインバータINV110の出力が、N型のMOSTランジスタTr120に入力されている。このMOSTランジスタTr120は、メモリセルアレイ10内における該当ブロックのワード線WLに接続されている。

10

【0044】

さらに、このインバータ回路INV110の出力は、N型のMOSTランジスタTr130のゲートにも接続されている。また、このMOSTランジスタTr130と直列に、N型のMOSTランジスタTr131が接続されている。MOSTランジスタTr131のゲートには、フラグセット信号FLAGSETが入力されている。

【0045】

MOSTランジスタTr130の一端側は、N型のMOSTランジスタTr132のゲートに接続されている。このMOSTランジスタTr132は、MOSTランジスタTr116と並列に接続されているMOSTランジスタである。また、MOSTランジスタTr132のゲートは、ラッチ回路LT110のノードN110にも接続されている。

20

【0046】

本実施形態においては、このラッチ回路LT110は、通常動作においては、不良ブロックであることを記憶するROMフューズの機能を有するとともに、テスト工程においては、アドレスアドレスと実際のブロックとが一对一に対応しているかどうかを判断するためのアクセスフラグ記憶回路として機能する。また、本実施形態においては、このラッチ回路LT110は、インバータ回路INV120とインバータINV121とを備えており、インバータ回路INV120の出力をインバータ回路INV121に入力し、このインバータ回路INV121の出力をインバータ回路INV120に入力することにより構成されている。

30

【0047】

ラッチ回路LT110のノードN111には、N型のMOSTランジスタTr140の一端が接続されており、このMOSTランジスタTr140の他端はグランドに接続されている。また、MOSTランジスタTr140のゲートには、フラグリセット信号RESETが入力されている。

【0048】

また、ノードN111は、N型のMOSTランジスタTr141のゲートにも接続されている。さらに、このMOSTランジスタTr141と直列に、N型のMOSTランジスタTr142、Tr143が接続されている。MOSTランジスタTr142のゲートには、フラグセンス信号SENSEが入力されている。MOSTランジスタTr143のゲートには、インバータ回路INV110の出力が入力されている。

40

【0049】

この図4に示すロウデコーダ100は、通常動作の際は、指定されたブロックアドレスに対応するロウデコーダ100が選択され、このロウデコーダ100に対応するブロックのメモリを選択するための回路である。但し、このロウデコーダ100は、ブロックアドレスと実際のブロックとが一对一に対応するかどうかをテストする工程においては、概略、次のように動作する。まず、各ブロックのロウデコーダ100のラッチ回路LT110をリ

50

セットする。そして、ブロックアドレス“0”にアクセスして、ラッチ回路LT110をセットする。このとき、正しくブロックが選択されていれば、ブロックアドレス“0”のロウデコーダ100におけるラッチ回路LT110だけがセットされており、他のブロックアドレスのロウデコーダ100におけるラッチ回路LT110はリセットされたままになるはずである。これを確認するため、各ブロック毎にラッチ回路LT110の内容を読み出して、正しくブロックがアクセスされたかどうかを確認する。このような一連の動作を、ブロックアドレス“0”から最終ブロックアドレスまで繰り返すことにより、ブロックアドレスと実際のブロックが一对一に対応しているかどうかをテストできる。

#### 【0050】

図5は、本実施形態に係る半導体記憶装置において、ブロックアドレスと実際のブロックが一对一に対応しているかどうかをテストするテスト工程を説明するフローチャートである。

10

#### 【0051】

図5に示すように、まず、ブロック毎に設けられているロウデコーダ100のラッチ回路LT110をすべてリセットする(ステップS110)。具体的には、各ロウデコーダ100に共通に入力されているフラグリセット信号RESETをハイレベルにして、MOSトランジスタTr140をオンする。これにより、ラッチ回路LT110のノードN111がローレベルになり、ノードN110がハイレベルになる。この状態が、本実施形態におけるラッチ回路LT110のリセット状態である。

#### 【0052】

次に、ブロックアドレスNを“0”にリセットする(ステップS112)。続いて、ブロックアドレスNのロウデコーダ100におけるラッチ回路LT110をセットすることにより、アクセスフラグをセットする(ステップS114)。具体的には、ブロックアドレスNのロウデコーダ100におけるMOSトランジスタTr111~Tr114がオンになる。また、ブロック選択信号RDECがハイレベルになるので、MOSトランジスタTr115がオンになり、MOSトランジスタTr110がオフになる。ノードN110がハイレベルであるので、MOSトランジスタTr132はオンになる。このため、ノードN105はローレベルになり、インバータ回路INV110の出力はハイレベルになる。このため、MOSトランジスタTr130がオンになる。また、ブロックアドレスNのフラグセット信号FLAGSETはハイレベルになるので、ノードN110はローレベルになり、これにより、ノードN111はハイレベルになる。このため、ラッチ回路LT110がセットされ、アクセスフラグがセットされる。すなわち、これが、本実施形態におけるラッチ回路LT110のセットされた状態である。

20

30

#### 【0053】

次に、すべてのブロックのロウデコーダ100のラッチ回路LT110から、ラッチ回路LT110に保持されているアクセスフラグを読み出し、期待値と比較する(ステップS116)。例えば、ブロックアドレスNが“0”の場合、ブロックアドレスが“0”のロウデコーダ100のラッチ回路LT110から読み出されたアクセスフラグと、期待値であるセット(例えば“1”)と比較される。また、ブロックアドレスが“0”以外のロウデコーダ100のラッチ回路LT110から読み出されたアクセスフラグは、期待値であるリセット(例えば、“0”)と比較される。そして、すべてのブロックのアクセスフラグが期待値と合致した場合には、そのブロックアドレスNと実際のブロックとは一对一に対応していることとなる。

40

#### 【0054】

次に、ブロックアドレスNが最終ブロックアドレスであるかどうかを判断する(ステップS118)。ブロックアドレスNが最終ブロックでない場合(ステップS118:No)には、ブロックアドレスNに1を加える(ステップS120)。そして、すべてのブロックのラッチ回路LT110を再びリセットし(ステップS122)、上述したステップS114からを繰り返す。具体的には、上述したステップS110と同様に、フラグリセット信号RESETをハイレベルにすることにより、ラッチ回路LT110をリセットする

50

。

## 【 0 0 5 5 】

一方、上述したステップ S 1 1 8 で、ブロックアドレス N が最終ブロックアドレスであると判断した場合（ステップ S 1 1 8 : Y e s ）には、このテスト工程が終了する。最終ブロックアドレスまですべてのアクセスフラグが期待値と一致した場合には、その半導体記憶装置は、すべてのブロックアドレスと実際のブロックとが一对一に対応していることとなる。

## 【 0 0 5 6 】

図 6 は、本実施形態に係るテスト結果判定回路 9 0 の構成を示す図である。この図 6 に示すように、テスト結果判定回路 9 0 は、E X O R 回路 E 1 5 0 と、N A N D 回路 N D 1 5 1、N D 1 5 2 と、インバータ回路 I N V 1 5 3 とを備えて構成されている。これら N A N D 回路 N D 1 5 1 と N A N D 回路 N D 1 5 2 とにより、ラッチ回路 L T 1 5 0 が構成されている。

10

## 【 0 0 5 7 】

E X O R 回路 E 1 5 0 には、期待値の信号と、アクセスフラグの内容を示すアクセスフラグ信号 A F L A G とが、入力される。アクセスフラグ信号 A F L A G は、図 4 のフラグセンス信号 S E N S E がハイレベルになり、M O S トランジスタ T r 1 4 2 がオンになることにより、M O S トランジスタ T r 1 4 3 を介して、出力される。

## 【 0 0 5 8 】

E X O R 回路 E 1 5 0 からは、期待値の信号とアクセスフラグ信号 A F L A G とが一致している場合にはローレベルが出力され、これらが一致していない場合にはハイレベルが出力される。この E X O R 回路 E 1 5 0 の出力は、N A N D 回路 N D 1 5 1 に入力される。

20

## 【 0 0 5 9 】

ラッチ回路 L T 1 5 0 は、E X O R 回路 E 1 5 0 からの入力を保持して、N A N D 回路 N D 1 5 2 から出力する。N A N D 回路 N D 1 5 2 の出力は、インバータ回路 I N V 1 5 3 で反転されて、テスト結果信号 P A S S \_ F A I L として出力される。

## 【 0 0 6 0 】

図 7 は、本実施形態に係る半導体記憶装置におけるテスト工程の動作波形の一例を示す図である。この図 7 に示すように、テスト工程では、まずアドレスリセット信号によりブロックアドレス N を “ 0 ” にリセットし、フラグリセット信号 R E S E T によりすべてのラッチ回路 L T 1 1 0 におけるアクセスフラグをリセットする。そして、ブロック選択信号 R D E C をハイレベルにし、フラグセット信号 F L A G S E T をハイレベルにすることにより、ブロックアドレス N により選択されているブロックのアクセスフラグをセットする。このとき、配線ショートなどの不良により、複数のブロックが多重選択されていれば、2 つ以上のアクセスフラグがセットされる。また、配線オープンなどの不良により、ブロックアドレス N のブロックが選択できなければ、ブロックアドレス N のアクセスフラグがセットされない。

30

## 【 0 0 6 1 】

次に、アドレスインクリメント信号を順次駆動し、フラグセンス信号 S E N S E を順次ハイレベルにすることにより、先頭ブロックアドレス N = 0 から最終ブロックアドレスまでのアクセスフラグを順次読み出す。そして、これを期待値を示す信号と比較する。例えば、ブロックアドレス N が “ 0 ” の場合には、期待値を示す信号は、ブロックアドレス N が “ 0 ” のときにはハイレベルになり、それ以外のときにはローレベルになる。

40

## 【 0 0 6 2 】

以上のように、本実施形態に係る半導体記憶装置によれば、テスト工程に要する時間を短くすることができる。すなわち、ブロックアドレスに対応したロウデコーダ 1 0 0 が選択されたことをラッチ回路 L T 1 0 0 に保持されたアクセスフラグに基づいて判断することとしたので、従来のように、メモリセルアレイ 1 0 のメモリセル M C に対してアクセス（読み出し、書き込み、消去）する必要がなくなる。このため、メモリセル M C にアクセスすることなく、ブロックアドレスと実際のブロックとが一对一に対応しているかどうかを

50

判断することができ、テスト工程に要する時間を短縮できる。

【0063】

〔第2実施形態〕

第2実施形態は、ラッチ回路が保持するアクセスフラグを変更できる回数に制限をつけることにより、アクセスフラグを読み出す回数を、このテスト工程を通じて1回になるようにしたものである。すなわち、最初にすべてのブロックのアクセスフラグをリセットし、1回目のアクセスがあった場合にこのアクセスフラグをセットし、2回目のアクセスがあった場合にはアクセスフラグをリセットするが、3回目以降のアクセスではアクセスフラグは再度セットできないように制限する。より詳しくを、以下に説明する。

【0064】

図8は、本実施形態に係るロウデコーダ回路20に設けられているロウデコーダ200を示す図である。この図8に示す構成のロウデコーダ200は、各ブロックに対応して設けられている。換言すれば、複数のロウデコーダ200により、ロウデコーダ回路20が構成されている。また、この図8は、上述した第1実施形態における図4に対応する図である。なお、本実施形態に係る半導体記憶装置の全体構成は、上述した第1実施形態と同様である。

【0065】

図8に示すように、本実施形態に係るロウデコーダ200は、2つのラッチ回路LT201、LT202を備えて構成されている。第1のラッチ回路LT201は、インバータ回路INV201とインバータ回路INV202とを備えて構成されている。インバータ回路INV202の入力であるノードN201は、MOSトランジスタTr132のゲートに接続されている。インバータ回路INV201の入力であるノードN202は、N型のMOSトランジスタTr210と、N型のMOSトランジスタTr220とに接続されている。

【0066】

MOSトランジスタTr210のゲートには、第1フラグセット信号FLAGSET1が入力されている。また、このMOSトランジスタTr210と直列にN型のMOSトランジスタTr211が接続されている。MOSトランジスタTr220のゲートには、フラグリセット信号RESETが入力されている。

【0067】

ノードN202は、さらに、N型のトランジスタTr141のゲートと、N型のMOSトランジスタTr230のゲートとに、接続されている。このMOSトランジスタTr230と直列に、N型のMOSトランジスタTr231が接続されている。このMOSトランジスタTr231のゲートには、第2フラグセット信号FLAGSET2が入力されている。MOSトランジスタTr231は、第2のラッチ回路LT202のノードN211に接続されている。

【0068】

第2のラッチ回路LT202は、第1のラッチ回路LT201と同様に、2つのインバータ回路INV203、INV204を備えて構成されている。ノードN211はインバータ回路INV204の入力に接続されており、このインバータ回路INV204の出力が、ノードN212に接続されている。このノードN212には、N型のMOSトランジスタTr240に接続されている。MOSトランジスタTr240のゲートには、フラグリセット信号RESETが入力されている。

【0069】

また、ノードN211は、インバータ回路INV210を介して、MOSトランジスタTr211のゲートに接続されている。また、ノードN211は、N型のMOSトランジスタTr250のゲートに接続されている。このMOSトランジスタTr250は、MOSトランジスタTr131と直列に接続されている。

【0070】

この図8に示したロウデコーダ200においては、最初に、第1のラッチ回路LT201

10

20

30

40

50

と第2のラッチ回路LT202とがともにリセットされる。そして、このロウデコーダ200に1回目のアクセスがあった場合には、第1のラッチ回路LT201と第2のラッチ回路LT202とがセットされ、2回目のアクセスがあった場合には、第1のラッチ回路LT201がリセットされ、第2のラッチ回路LT201はセットの状態を維持する。3回目以降のアクセスでは、何度アクセスしても、第1のラッチ回路LT201と第2のラッチ回路LT202の状態は変わらない。すなわち、第1のラッチ回路LT201はリセットされたままであり、第2のラッチ回路LT202はセットされたままである。このような条件にすることにより、第1のラッチ回路LT201のセット/リセット状態をアクセスフラグとして読み出すだけで、このロウデコーダ200に1回だけアクセスがあったかどうかを判定することができる。

10

**【0071】**

図9及び図10は、本実施形態に係る半導体記憶装置において、ブロックアドレスと実際のブロックとが一对一に対応しているかどうかをテストするテスト工程を説明するフローチャートである。

**【0072】**

図9に示すように、まず、ブロック毎に設けられているロウデコーダ200の第1のラッチ回路LT201をすべてリセットし(ステップS200)、第2のラッチ回路LT202をすべてリセットする(ステップS202)。具体的には、フラグリセット信号RESETをハイレベルにして、MOSトランジスタTr240とMOSトランジスタTr220とをオンする。これにより、第1のラッチ回路LT201のノードN202がローレベルになり、ノードN201がハイレベルになる。また、第2のラッチ回路LT202のノードN212がローレベルになり、ノードN211がハイレベルになる。

20

**【0073】**

次に、ブロックアドレスNを“0”にリセットする(ステップS204)。続いて、ブロックアドレスNの第1のラッチ回路LT201と第2のラッチ回路LT202がともにリセットであるかどうかを判断し(ステップS206)、ともにリセットである場合(ステップS206:Yes)には、第1のラッチ回路LT201と第2のラッチ回路LT202とをセットする(ステップS208)。このステップS206が“No”の場合には、ブロックアドレスNの第1のラッチ回路LT201がセットであるかどうかを判断する(ステップS210)。

30

**【0074】**

第1のラッチ回路LT201がセットである場合(ステップS210:Yes)には、第1のラッチ回路LT201をリセットする(ステップS212)。一方、ステップS210が“No”の場合には、第1のラッチ回路LT201のセットを行わない。

**【0075】**

具体的には、ブロックアドレスNのロウデコーダ200にアクセスがあった場合、第1フラグセット信号FLAGSET1がローレベルから、ハイレベル、ローレベルと変化した後、第2フラグセット信号FLAGSET2がローレベルから、ハイレベル、ローレベルと変化する。

**【0076】**

1回目のアクセスでは、第1フラグセット信号FLAGSET1がハイレベルになることによりMOSトランジスタTr131がオンになり、ノードN211がハイレベルであるので、第1のラッチ回路LT201のノードN201がローレベルになり、ノードN202がハイレベルになる。なお、第1フラグセット信号FLAGSET1がハイレベルになったときでも、ノードN211がハイレベルであるので、MOSトランジスタTr211はオフのままである。

40

**【0077】**

続いて、第2フラグセット信号FLAGSET2がハイレベルになることによりMOSトランジスタTr231がオンになり、ノードN202がハイレベルであるので、第2のラッチ回路LT202のノードN211がローレベルになり、ノードN212がハイレベル

50

になる。

【 0 0 7 8 】

2 回目のアクセスでは、第 1 フラグセット信号 F L A G S E T 1 がハイレベルになることにより M O S トランジスタ T r 2 1 0 がオンになり、ノード N 2 1 1 がローレベルであるので、M O S トランジスタ T r 2 1 1 がオンになる。このため、第 1 のラッチ回路 L T 2 0 1 のノード N 2 0 2 がローレベルになり、ノード N 2 0 1 がハイレベルになる。このとき、M O S トランジスタ T r 3 1 がオンになっても、ノード N 2 1 1 がローレベルであるので、M O S トランジスタ T r 2 5 0 はオフのままである。

【 0 0 7 9 】

続いて、第 2 フラグセット信号 F L A G S E T 2 がハイレベルになることにより M O S トランジスタ T r 2 3 1 がオンになるが、ノード N 2 0 2 がローレベルであるので、M O S トランジスタ T r 2 3 0 はオフである。このため、第 2 のラッチ回路 L T 2 0 2 のノード N 2 1 1 がローレベルを維持する。

10

【 0 0 8 0 】

3 回目以降のアクセスでは、第 1 フラグセット信号 F L A G S E T 1 がハイレベルになることにより M O S トランジスタ T r 1 3 1 がオンになっても、ノード N 2 1 1 がローレベルであるので、M O S トランジスタ T r 2 5 0 がオフのままある。また、M O S トランジスタ T r 2 1 0、T r 2 1 1 がともにオンになっても、ノード N 2 0 2 はローレベルであることには変わらない。このため、第 1 のラッチ回路 L T 2 0 1 のノード N 2 0 1 はハイレベルを維持し、ノード N 2 0 2 はローレベルを維持する。また、第 2 フラグセット信号 F L A G S E T 2 がハイレベルになることにより M O S トランジスタ T r 2 3 1 がオンになるが、ノード N 2 0 2 がローレベルであるので、M O S トランジスタ T r 2 3 0 はオフである、このため、第 2 のラッチ回路 L T 2 0 2 のノード N 2 1 1 がローレベルを維持する。

20

【 0 0 8 1 】

次に、ブロックアドレス N が最終ブロックアドレスであるかどうかを判断する (ステップ S 2 1 6)。ブロックアドレス N が最終ブロックでない場合 (ステップ S 2 1 6 : N o) には、ブロックアドレス N に 1 を加える (ステップ S 2 1 8)。そして、上述したステップ S 2 0 6 からを繰り返す。

【 0 0 8 2 】

これに対して、ブロックアドレス N が最終ブロックアドレスである場合 (ステップ S 2 1 6 : Y e s) には、図 1 0 に示すように、ブロックアドレス N を “ 0 ” にリセットする (ステップ S 2 3 0)。

30

【 0 0 8 3 】

次に、ブロックアドレス N のロウデコーダ 2 0 0 における第 1 のラッチ回路 L T 2 0 1 から、アクセスフラグを読み出す (ステップ S 2 3 2)。そして、読み出したアクセスフラグが、期待値と一致するかどうかを判断する (ステップ S 2 3 4)。

【 0 0 8 4 】

次に、そのブロックアドレス N が最終ブロックアドレスであるかどうかを判断する (ステップ S 2 3 6)。ブロックアドレス N が最終ブロックアドレスでない場合 (ステップ S 2 3 6 : N o) には、ブロックアドレス N に 1 を加えて、上述したステップ S 2 3 2 からを繰り返す。

40

【 0 0 8 5 】

一方、ブロックアドレス N が最終ブロックアドレスである場合には、このテスト工程を終了する。すべてのブロックアドレスに対応するラッチ回路 L T 2 0 1 で、1 回だけアクセスしたことを示すアクセスフラグを保持していれば、その半導体記憶装置は、ブロックアドレスと実際のブロックとが適正に一対一に対応していることとなる。換言すれば、すべてのラッチ回路 L T 2 0 1 のノード N 2 0 1 がローレベルを保持していれば良い。

【 0 0 8 6 】

読み出したアクセスフラグと期待値とが一致するかどうかを判定するテスト結果判定回路

50



の構成は、上述した第1実施形態における図6と同様である。したがって、第1のラッチ回路LT201に保持されているアクセスフラグは、フラグセンス信号SENSEがハイレベルになることにより、MOSトランジスタTr143からアクセスフラグ信号FLAGとして読み出される。そして、テスト結果判定回路90で期待値と一致するかどうか判定される。

【0087】

図11は、本実施形態に係る半導体記憶装置におけるテスト工程の動作波形の一例を示す図である。この図11に示すように、テスト工程では、まずアドレスリセット信号によりブロックアドレスNを“0”にリセットし、フラグリセット信号RESETによりすべてのアクセスフラグをリセットする。そして、ブロック選択信号RDECをハイレベルにし、第1フラグセット信号FLAGSET1及び第2フラグセット信号FLAGSET2をそれぞれ順次ハイレベルにすることにより、ブロックアドレスNにより選択されているブロックのアクセスフラグを上述したようにセット/リセットする。このとき、配線ショートなどの不良により、複数のブロックが多重選択されていれば、2つ以上のロウデコーダ200がアクセスされる。また、配線オープンなどの不良により、ブロックアドレスNのブロックが選択できなければ、そのロウデコーダ200はアクセスされない。

10

【0088】

このような動作を、アドレスインクリメント信号を順次駆動しながら行うことにより、先頭ブロックアドレスN=0から最終ブロックアドレスまでのアクセスフラグのセットを行う。

20

【0089】

次に、アドレスリセット信号をハイレベルにして、ブロックアドレスNを“0”にリセットする。そして、ブロックアドレス“0”から順次、フラグセンス信号SENSEをハイレベルにして、第1のラッチ回路LT201に保持されているアクセスフラグを読み出す。このときの期待値は、すべてのブロックにおいて、セット（この例では、ノードN201がローレベル）である。

【0090】

以上のように、本実施形態に係る半導体記憶装置によれば、テスト工程に要する時間を短くすることができる。すなわち、ブロックアドレスに対応したロウデコーダ200が1回だけアクセスされたことを第1のラッチ回路LT201に保持されたアクセスフラグに基づいて判断することとしたので、従来のように、メモリセルアレイ10のメモリセルMCに対してアクセス（読み出し、書き込み、消去）する必要がなくなる。このため、メモリセルMCにアクセスすることなく、ブロックアドレスと実際のブロックとが一対一に対応しているかどうかを判断することができ、テスト工程に要する時間を短縮できる。

30

【0091】

しかも、本実施形態によれば、テスト工程において、ラッチ回路LT201からアクセスフラグを読み出す回数を、各ブロック1回にすることができるので、ラッチ回路からのアクセスフラグ読み出し回数を、上述した第1実施形態より少なくすることができる。このため、テスト工程に要する時間をより短くすることができる。

【0092】

〔第3実施形態〕

第3実施形態は、上述した第1実施形態のロウデコーダ100に、1つのブロックのみがアクセスされているかどうかを判定する1ブロックアクセス判定回路を追加したものである。このような1ブロックアクセス判定回路は、特開2002-133898号公報にも開示されている。より詳しくを、以下に説明する。

40

【0093】

図12は、本実施形態に係るロウデコーダ300の回路構成を示す図であり、第1実施形態における図4に対応する図である。この図12に示すように、本実施形態に係るロウデコーダ300は、第1実施形態に係るロウデコーダ100に、N型のMOSトランジスタTr300を追加することにより構成されている。すなわち、MOSトランジスタTr1

50

41とグランドとの間に、MOSトランジスタTr300を直列に追加することにより、構成されている。このMOSトランジスタTr300のゲートには、基準電圧VREFが印加されている。

【0094】

図13は、この基準電圧VREFを生成する基準電圧生成回路310の一例を示す図である。この図13に示すように、本実施形態に係る基準電圧生成回路310は、定電流回路312と、N型のMOSトランジスタTr314とを備えて構成されている。定電流回路312は、例えば、5マイクロアンペアの定電流を生成する回路である。MOSトランジスタTr314のゲートとドレインは共通に接続されており、この共通接続されたノードから、基準電圧VREFが出力される。

10

【0095】

図14は、本実施形態に係る1ブロックアクセス判定回路330の構成を示す図である。この図14に示すように、本実施形態に係る1ブロックアクセス判定回路330は、P型のMOSトランジスタTr331、Tr332と、N型のMOSトランジスタTr340~Tr343と、オペアンプOP333とを備えて構成されている。

【0096】

MOSトランジスタTr331のソースと、MOSトランジスタTr332のソースは、供給電圧VCCに接続されている。また、これらMOSトランジスタTr331とMOSトランジスタTr332のゲートは互いに接続されており、カレントミラー回路を構成している。MOSトランジスタTr331のドレインは、自らのゲートに接続されている。つまり、MOSトランジスタTr331は、ダイオードとして機能する。

20

【0097】

MOSトランジスタTr331のドレインは、各ブロックに対応して設けられたロウデコーダ300のMOSトランジスタTr143のドレインに接続されている。この図14では、すべてのブロックのロウデコーダ200に、MOSトランジスタTr331は、接続されている。

【0098】

MOSトランジスタTr332のドレインは、MOSトランジスタTr340のドレインと、MOSトランジスタTr342のドレインと、オペアンプOP333の正側入力端子に接続されている。オペアンプOP333の負側入力端子には、供給電圧VCCの半分の電圧が供給されている。

30

【0099】

MOSトランジスタTr340のゲートと、MOSトランジスタTr342のゲートには、フラグセンス信号SENSEが入力されている。また、MOSトランジスタTr340と直列にMOSトランジスタTr341が接続されており、MOSトランジスタTr342と直列にMOSトランジスタTr343が接続されている。これらMOSトランジスタTr341のゲートと、MOSトランジスタTr343のゲートには、基準電圧VREFが入力されている。

【0100】

ここで、MOSトランジスタTr342、Tr343のゲート幅をWとし、ゲート長をLとすると、MOSトランジスタTr340、Tr341のゲート幅は2Wとなり、ゲート長は2Lとなる構成とする。同様に、MOSトランジスタTr141、Tr142、Tr300のゲート幅も2Wとなり、ゲート長も2Lとなる構成とする。

40

【0101】

このような構成において、MOSトランジスタTr341を流れる電流をIとすれば、MOSトランジスタTr343を流れる電流は $1/2 \times I$ となる。同様に、MOSトランジスタTr141、Tr142、Tr300を流れる電流も、Iである。

【0102】

したがって、フラグセンス信号SENSEがハイレベルの場合に、MOSトランジスタTr332を流れようとする電流は、 $3/2 \times I$ となる。ここで、例えば、テスト工程にお

50

いて、正常にロウデコーダ300がアクセスされ、1つのロウデコーダ300のMOSトランジスタTr141のみがオンになったとすると、MOSトランジスタTr331を流れる電流はIとなる。もし、何らかの理由で2つのロウデコーダ300のMOSトランジスタTr141がオンになったとすると、MOSトランジスタTr331を流れる電流は2×Iとなり、3つのロウデコーダ300のMOSトランジスタTr141がオンになったとすると、MOSトランジスタTr331を流れる電流は3×Iとなる。一方、1つのロウデコーダ300もアクセスされなかった場合には、MOSトランジスタTr331を流れる電流は0となる。このように、アクセスされたロウデコーダの数により、MOSトランジスタTr331を流れる電流が変化するのである。このMOSトランジスタTr331を流れる電流の変化を、カレントミラー接続されているMOSトランジスタTr332を介して、電圧の変化として、オペアンプOP333が読み出す。そして、この結果を、オペアンプOP333は、テスト結果信号PASS\_FAILとして出力する。

10

#### 【0103】

この図14の例では、オペアンプOP333は、アクセスされたロウデコーダ300が0個及び1個の場合は、パスのテスト結果信号PASS\_FAILを出力し、アクセスされたロウデコーダ300が2個以上の場合は、フェイルのテスト結果信号PASS\_FAILを出力する。

#### 【0104】

このことから分かるように、この図14の回路では、アクセスされたロウデコーダ300の数が0個であることを検出できない。そこで、本実施形態においては、図15及び図16に示すようなテスト工程を実行する。

20

#### 【0105】

図15及び図16は、本実施形態に係る半導体記憶装置において、ブロックアドレスと実際のブロックとが一对一に対応しているかどうかをテストするテスト工程を説明するフローチャートである。

#### 【0106】

図15に示すように、まず、ブロック毎に設けられているロウデコーダ300のラッチ回路LT110をすべてリセットする(ステップS300)。

#### 【0107】

次に、ブロックアドレスNを“0”にリセットする(ステップS302)。続いて、ブロックアドレスNのロウデコーダ300におけるラッチ回路LT110をセットすることにより、アクセスフラグをセットする(ステップS304)。

30

#### 【0108】

次に、1ブロックアクセス判定回路330を用いて、アクセスされているロウデコーダ300が1つ以下であるかどうかを判断する(ステップS306)。

#### 【0109】

次に、ブロックアドレスNが最終ブロックアドレスであるかどうかを判断する(ステップS308)。ブロックアドレスNが最終ブロックでない場合(ステップS308:No)には、ブロックアドレスNに1を加える(ステップS310)。そして、上述したステップS304からを繰り返す。

40

#### 【0110】

一方、上述したステップS308で、ブロックアドレスNが最終ブロックアドレスであると判断した場合(ステップS308:Yes)には、図16に示すように、ブロックアドレスNを“0”にリセットする(ステップS320)。続いて、ブロックアドレスNのロウデコーダ300におけるラッチ回路LT110から、アクセスフラグを読み出す(ステップS322)。

#### 【0111】

次に、この読み出したアクセスフラグを期待値と比較する(ステップS324)。すなわち、アクセスフラグがアクセスがあったことを示しているかどうかを判断する。もし、アクセスフラグがアクセスをしていないことを示していれば、上述したステップS300～

50

ステップS310の処理で、そのブロックはアクセスされなかったことになる。

【0112】

次に、ブロックアドレスNが最終ブロックアドレスであるかどうかを判断する(ステップS326)。ブロックアドレスNが最終ブロックでない場合(ステップS326:No)には、ブロックアドレスNに1を加える(ステップS328)。そして、上述したステップS322からを繰り返す。

【0113】

一方、上述したステップS326で、ブロックアドレスNが最終ブロックアドレスであると判断した場合(ステップS326:Yes)には、このテスト工程が終了する。ステップS304におけるチェックで、アクセスされたのがすべて1ブロック以下であると判断された場合で、且つ、ステップS324の比較で、すべてのブロックがアクセスされていた場合には、その半導体記憶装置は、ブロックアドレスと実際のブロックが一対一に対応していることとなる。

10

【0114】

以上のように、本実施形態に係る半導体記憶装置によれば、テスト工程に要する時間を短くすることができる。すなわち、1以下のロウデコーダ300が選択されたこと、及び、アクセスされていないロウデコーダが存在しないことを、ラッチ回路LT110に保持されたアクセスフラグに基づいて判断することとしたので、従来のように、メモリセルアレイ10のメモリセルMCに対してアクセス(読み出し、書き込み、消去)する必要がなくなる。このため、メモリセルMCにアクセスすることなく、ブロックアドレスと実際のブ

20

【0115】

さらに、本実施形態によれば、各ブロックのラッチ回路LT110からアクセスフラグを読み出す回数は、全ブロック数×2回であるので、第1実施形態と比べて、その読み出し回数を少なくすることができる。

【0116】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した実施形態においては、半導体記憶装置がNAND型の不揮発性半導体記憶装置である場合を例に説明したが、他の種類の半導体記憶装置にも適用することができる。

30

【0117】

また、上述した実施形態に示した回路構成は一例であり、同様の動作をする他の回路で同等の機能を実現するようにしてもよい。

【0118】

【発明の効果】

以上説明したように、本発明によれば、ブロック選択が適正に行われているかどうかをテストするのに要する時間を短くすることができる。

【図面の簡単な説明】

【図1】第1実施形態に係る半導体記憶装置の全体レイアウトの一例を説明するブロック図である。

40

【図2】図1におけるメモリセルアレイの内部構成の一例を説明する図である。

【図3】図1におけるアドレスデコーダ回路の内部構成の一例を説明する図である。

【図4】第1実施形態に係るロウデコーダの回路構成の一例を説明する図である。

【図5】第1実施形態に係る半導体記憶装置のテスト工程の一例を説明する図である。

【図6】第1実施形態に係るテスト結果判定回路の回路構成の一例を説明する図である。

【図7】第1実施形態に係る半導体記憶装置におけるテスト工程の動作波形の一例を示す図である。

【図8】第2実施形態に係るロウデコーダの回路構成の一例を説明する図である。

【図9】第2実施形態に係る半導体記憶装置のテスト工程の一例を説明する図である(その1)。

50

【図10】第2実施形態に係る半導体記憶装置のテスト工程の一例を説明する図である（その2）。

【図11】第2実施形態に係る半導体記憶装置におけるテスト工程の動作波形の一例を示す図である。

【図12】第3実施形態に係るロウデコーダの回路構成の一例を説明する図である。

【図13】第3実施形態に係る基準電圧生成回路の回路構成の一例を説明する図である。

【図14】第3実施形態に係る1ブロックアクセス判定回路の回路構成の一例を説明する図である。

【図15】第3実施形態に係る半導体記憶装置のテスト工程の一例を説明する図である（その1）。

10

【図16】第3実施形態に係る半導体記憶装置のテスト工程の一例を説明する図である（その2）。

【図17】信号線がショートして、複数のロウデコーダが選択されてしまう状態を説明する図である。

【図18】信号線がオープンになり、ロウデコーダが選択されていない状態を説明する図である。

【図19】従来の半導体記憶装置におけるテスト工程を説明する図である（その1）。

【図20】従来の半導体記憶装置におけるテスト工程を説明する図である（その2）。

【図21】従来のロウデコーダの回路構成の一例を説明する図である。

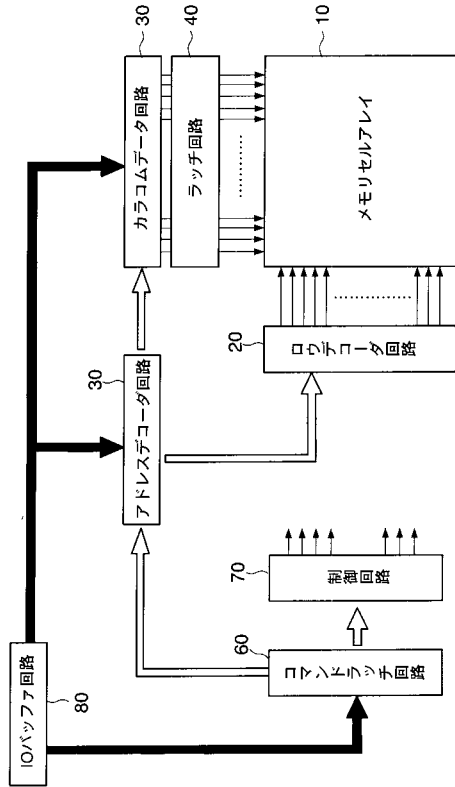
【図22】別の従来のロウデコーダの回路構成の一例を説明する図である。

20

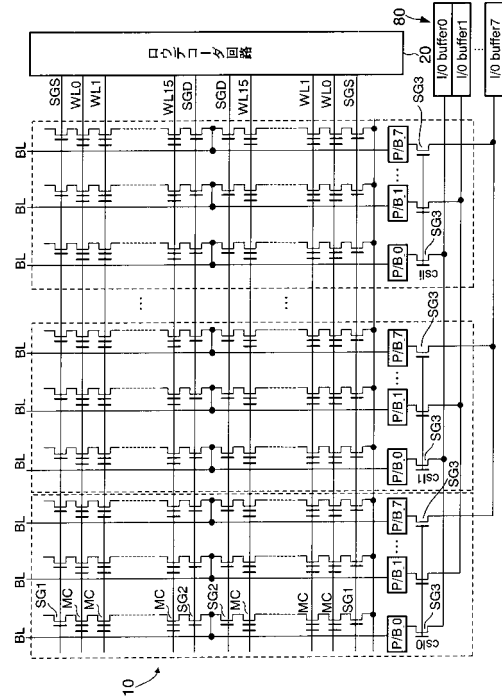
【符号の説明】

- 10 メモリセルアレイ
- 20 ロウデコーダ回路
- 30 カラムデコーダ回路
- 40 ラッチ回路
- 50 アドレスデコーダ回路
- 60 コマンドラッチ回路
- 70 制御回路
- 80 I/Oバッファ回路

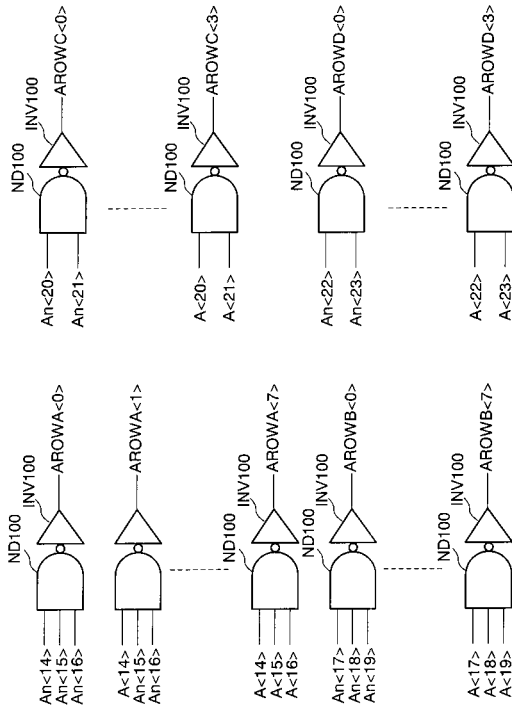
【図1】



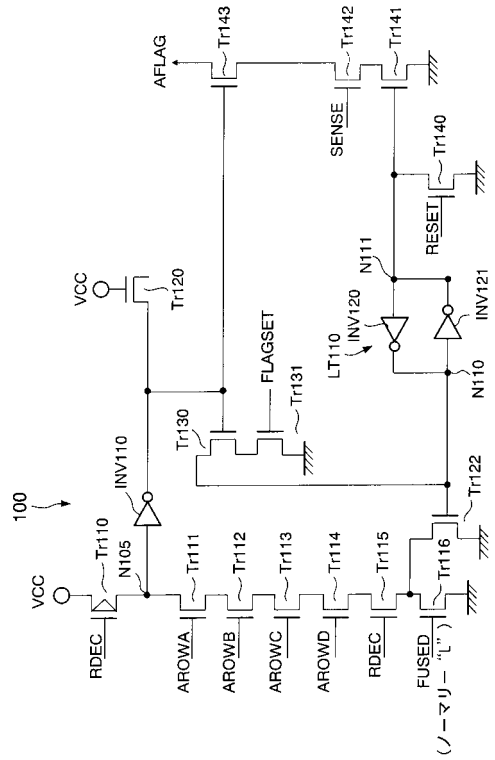
【図2】



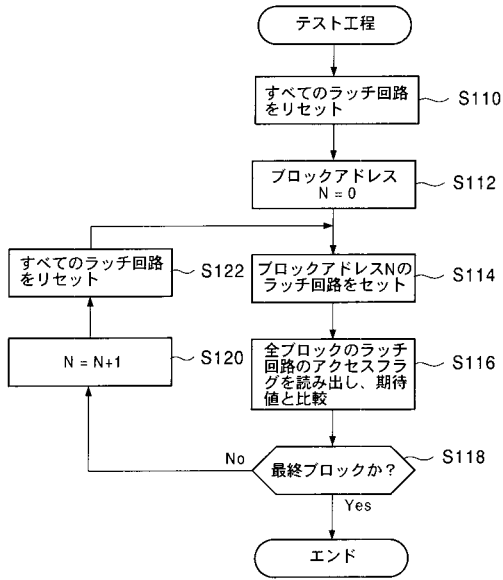
【図3】



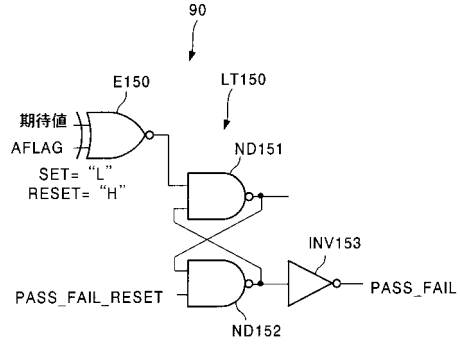
【図4】



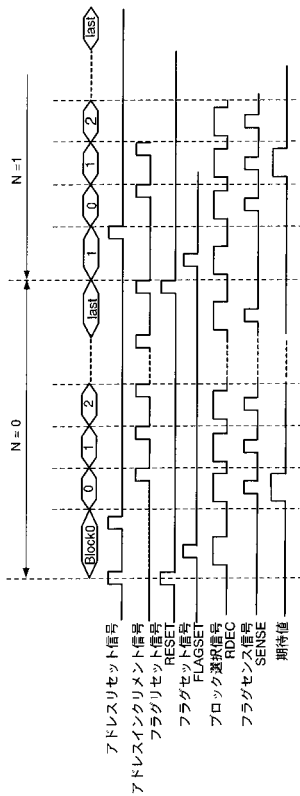
【 図 5 】



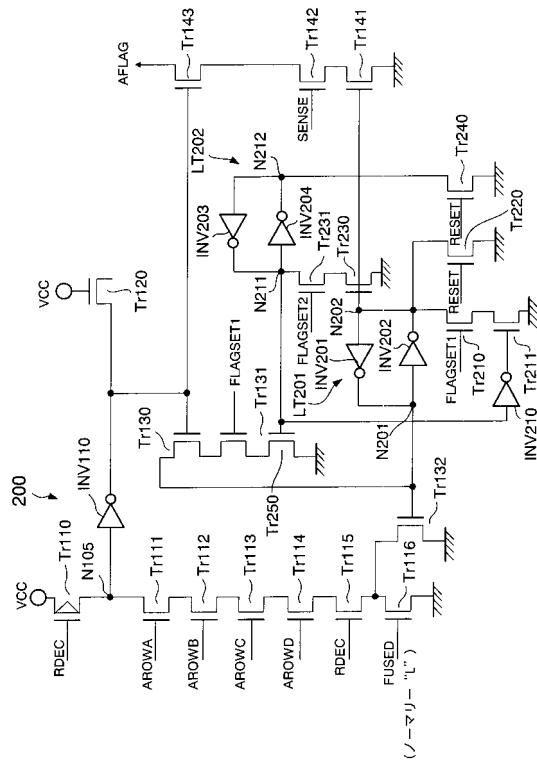
【 図 6 】



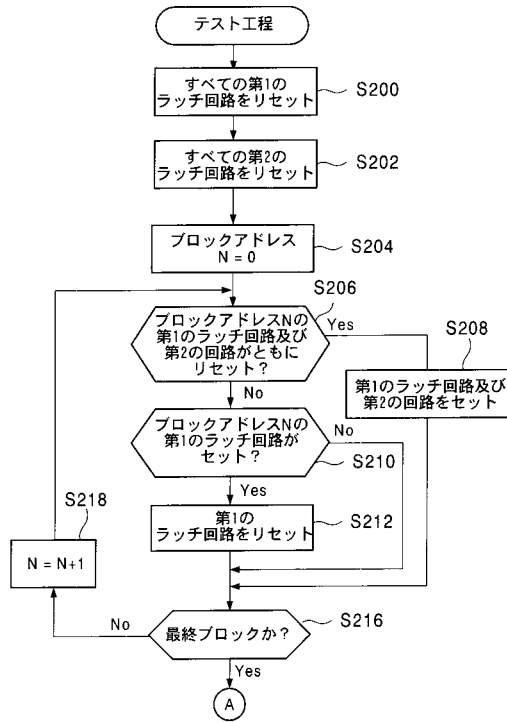
【 図 7 】



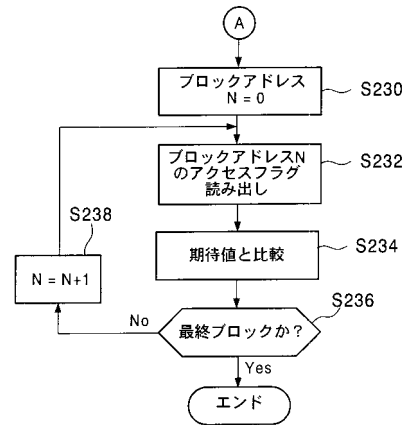
【 図 8 】



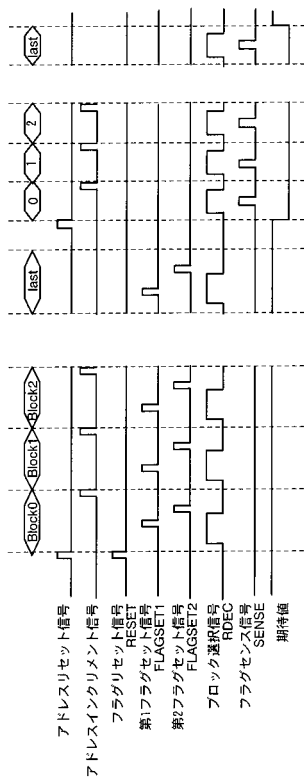
【 図 9 】



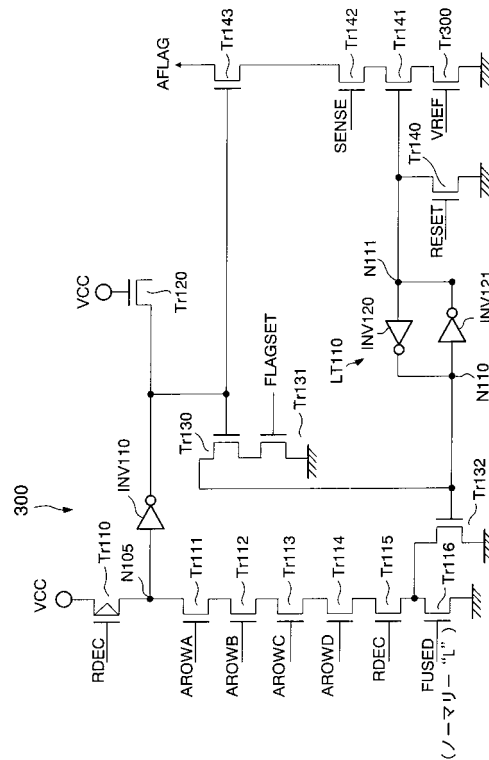
【 図 10 】



【 図 11 】

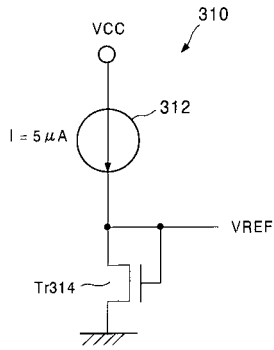


【 図 12 】

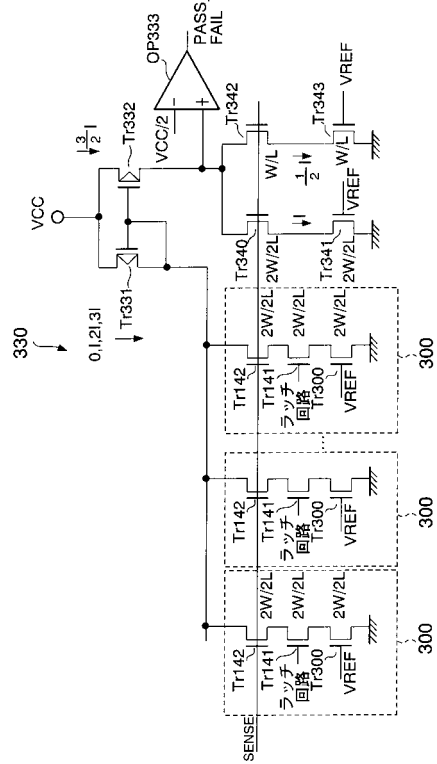




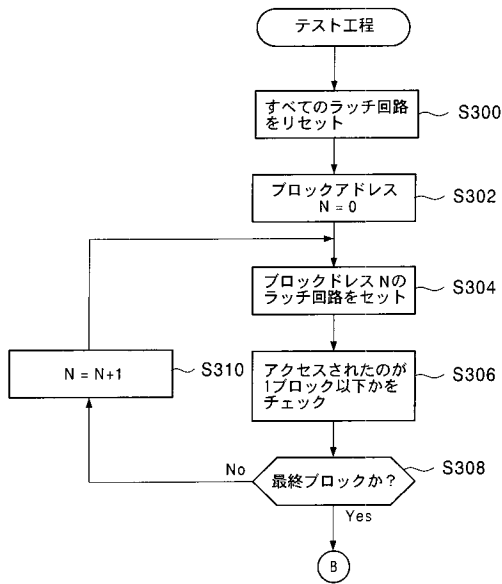
【図13】



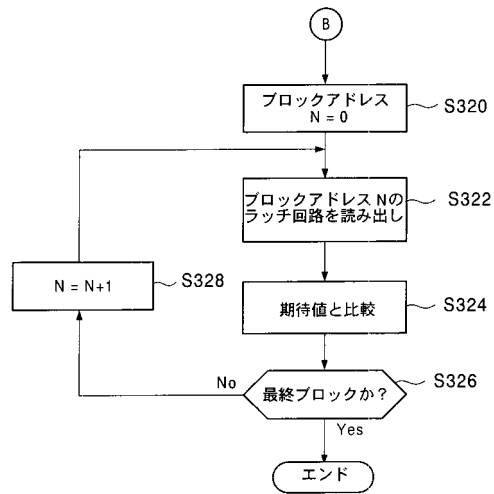
【図14】



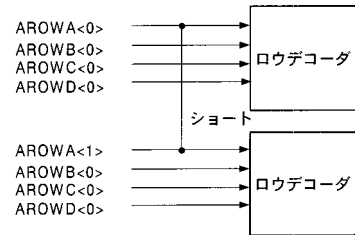
【図15】



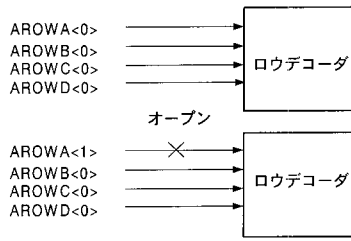
【図16】



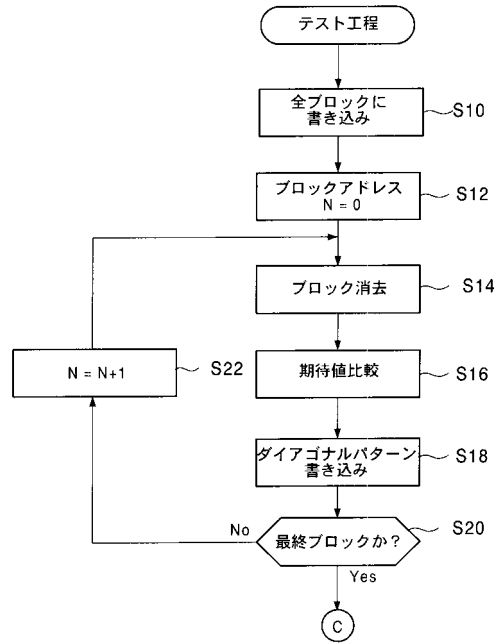
【図17】



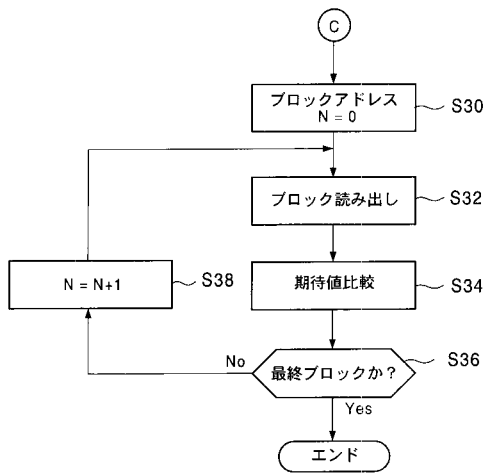
【図18】



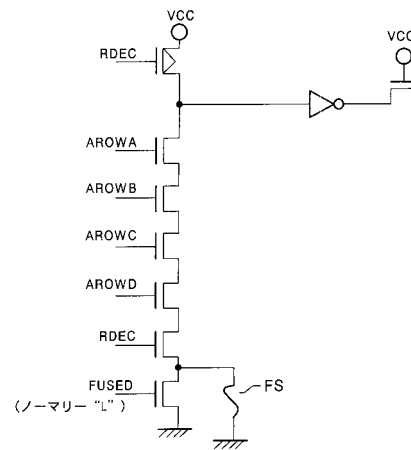
【図19】



【図20】



【図21】





---

フロントページの続き

- (72)発明者 河合 鉦 一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 今宮 賢 一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 小松 正

(56)参考文献 特開2002-133894(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 29/00