

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
H01L 27/10

(11) 공개번호   특1998-076746  
(43) 공개일자   1998년11월 16일

(21) 출원번호	특1997-013592
(22) 출원일자	1997년04월 14일
(71) 출원인	삼성전자 주식회사   윤종용
(72) 발명자	경기도 수원시 팔달구 매탄동 416 조명관
	경기도 용인시 기흥읍 농서리 산 24 최정혁
(74) 대리인	경기도 수원시 팔달구 인계동 선경아파트 1-1201 이건주

**심사청구 : 있음**

**(54) 개선된 드레인 접합을 가지는 불휘발성 메모리 소자의 구조 및 제조방법**

**요약**

드레인 누설전류를 개선하기 위해, 전기적으로 프로그램 가능한 불휘발성 기억 소자의 구조는, 제1도전형의 실리콘 기판에 제1절연막, 플로팅 게이트, 제2절연막, 콘트롤 게이트가 차례로 적층된 게이트부와; 상기 게이트부가 존재하지 않는 상기 기판상에 형성된 산화막과; 상기 산화막의 하부에 형성되며 상기 게이트부의 제1절연막 하부에 형성되는 채널영역의 양단에 중첩영역을 가지지 않고서 형성되는 셀의 소스 또는 드레인 영역으로서의 도핑층을 가짐을 특징으로 한다.

**대표도**

**도8**

**명세서**

**도면의 간단한 설명**

- 도 1은 채널 열전자 방식으로 프로그램을 행하는 종래의 적층형 EPROM 셀의 단면구조도.
- 도 2는 도 1의 셀로써 셀 어레이를 구성한 등가회로도.
- 도 3은 도 1의 셀에 대한 소거 및 프로그램시의 문턱전압의 범위를 보여주는 그래프.
- 도 4는 도 1의 셀에 대한 용량성 커플링을 설명하기 위해 도시된 등가회로도.
- 도 5는 도 2의 셀 어레이중 비선택된 셀에 대한 드레인 누설전류의 증가를 보여주는 그래프.
- 도 6은 통상적인 적층형 EPROM 셀의 단면구조도.
- 도 7a 내지 도 7e는 도 6의 셀을 제조하기 위한 공정수순별 단면도.
- 도 8은 본 발명에 따른 적층형 EPROM 셀의 단면구조도.
- 도 9a 내지 9c는 도 8의 셀을 제조하기 위한 공정수순별 단면도.
- 도 10은 본 발명과 종래기술에 따른 셀들간의 드레인 누설 전류 차이를 보여주는 그래프.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 불휘발성 반도체 메모리 소자에 관한 것으로, 특히 이피롬(EPROM)에서 드레인 누설전류를 저감시킬 수 있는 셀 구조 및 그에 따른 제조방법에 관한 것이다.

통상적으로, 불휘발성 반도체 메모리 소자중의 이피롬(Electrically Programmable Read Only Memory)은, 메모리 셀로의 데이터 저장(프로그램)이 전기적으로 수행되고, 셀에 저장된 데이터 소거가 자외선등의 광선으로 수행되는 불휘발성 메모리 장치로서 알려져 있다. 즉, 상기한 소자에서, 메모리 셀에 데이터를 저장하는 프로그램 동작은 드레인 측에 발생하는 채널 열 전자(Channel Hot Electron:CHE)를 플로팅 게이트

로 주입되게 함으로써 달성되며, 데이터의 소거 동작은 자외선등의 광선에 셀을 노출시켜 셀의 플로팅 게이트에 저장된 전하를 방전시킴으로써 달성된다.

상기 CHE를 메모리 셀의 드레인 근방에 형성하고 이를 플로팅 게이트로 주입시켜 프로그램을 수행하는 적층형 EPROM의 일예는 Mukherjee에 의해 발명되어 미합중국에서 특허허여된 미합중국 특허번호 US Pat. 4,698,787에 개시되어 있으며, 그러한 EPROM셀의 수직 구조는 설명의 참조를 위해 도 1에 도시되어 있다. 또한, 상기 셀로써 어레이를 구성한 EPROM의 등가회로는 도 2에 나타나 있으며, 그에 따른 프로그램 및 리드동작전압의 인가조건은 하기의 표 1에 나타나 있다.

[표 1]

	Program	Read
선택 비트라인	6 V	1 V
비 선택 비트라인	Floating	Floating
선택 워드라인	12 V	Vcc
비 선택 워드라인	0 V	0 V
공통 소스	0 V	Floating
기 판	0 v	0 V

메모리 셀에 저장된 데이터를 리드하는 독출동작에서, 플로팅 게이트에 저장된 전하량은 단일비트 저장시 데이터 0 또는 1중의 하나를 결정하게 된다. 리드시, 선택 비트라인에 연결된 드레인에 상기 표 1의 전압 예컨대 1.0 V를 인가하고 선택 워드라인인 콘트를 게이트에 Vcc(1.5 ~ 5.0 V)를 인가하면, 드레인에서 소스로 흐르는 전류는 플로팅 게이트에 저장된 전하의 양에 의존한다. 따라서, 드레인 전류를 비트라인을 통해 센싱함으로써 셀의 데이터 저장상태는 판별된다. 그러한 독출동작시 상기 콘트를 게이트에 인가되는 전압은 칩의 외부 전원전압이 직접 인가됨을 알 수 있다. 넓은 범위의 외부 전원전압의 레벨에 따른 동작이 요구되므로, 소거된 셀의 문턱전압의 레벨은 비교적 낮은 레벨의 Vcc가 콘트를 게이트에 인가 되어도 전류를 흐를 수 있을 만큼의 레벨로서 설정되어야 한다.

한편, 프로그램 동작의 달성을 위해 선택된 셀의 드레인과 연결된 비트라인에 표 1과 같이 6V를 인가하고 선택 워드라인에 10~14 V의 전압을 인가한다. 그러면 채널에 흐르는 전자들중의 일부가 상기 드레인 전압에 의한 횡방향 전계의 영향을 받아 가속되어 셀의 게이트 절연막을 통과할 수 있을 정도의 에너지를 가진다. 고 에너지를 가진 전자들은 상기 콘트를 게이트에 인가되는 전압에 기인하는 수직방향 전계의 영향을 받아 마침내 도전층인 플로팅 게이트로 주입된다. 일단 주입된 전자들은 다음의 소거동작시까지는 고립되어 불휘발 특성을 가지고서 저장되어 있게 된다. 프로그램의 동작을 원활히 하기 위해 채널(channel)의 불순물 농도를 높이는 것과 셀의 드레인 확산영역을 게이트 아래에 중첩시키는 것이 필요하게 된다. 도 3에는 도 1의 셀에 대한 소거 및 프로그램시의 문턱전압의 범위를 보여주는 그래프가 나타나 있다. 도 3에서 가로축은 게이트 전압이고 세로축은 드레인 전류를 가리킨다. 그래프 30은 소거된 셀의 문턱전압의 변화를 보인 것이고 그래프 31은 프로그램된 셀의 문턱전압의 변화를 보인 것이다.

도 4는 도 1의 셀을 도 2에서 비선택된 한 셀로서 가정하고 용량성 커플링을 설명하기 위해 도시된 등가회로도이다. 프로그램 동작시 도 2의 어레이에서 선택된 셀 A와 비트라인을 공유하는 비선택된 셀들 B는 모두 각각의 드레인으로 6V를 공통으로 수신하며, 각각의 콘트를 게이트로 0V를 수신한다. 따라서, 비선택된 셀 B에는 통상적으로 잘 알려진 용량성 커플링(capacitive coupling)의 원리에 따른 현상이 발생된다. 즉, 드레인 전압이 플로팅 게이트에 용량적으로 커플링되어 플로팅 게이트의 전위는 증가된다. 이 경우에 플로팅 게이트에 나타나는 전압을 도 4와 같이 Vfg라 하면 그 증가관계는 하기의 식으로서 표현된다.

[수학식 1]

$$V_{fg} = \gamma_{cg} * V_{cg} + \gamma_d * V_d + \gamma_s * V_s + \gamma_b * V_b$$

$$V_{fg} = \gamma_{cg} * V_{cg} + \gamma_d * V_d + \gamma_s * V_s + \gamma_b * V_b$$

여기서, 상기 Vcg는 콘트를 게이트의 전압이고, Vd는 드레인 전압이며, Vs는 소스 전압이다. 또한, Vb는 기판(Bulk)전압 이고,  $\gamma_{cg}$ 는 층간절연막의 캐패시턴스Cono/총합 캐패시턴스 Ctotal의 비이고,  $\gamma_d$ 는 Cd/Ctotal의 비이며,  $\gamma_s$ 는 Cs/Ctotal의 비이고,  $\gamma_b$ 는 벌크 캐패시턴스 Cb/Ctotal의 비이다. 여기서, Ctotal은 하기의 식으로서 표현된다.

[수학식 2]

$$C_{total} = C_{no} + C_d + C_b + C_s.$$

로서 나타나며, 프로그램시 비선택 셀은 Vcg = Vb =Vs = 0 가 되므로 상기 식 1은 다시 하기의 식으로 간략히 표현된다. 즉,

[수학식 3]

$$V_{fg} = \gamma_d * V_d.$$

로서 주어진다. 상기한 용량성 커플링에 의해 커플링된 플로팅 게이트 전압은 비선택된 셀의 채널 아래를 약 반전(weak inversion)시키게 된다. 증가된 플로팅 게이트 의 전압 레벨이 셀의 문턱전압 Vth 값 이상

이 되면 채널은 완전히 반전되어 드레인 전류가 급격히 흐르게 되는 데 이 것이 바로 누설 전류 현상이다. 도 5에는 이러한 누설전류의 증가 그래프가 나타나 있다. 상기 누설전류는 소거된 셀의 문턱전압이 낮을수록 증가하며 넓은 동작범위의  $V_{cc}$ 가 요구되는 소자일수록 증가된다. 상기한 누설전류의 증가 현상은 선택된 비트라인을 공유하는 비선택된 셀들 모두에서 발생하는 문제이다. 따라서, 누설전류를 감소시키고자 프로그램시 비트라인에 인가되는 전압을 감소시키면 선택된 셀의 프로그램 속도가 저하된다. 이 것은 또 다른 근본적인 문제점이다.

도 6은 통상적인 적층형 EPROM 셀의 단면구조도로서, 도 1의 구조와는 약간 다른 종래의 구조를 보여준다. 도 6에서, 실리콘 기판 1상에 약  $200\text{\AA}$  정도의 얇은 산화막 2이 존재하고, 그 상부에 데이터를 전하로서 저장하는 플로팅 게이트 3 및 콘트롤 게이트 4가 있다. 상기 플로팅 게이트 3와 콘트롤 게이트 4의 사이에는  $ONO$  층간 절연막(실리콘 산화막/실리콘 질화막/실리콘 산화막)5가 개재되어 있다. 드레인 또는 소오스가 되는  $N^+$  접합 층 7의 상부의 일부에는 산화막 6이 형성된다. 여기서, 비교적 두꺼운 상기 산화막 6이  $N^+$  영역 전체를 덮지 못하고 일부에만 존재하므로  $N^+$  접합 층 7이 게이트 산화막 2를 개재하여 플로팅 게이트 3과 대면하게 됨을 알 수 있다. 따라서, 이러한 도 6의 구조 역시 상기한  $\tau_d$ 에 영향을 주는 캐패시턴스  $C_d$ 가 증가되는 문제가 있다. 도 6의 제조과정을 도 7a 내지 도 7e를 참조하여 간략히 설명한다.

도 7a 내지 도 7e는 도 6의 셀을 제조하기 위한 공정수순별 단면도이다. 도 7a는 기판 1에 대하여 소자의 분리를 위한 절연공정을 진행한 후에, 약  $200\text{\AA}$  정도의 얇은 산화막 2를 열산화 공정을 통하여 형성한 것을 보여준다. 도 7b는 게이트 절연막이라고도 칭하는 상기 산화막 2상에 차례로 플로팅 게이트 3, 층간 절연막 5, 콘트롤 게이트 4를 형성하기 위한 층을 적층한 것을 보여준다. 도 7c는 포토마스크 공정을 통하여 플로팅 게이트 3, 층간 절연막 5, 콘트롤 게이트 4를 패터닝한 것을 보여준다. 도 7d는 셀의 소스, 드레인이 형성될 영역에  $N^+$  이온을 주입하는 것을 보인다. 결과로써  $N^+$  접합 층 7이 형성된다. 도 7e는 게이트 에지부위 8에 산화막 6을 형성시키는 공정이다. 이는 도 7c 공정에서의 패터닝시 에치 디메지를 받은 게이트 산화막 2의 절연막 특성 열화를 보상해주기 위해서이다. 따라서, 산화 분위기의 열처리 공정을 통하여, 게이트 에지 부위 8에 버즈 빅(bird's beak)을 가지는 산화막 6을 상기 층 7의 상부에 형성한 것이다. 이에 따라  $N^+$  불순물 층 7의 상부에는 두꺼운 산화막 6이 성장 되고 주입된 불순물은 확산되어 버즈 빅 영역이상의 채널 안쪽까지 확산된 소스/드레인 구조가 형성 된다. 이 공정에서 산화막 형성 온도 및 산화막의 성장에 따른 확산증가 효과(oxidation enhanced diffusion)에 기인하여 게이트 산화막 2의 가장자리 아래부분까지  $N^+$  영역 7은 확산된다. 따라서, 이는 결국  $C_d$ 를 증가시켜  $\tau_d$ 를 증가시키는 요인이 된다.  $\tau_d$ 의 증가는 비선택된 셀의  $V_{fg}$  증가를 의미하며, 이는 곧 누설 전류의 증가를 의미한다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 불휘발성 메모리 소자의 구조 및 제조 방법을 제공함에 있다.

본 발명의 다른 목적은 이피롬(EPROM)에서 드레인 누설전류를 저감시킬 수 있는 셀 구조 및 그에 따른 제조 방법을 제공함에 있다.

### 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명에 따라 전기적으로 프로그램 가능한 불휘발성 기억 소자의 구조는, 제1도전형의 실리콘 기판에 제1절연막, 플로팅 게이트, 제2절연막, 콘트롤 게이트가 차례로 적층된 게이트 부위와; 상기 게이트부가 존재하지 않는 상기 기판상에 형성된 산화막과; 상기 산화막의 하부에 형성되며 상기 게이트부의 제1절연막 하부에 형성되는 채널영역의 양단에 중첩영역을 가지지 않고서 형성되는 셀의 소스 또는 드레인 영역으로서의 도핑층을 가짐을 특징으로 한다.

본 발명의 일실시예에 따른 셀의 최종적 단면 구조는 도 8에 나타나 있다. 도 8의 구조가 종래 셀의 구조와 다른 점은 도핑층으로서의 소오스 또는 드레인  $N^+$  접합층 9이 두꺼운 산화막 10을 사이에 두고 절연막 2와 직접적으로 접촉되는 중첩영역을 가지지 않는다는 것이다. 즉, 종래의 도면 도 7e의 게이트 에지 부위 8을 가짐이 없이 산화막 10의 하부에만 존재한다는 것이다,

도 8과 같은 본 발명의 구조를 제조하는 공정 수순도가 도 9a 내지 9c에 순차적으로 나타나 있다. 도 9a는 종래의 도 7a에서 도 7c까지에 이르는 공정을 진행한 상태에서 도핑층 9의 형성전에, 고온의 산화막 성장공정을 통하여 두꺼운 산화막 10을 소스 또는 드레인이 형성될 영역상부에 먼저 형성한 것을 보여준다. 도 9b에서는 비로서 상기 산화막 10을 형성한 상태에서  $N^+$  이온 주입을 행하여 도핑층 9를 형성하는 공정을 보여준다. 이에 따라 종래와 같은 게이트 에지 부위 8의 중첩영역이 발생되지 않는다. 따라서, 상기한 바와 같이 게이트부의 콘트롤 게이트 4를 마스크로 이용함으로써  $N^+$  도펀트는 채널영역에 주입됨이 없이 자기정렬(self alignment)되어 콘트롤 게이트 3의 하부와 오버랩(overlap)은 완전히 감소하는 것이다. 이로 인하여  $C_d$ 가 감소하고  $\tau_d$ 가 감소한다. 따라서, 비선택된 셀의  $V_{fg}$ 가 감소되어 누설 전류는 감소한다.

도 9c에서는 콘트롤 게이트 4와 형성될 금속 배선간에 놓여질 층간 절연막 형성을 위해, BPSG 막11을 침적한 공정이 보여진다. 이후 평탄화를 위한 리플로우(reflow)공정으로서  $900^\circ\text{C}$  30분의 열처리 공정이 행해진다. 이 공정에서 도 9b에서 이온주입된  $N^+$  도펀트가 약간 액티베이션(activation)되어 확산된다. 이후의 공정은 콘택 홀의 오프닝 및 메탈라이제이션으로서 이는 통상의 금속 배선공정과 동일하다.

상기한 바와 같은 공정으로 진행 했을 경우에 나타나는 드레인 누설 전류 특성은 도 10에 보여진다. 도 10에서 그래프 부호 101은 본 발명의 그래프이고 이는 종래의 그래프 100과 비교되어 나타나 있다. 여기서, 나타나 있듯이 드레인 전압 6V에서 누설 전류는 종래에 대비 약  $10^4$  정도로 개선됨을 알 수 있다.

## 발명의 효과

상기한 바와 같은 본 발명에 따르면, 공정의 추가없이 간단한 공정으로 이피롬(EPROM)에서 드레인 누설전류를 저감시킬 수 있는 효과가 있다.

## (57) 청구의 범위

### 청구항 1

전기적으로 프로그램 가능한 불휘발성 기억 소자에 있어서: 제1도전형의 실리콘 기판에 제1절연막, 플로팅 게이트, 제2절연막, 콘트롤 게이트가 차례로 적층된 게이트부와; 상기 게이트부가 존재하지 않는 상기 기판상에 형성된 산화막과; 상기 산화막의 하부에 형성되며 상기 게이트부의 제1절연막 하부에 형성되는 채널영역의 양단에 중첩영역을 가지지 않고서 형성되는 셀의 소스 또는 드레인 영역으로서의 도핑층을 가짐을 특징으로 하는 구조.

### 청구항 2

제1항에 있어서, 상기 산화막은 상기 제1절연막과 상기 게이트부의 형성 후, 열산화 공정에 의하여 형성된 산화규소막임을 특징으로 하는 구조.

### 청구항 3

제1항에 있어서, 상기 제1절연막은 실리콘 산화막임을 특징으로 하는 구조.

### 청구항 4

제1항에 있어서, 상기 제2절연막은 실리콘 산화막/실리콘 질화막/실리콘 산화막의 합성층임을 특징으로 하는 구조.

### 청구항 5

제1항에 있어서, 상기 제1도전형이 P형 도펀트인 경우에 상기 제2도전형은 N형 도펀트임을 특징으로 하는 구조.

### 청구항 6

전기적으로 프로그램 가능한 불휘발성 기억 소자의 제조방법에 있어서:

제1도전형의 반도체 기판에 게이트 절연막으로서 기능할 실리콘 산화막을 형성하는 단계;

플로팅 게이트로 사용될 제1도전층을 침적하는 단계;

열산화공정 및 기상증착법을 사용하여 다층으로 된 제2절연막을 형성하는 단계;

콘트롤 게이트로 사용될 제2도전층을 침적하는 단계;

사진식각 공정을 통하여 상기 제2도전층, 상기 제2절연막, 상기 제1도전층을 순차적으로 패터닝하여 게이트 부를 형성하는 단계;

열산화 공정을 통하여 상기 적층된 게이트 구조가 없는 노출된 반도체 표면에 두꺼운 산화막을 형성하는 단계; 및

상기 게이트 부를 마스크로 하여 실리콘 기판과 반대 도전형의 도펀트를 이온 주입하는 단계를 가짐에 의해, 상기 산화막의 하부에서 상기 게이트부의 제1절연막 하부에 형성되는 채널영역의 양단에 중첩영역을 갖지 아니하는 셀의 소스 또는 드레인 도핑영역이 만들어 지도록 함을 특징으로 하는 제조방법.

### 청구항 7

제6항에 있어서, 상기 산화막은 상기 제1절연막과 상기 게이트부의 형성 후, 열산화 공정에 의하여 형성된 산화규소막임을 특징으로 하는 제조방법.

### 청구항 8

제6항에 있어서, 상기 제1절연막은 실리콘 산화막임을 특징으로 하는 제조방법.

### 청구항 9

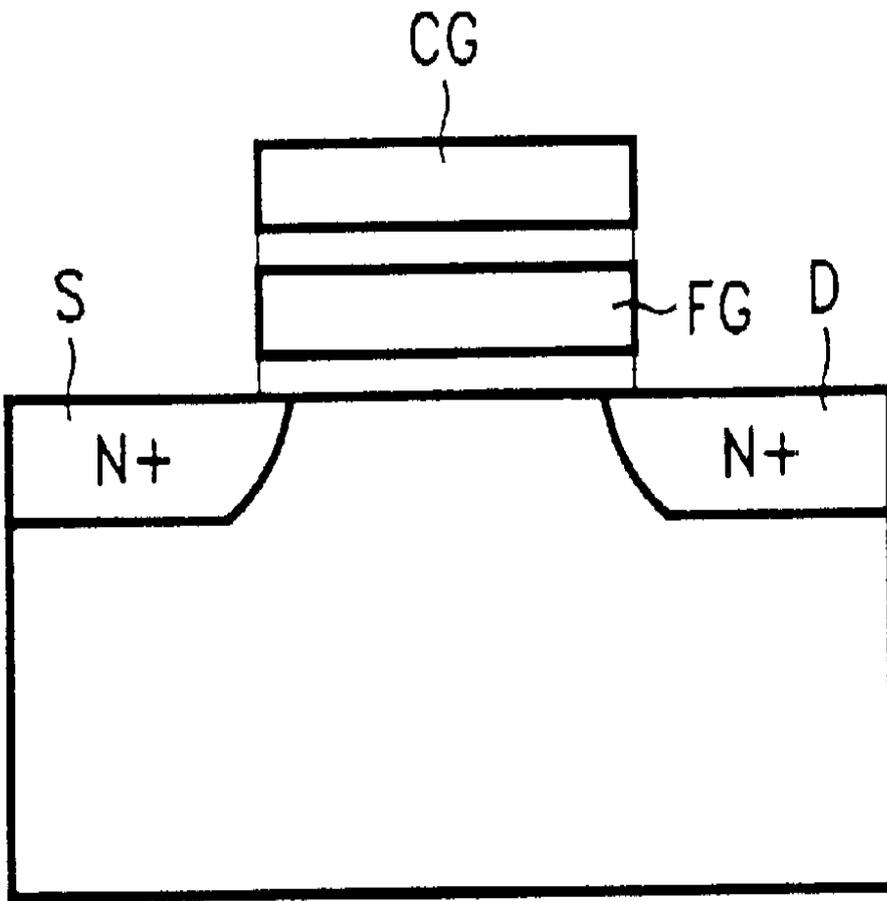
제6항에 있어서, 상기 제2절연막은 실리콘 산화막/실리콘 질화막/실리콘 산화막의 합성층임을 특징으로 하는 제조방법.

### 청구항 10

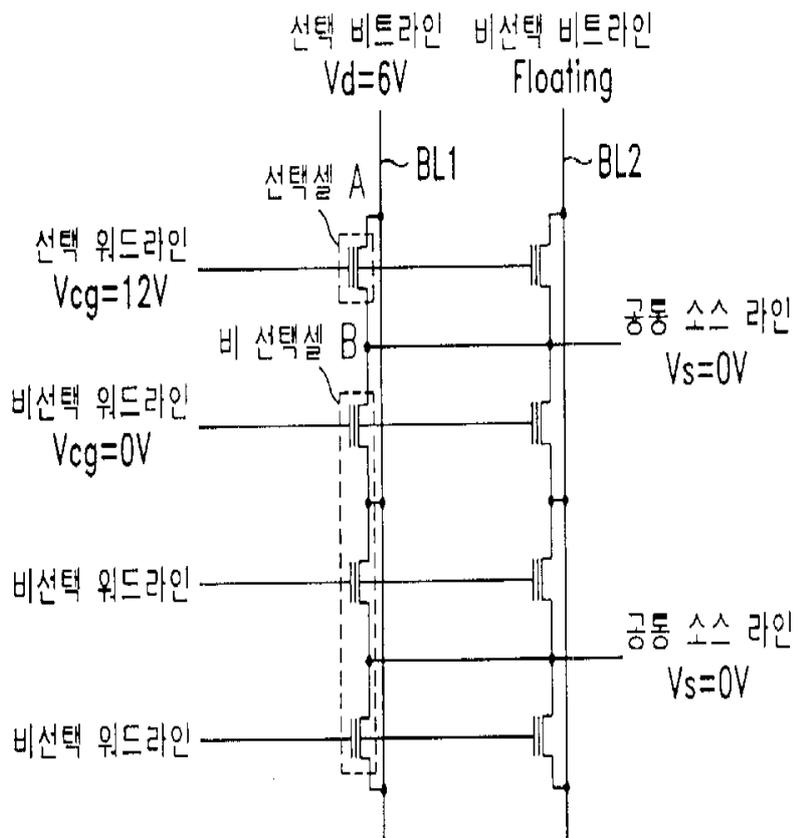
제6항에 있어서, 상기 제1도전형이 P형 도펀트인 경우에 상기 제2도전형은 N형 도펀트임을 특징으로 하는 제조방법.

## 도면

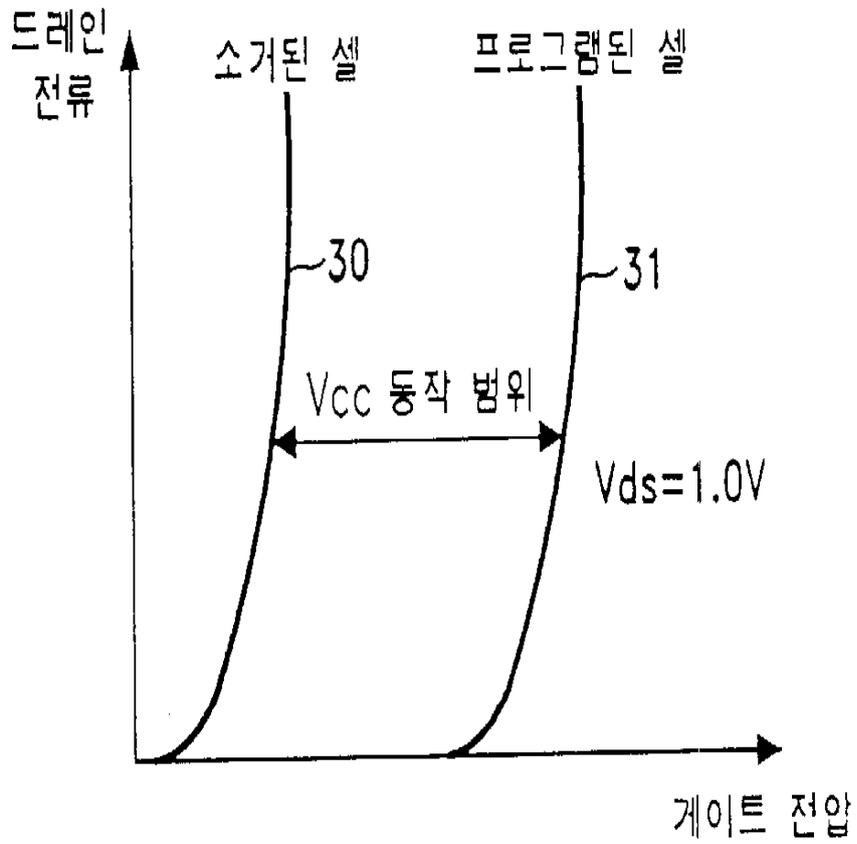
도면1



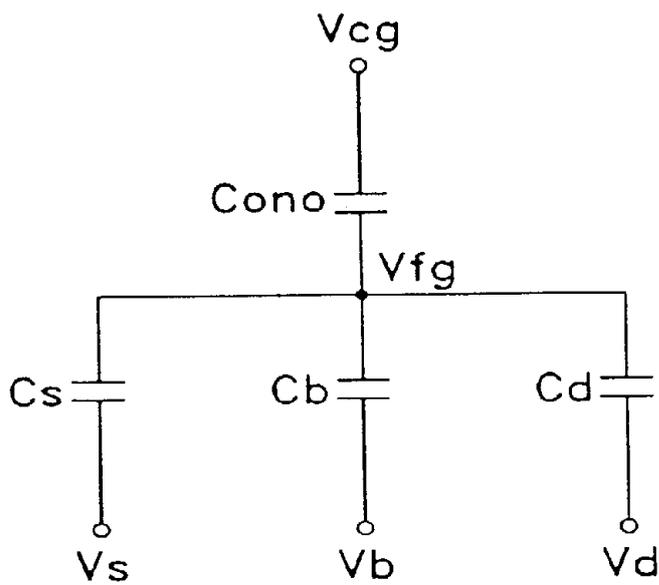
## 도면2



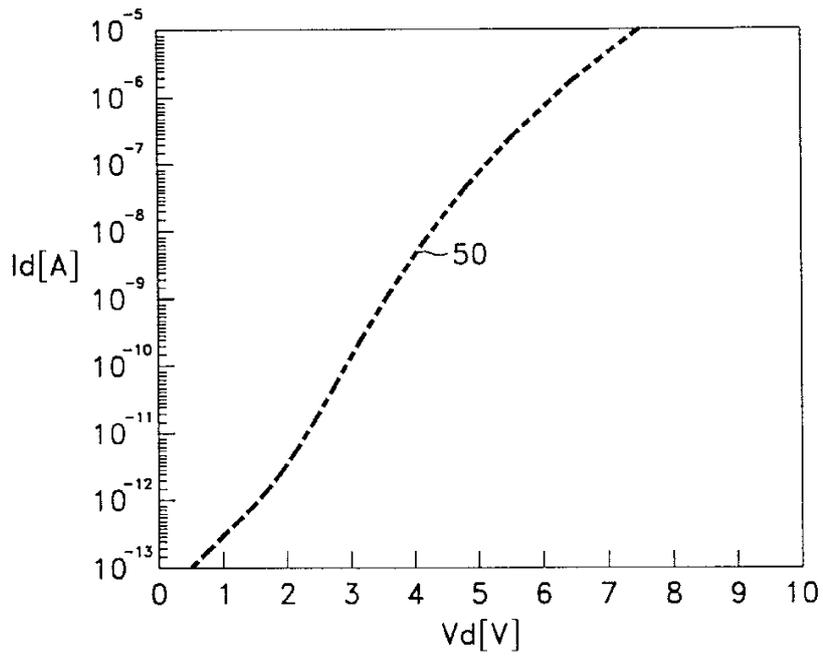
도면3



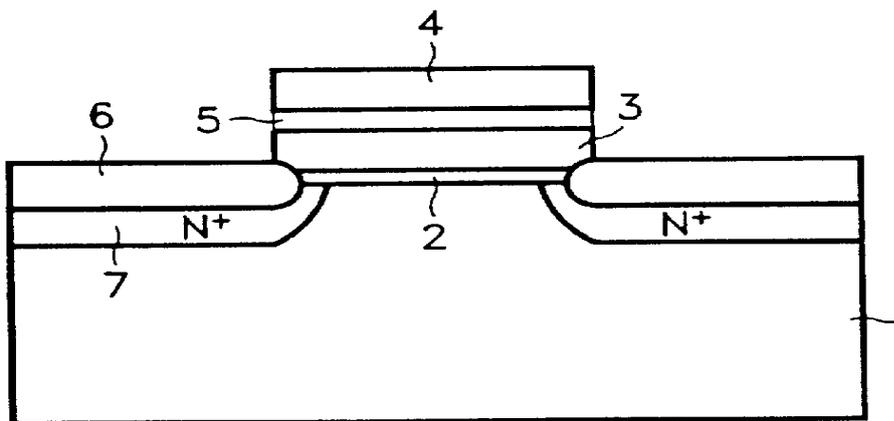
도면4



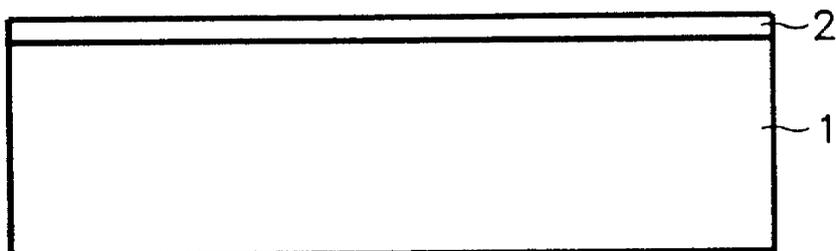
도면5



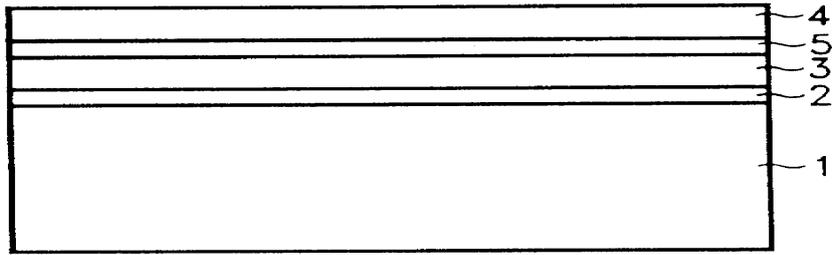
도면6



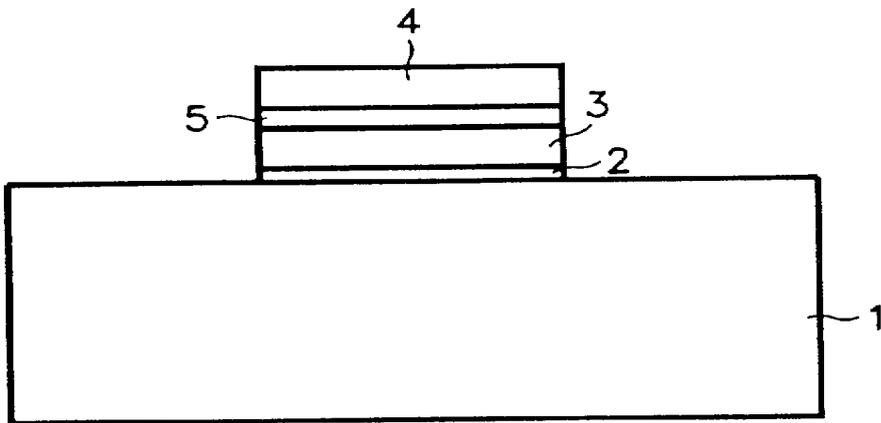
도면7a



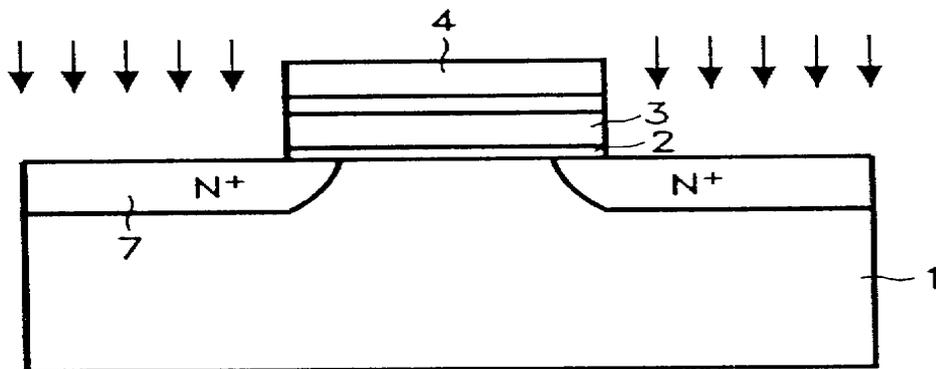
도면7b



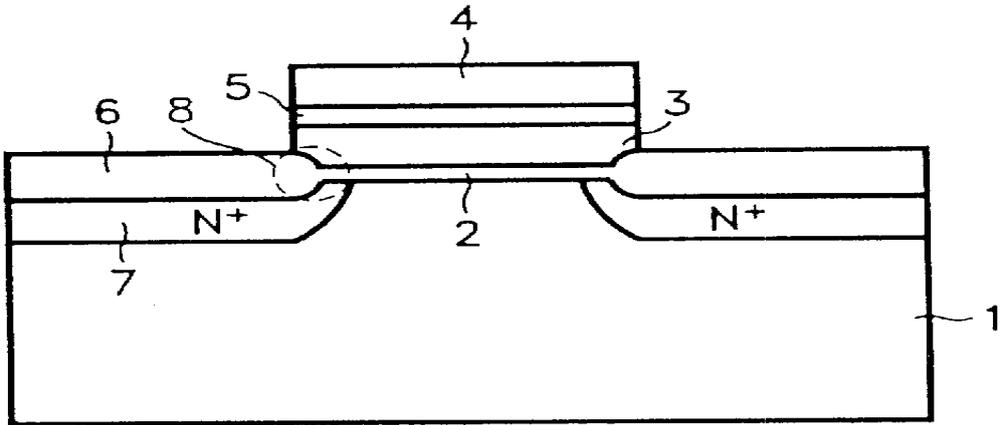
도면7c



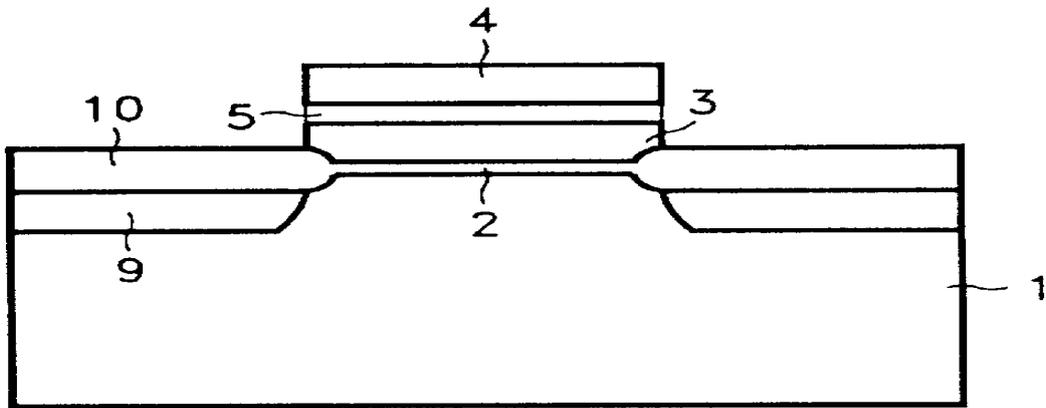
도면7d



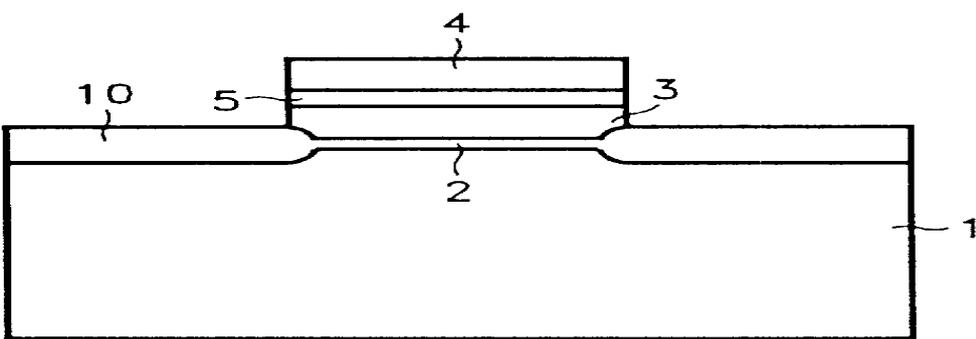
도면7e



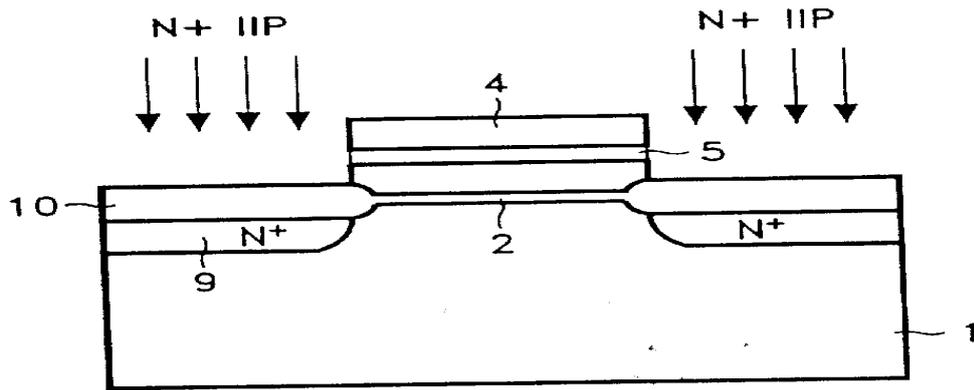
도면8



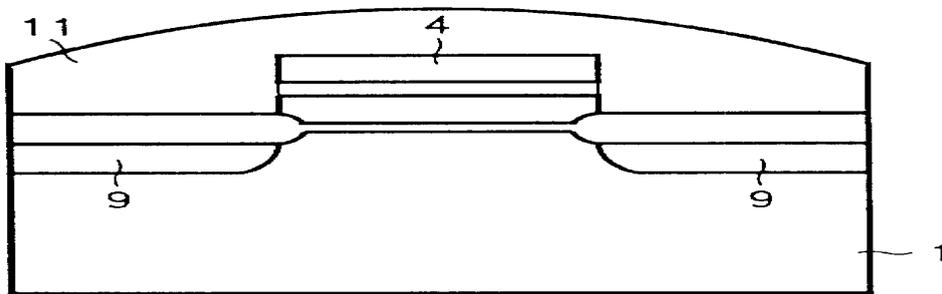
도면9a



도면9b



도면9c



도면10

