



# [12] 发明专利申请公开说明书

[21] 申请号 200410061880. X

[43] 公开日 2005年2月9日

[11] 公开号 CN 1578209A

[22] 申请日 2004. 6. 25

[21] 申请号 200410061880. X

[30] 优先权

[32] 2003. 6. 27 [33] JP [31] 2003 - 183650

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 乡古大志

[74] 专利代理机构 上海专利商标事务所

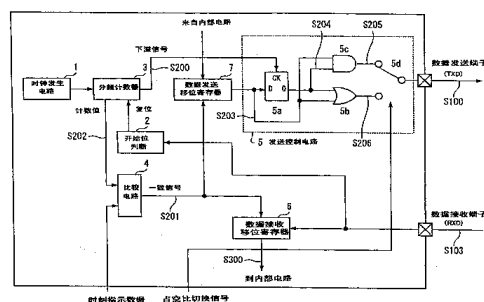
代理人 包于俊

权利要求书 2 页 说明书 8 页 附图 9 页

[54] 发明名称 起停同步式通信电路

[57] 摘要

本发明用比较电路(4)比较决定通信速度的分频计数器(3)的计数值与根据下降延迟与上升延迟之差计算出的值,将一致信号作为数据接收移位时钟脉冲(S201),进行数据的接收,这样能够在最佳位置取入接收数据。另外,将该数据接收移位时钟脉冲(S201)作为数据发送移位时钟脉冲(S201),对来自数据发送移位寄存器(7)的串行数据(S203),用发送控制电路(5)发送具有与通信系统上相反的占空比的数据,这样能够将具有正常的占空比的数据发送到对方一侧的通信装置。



1. 一种起停同步式通信电路，是在任意时刻收发数据的起停同步式通信电路，其特征在于，具有

输出任意周期的时钟脉冲的时钟发生电路、

在数据接收时读入接收数据的开始位，输出开始位判断信号的开始位判断电路、

随着所述开始位判断信号的输入，对所述时钟脉冲进行分频，同时对所述时钟脉冲的时钟脉冲数进行计数的分频计数器、

比较所述计数的时钟脉冲数与从外部输入的时刻指示数据，并在一致时输出一致信号的比较器、以及

将所述一致信号作为数据接收移位时钟脉冲，接收从数据接收端子输入的数据的数据接收移位寄存器，

用所述数据接收移位时钟脉冲读入数据，以此与由于通信路径上的延迟差异而引起的接收数据占空比的失真相对应读入接收数据。

2. 一种起停同步式通信电路，是在任意时刻收发数据的起停同步式通信电路，其特征在于，具有

输出任意周期的时钟脉冲的时钟发生电路、

将所述时钟脉冲分频并输出下溢信号，同时对所述时钟脉冲的时钟脉冲数进行计数的分频计数器、

比较所述计数的时钟脉冲数与从外部输入的时刻指示数据，在一致时输出一致信号的比较器、

将所述一致信号作为数据发送移位时钟脉冲，输出从外部输入的数据的数据发送移位寄存器、

将所述下溢信号作为时钟脉冲输入，并将所述数据发送移位寄存器的输出信号作为输入数据的触发器、

将所述触发器的输出信号及所述数据发送移位寄存器的输出信号作为输入信号的AND电路、

将所述触发器的输出信号及所述数据发送移位寄存器的输出信号作为输入信号的OR电路、以及

利用从外输入的占空比切换信号，选择所述AND电路的输出信号或所述OR电路的输出信号并从数据发送端子输出的切换电路，

与所述数据发送移位时钟脉冲同步取入从内部电路输入的数据，对于该取入的数据，将所述下溢信号作为时钟脉冲输入用触发器将其移位，然后与所述数据发送移位寄存器的输出信号取 OR 及 AND，将各输出信号作为下降沿延迟大的情况下所用的发送数据、或者上升沿延迟大的情况下所用的发送数据，根据通信路径上的延迟特性，选择某一个发送数据。

3. 如权利要求 1 所述的起停同步式通信电路，其特征在于，将所述时刻指示数据的输入时刻设定为所述接收数据的上升沿延迟时间与下降沿延迟时间之差的  $1/2$  的绝对值。

4. 如权利要求 2 所述的起停同步式通信电路，其特征在于，所述占空比切换信号的值由所述接收数据的上升沿延迟时间与下降沿延迟时间之差的极性来决定。

5. 权利要求 1 所述的起停同步式通信电路，其特征在于，实测所述接收数据的 1 位份额的 High 期间长度及 Low 期间长度，将所述时刻指示数据的输入时刻设定为该 High 期间长度与 Low 期间长度之差的  $1/2$  的绝对值。

6. 如权利要求 2 所述的起停同步式通信电路，其特征在于，实测所述接收数据的 1 位份额的 High 期间长度及 Low 期间长度，所述占空比切换信号的值由该 High 期间长度与 Low 期间长度之差的极性来决定。

## 起停同步式通信电路

### 技术领域

本发明涉及起停同步式通信电路的接收时刻控制及发送波形控制，特别涉及像空调的室外机与室内机之间那样的电源系统不同的机器之间所使用的起停同步式通信电路。

### 背景技术

关于已有的起停同步式通信电路，下面用图 6、图 7、图 8 及图 9 进行说明。

图 6 的说明一般的起停同步式通信电路之间的通信的概念图，例如用于空调的室外机与室内机之间的通信等。图 7 所示为已有的起停同步式通信电路的构成图，图 8 所示为已有的同步式通信电路的动作信号波形图，图 9 所示为已有的起停同步式通信电路中占空比大的情况下的动作信号波形图。

在图 6 中，从室外机一侧的起停同步式通信电路 U1 的发送端子 TXD 输出发送数据，通过绝缘零部件 Z2，用室内机一侧的起停同步式通信电路 U2 的接收端子 RXD 进行接收。另外，从室内机一侧的起停同步式通信电路 U2 的发送端子 TXD 输出发送数据，通过绝缘零部件 Z1，用室外机一侧的起停同步式通信电路 U1 的接收端子 RXD 进行接收。这些通信以预先决定的数据速度进行通信。

下面用图 7 及图 8 说明已有的起停同步式通信电路的动作。

在图 7 中，已有的起停同步式通信电路由将开始位判断电路 2 输出的开始位判断信号作为复位信号并对时钟发生电路 1 输出的时钟脉冲进行分频的分频计数器 3、将分频计数器 3 输出的时钟脉冲作为数据发送移位时钟脉冲的数据发送移位寄存器 7、以及将分频计数器 3 输出的时钟脉冲作为数据接收移位时钟脉冲的数据接收移位寄存器 6 而构成。

在数据接收时，从起停同步式通信电路 U2 的发送端子 TXD 发送的数据 S102 以图 8 的 91 那样的波形进行发送。在该图的情况下，发送数据设为“10101010”。该串行数据一通过绝缘零部件 Z1，由于绝缘零部件的特性，其输出数据 S103 附加了下降延迟  $t_1$  及上升延迟  $t_2$  的延迟，如图 8 的 92 那样，波形的“H”期间与“L”期间发生变化，形成占空比发生变化的波形。输入至起停同步式通信电路 U1 的接收端子 RXD

接收数据，利用开始位判断电路 2 来判断开始位，从开始位判断电路 2 输出开始位判断信号。利用该开始位判断信号进行复位的分频计数器 3，开始对来自时钟发生电路 1 的时钟脉冲信号进行分频，输出数据 S200 作为图 8 的 93 的波形所示那样的数据接收移位时钟脉冲，该数据接收移位时钟脉冲可以在对应于预先决定的通信速度接收的数据 S102 的中央部取入数据，数据 S103 按照该时钟脉冲用接收数据移位寄存器 6 进行接收。在这种情况下，由于是接收 8 位，因此如波形 94 所示的数据 S300 那样，在接收移位时钟脉冲输出 8 次的期间内，存入数据接收移位寄存器，然后向内部电路输出，结束接收过程。

在数据发送时，用分频计数器 3 将根据预先决定的通信速度设定的来自时钟发生电路 1 的时钟脉冲信号进行分频，将该分频后的时钟脉冲作为如图 8 的 95 所示波形那样的数据发送移位时钟脉冲的数据 S200，从数据发送移位寄存器 7 将发送数据 S100 送出。该串行数据从起停同步式电路 U1 的发送端子 TXD 以图 8 的波形 96 进行发送，输入至绝缘零部件 Z2。这里与接收时相同，输出附加了下降延迟  $t_1$  及上升延迟  $t_2$  的延迟的数据 S101，以图 8 的 97 那样的产生波形失真的波形到达起停同步式通信电路 U2 的接收端子 RXD。以后的起停同步式通信电路 U2 的接收动作与起停同步式通信电路 U1 的接收动作相同。

还有这样的例子，即在通信开始时用预先决定格式的数据来进行收发时钟脉冲的自动设定，或对接收数据的变化点进行采样，以这样的方法进行接收时钟脉冲的自动校正（参照例如专利文献 1）。

但是，在前述那样的收发动作中，一般在起停同步式通信电路 U2 与 U1 之间存在的绝缘零部件 Z1 及 Z2 在信号波形的上升时间  $t_2$  与下降时间  $t_1$  方面存在差异。在因该上升及下降时间而产生的延迟与通信速度相比为足够小时，即使采用已有的起停同步式通信电路的构成也没有问题，能够进行通信，但在通信速度很快时，则产生的问题是，图 9 的波形 102 那样的 High 期间与 Low 期间的占空比有很大变化的波形输入至接收端子，用图 9 的数据接收移位时钟脉冲 S200 所示的波形 103 就不能正确进行数据的接收。因此，以往在对通信系统必须插入上升及下降的延迟差很大的零部件时，必须降低通信速度，使其相对于延迟差为足够慢。

## 发明内容

本发明的起停同步式通信电路，是一种在任意时刻收发数据的起停同步式通信电路，其特征在于，具有输出任意周期的时钟脉冲的时钟发生电路、在数据接收时读入

接收数据的开始位并输出开始位判断信号的开始位判断电路、随着所述开始位判断信号的输入而将所述时钟脉冲进行分频同时对所述时钟脉冲的时钟脉冲数进行计数的分频计数器、比较所述计数的时钟脉冲数与从外部输入的时刻指示数据并在一致时输出一致信号的比较器、以及将所述一致信号作为数据接收移位时钟脉冲以接收从数据接收端子输入的数据的数据接收移位寄存器，通过用所述数据接收移位时钟脉冲读入数据，与由于通信路径上的延迟差异而引起的接收数据占空比的失真相对应读入接收数据。

而且，是一种在任意时刻收发数据的起停同步式通信电路，其特征在于，具有输出任意周期的时钟脉冲的时钟发生电路、将所述时钟脉冲进行分频并输出下溢信号同时对所述时钟脉冲的时钟脉冲数进行计数的分频计数器、比较所述计数的时钟脉冲数与从外部输入的时刻指示数据并在一致时输入一致信号的比较器、将所述一致信号作为数据发送移位时钟脉冲以输出从外部输入的数据的数据发送移位寄存器、将所述下溢信号作为时钟脉冲输入并将所述数据发送移位寄存器的输出信号作为输入数据的触发器、将所述触发器的输出信号及所述数据发送移位寄存器的输出信号作为输入信号的 AND 电路、将所述触发器的输出信号及所述数据发送移位寄存器的输出信号作为输入信号的 OR 电路、以及利用从外部输入的占空比切换信号来选择所述 AND 电路的输出信号或所述 OR 电路的输出信号并从数据发送端子输出的切换电路，与所述数据发送移位时钟脉冲同步地取入从内部电路输入的数据，对于该取入的数据，将所述下溢信号作为时钟脉冲输入用触发器将其移位，然后与所述数据发送移位寄存器的输出信号取 OR 及 AND，将各输出信号作为下降延迟大的情况下所用的发送数据、或者上升延迟大的情况下所用的发送数据，与通信路径上的延迟特性相对应地，选择任意一个发送数据。

另外，在权利要求 1 所述的起停同步式通信电路中，其特征在于，将所述时刻指示数据的输入时刻设定为所述接收数据的上升延迟时间与下降延迟时间之差的  $1/2$  的绝对值。

另外，在权利要求 2 所述的起停同步式通信电路中，其特征在于，所述占空比切换信号的值由所述接收数据的上升延迟时间与下降延迟时间之差的极性来决定。

另外，在权利要求 1 所述的起停同步式通信电路中，其特征在于，实测所述接收数据的 1 位份额的 High 期间长度及 Low 期间长度，将所述时刻指示数据的输入时刻设定为该 High 期间长度与 Low 期间长度之差的  $1/2$  的绝对值。

另外，在权利要求 2 所述的起停同步式通信电路中，其特征在于，实测所述接收

数据的1位份额的High期间长度及Low期间长度,所述占空比切换信号的值由该High期间长度与Low期间长度之差的极性来决定。

如上所述,即使是在通信路径中存在使占空比发生很大变化的电路的系统,也能够不生成进行占空比校正的电路,而能减少对通信速度的限制。

### 附图说明

图1所示为本发明的起停同步式通信电路的构成图。

图2所示为本发明的起停同步式通信电路的接收动作信号波形图。

图3所示为本发明的起停同步式通信电路的发送动作信号波形图。

图4(A)为从本发明的起停同步式通信电路发送的数据的波形放大图,图4(B)为从本发明的起停同步式通信电路发送的数据的将下降沿部份对齐的波形放大图。

图5所示为从本发明的起停同步式通信电路接收的数据的波形放大图。

图6所示为说明一般的起停同步式通信电路之间的通信的概念图。

图7所示为已有的起停同步式通信电路的构成图。

图8所示为已有的起停同步式通信电路的动作信号波形图。

图9所示为已有的起停同步式通信电路中占空比大的情况下的动作信号波形图。

### 具体实施方式

下面一边参照图1、图2、图3、图4、图5及图6,一边说明本发明的实施形态。

图1所示为本发明的起停同步式通信电路的构成图,图2所示为本发明的起停同步式通信电路的接收动作信号波形图,图3所示为本发明的起停同步式通信电路的发送动作信号波形图,图4(A)所示为从本发明的起停同步式通信电路发送的数据的波形放大图,图4(B)所示为从本发明的起停同步式通信电路发送的数据的将下降沿部份对齐的波形放大图,图5所示为从本发明的起停同步式通信电路接收的数据的波形放大图。

1为时钟发生电路,2为开始位判断电路,3为分频计数器,4为比较电路,5为发送控制电路,其中的5a为D触发器电路,5b为OR电路,5c AND电路,5d为切换电路,6为数据接收移位寄存器,7为数据发送移位寄存器。

以下分为接收动作、发送动作、时刻指示数据的计算及占空比切换信号发生方法进行说明。

#### (1) 接收动作

本实施形态的起停同步式通信电路由根据预先设定的通信速度输出时钟脉冲的时钟发生电路 1、根据接收数据进行开始位的判断并输出开始位判断信号的开始位判断电路 2、利用开始位判断电路 2 的开始位判断信号进行复位并将时钟发生电路 1 输出的时钟脉冲分频为  $1/n$  的分频计数器 3、比较从外部输入并设定数据接收移位时钟脉冲的相位的时刻指示数据的值与分频计数器 3 的计数值的比较电路 4、以及将比较电路 4 输出的信号作为数据接收移位时钟脉冲并接收来自数据接收端子 RXD 的数据的数据接收移位寄存器 6 而构成。

对于以上那样构成的起停同步式通信电路，下面一边参照图 6 的系统构成图及图 2 的时序图，一边更详细说明接收动作。

另外，在这里，设图 6 的系统构成图中起停同步式通信电路 U2 采用已有的电路，起停同步式通信电路 U1 采用本发明图 1 的电路，另外发送的数据为了说明的方便起见，作为 8 位数据而没有奇偶校验的发送数据进行说明。

如已有的技术中已说明的那样，从图 7 的起停同步式通信电路 U2 的发送端子 TXD 发送的数据 S102 如图 2 的波形 21 那样，以占空比正常的波形进行发送。该信号通过绝缘零部件 Z1，到达起停同步式电路 U1 的接收端子 RXD、即图 1 的接收端子 RXD。这时，到达接收端子的接收数据 S103 如图 2 的波形 22 那样，在下降延迟  $t_1$  及上升延迟  $t_2$  的份额上，波形发生了变化。

另外，用开始位判断电路产生的开始位判断信号进行复位的分频计数器 3，开始对来自时钟发生电路 1 的时钟脉冲进行计数，用比较电路 4 与时刻指示数据的值进行比较。若设时刻指示数据的值为  $m$  ( $m < n$ )，则数据 S202 作为分频计数器 3 的计数值达到  $m$  时，从比较电路 4 输出一致信号。该一致信号 S201 形成图 2 的波形 23 所示的接收数据移位时钟脉冲，在接收数据移位时钟脉冲的上升沿，将接收数据取入数据接收移位寄存器 6，在数据接收结束后，将接收数据 S300 装入内部电路，如图 2 的波形 24 那样，正确进行接收。

如上所述，根据本实施形态，通过将时钟发生电路 1 输出的时钟脉冲进行  $1/n$  分频，比较时钟发生电路 1 输出的时钟脉冲与时刻指示数据的值  $m$ ，将一致信号作为数据接收移位时钟脉冲，就能够相对于通信系统上存在的绝缘零部件等的延迟而引起的通信数据的波形畸变，产生与波形对应的接收时钟脉冲，从而实现正确的数据接收，即使是在通信路径中存在使占空发生很大变化的电路的系统，又可以不作成对占空比进行修正的电路就能减少对通信速度的限制。

## (2) 发送动作



发送动作所必须的电路构成由根据预先设定的通信速度输出时钟脉冲的时钟发生电路 1、将时钟发生电路 1 输出的时钟脉冲分频为  $1/n$  的分频计数器 3、比较设定数据发送移位时钟脉冲的相位的时刻指示数据的值与分频计数器 3 的计数值的比较电路 4、将比较电路 4 输出的信号作为数据发送移位时钟脉冲并输出串行数据的数据发送移位寄存器 7、将分频计数器 3 输出的计数器值的下溢信号作为时钟脉冲，并将数据发送移位寄存器 7 输出的串行数据作为数据输入的 D 触发器电路 5a 和 D 触发器 5a 的输出、及将数据发送移位寄存器 7 输出的串行数据作为输入的 AND 电路 5c 及 OR 电路 5b、以及利用占空比切换信号来切换 AND 电路 5c 和 OR 电路 5b 的输入的切换电路 5d 构成。

对于如上所述构成的起停同步式通信电路，下面一边参照图 6 的系统构成图、图 3 的信号波形图及图 1，一边更详细说明发送动作。

与接收动作相同，若设时刻指示数据的值为  $m$ ，则数据 S202 作为对来自时钟发生电路 1 的时钟脉冲进行  $1/n$  分频的分频计数器 3 的计数值达到  $m$  时，将来自比较电路 4 的一致信号 S201 作为形成图 3 的数据发送移位时钟脉冲的波形 31，从数据发送移位寄存器 7 输出串行数据 S203。该波形是图 3 的波形 32。另外，关于将波形 33 表示的分频计数器 3 的下溢输出即数据 S200 作为时钟脉冲、将数据发送移位寄存器 7 输出的串行数据 S203 作为输入的 D 触发器 5a 的输出数据 S204 的波形，若设时钟发生电路 1 的时钟脉冲周期为  $T_s$ ，则如图 3 的波形 34 那样，形成正好具有  $(n-m) \times T_s$  的延迟的串行数据波形。该 S203 与 S204 的信号的 AND 电路 5c 的输出数据 S205 形成图 3 的波形 35，OR 电路 5b 的输出数据 S206 形成图 3 的波形 3b。该 S205 及 S206 利用占空比切换信号由切换电路 5d 进行切换。

这里，若设图 6 的通信系统中的下降延迟大于上升延迟，则选择 S205 的波形，对发送端子 TXD 将图 3 的波形 35 作为数据 S100 输出。然后，利用绝缘零部件 Z2，附加预先已知的延迟值  $t_1$  及  $t_2$ ，作为数据 S101 输出，以图 3 的波形 37 那样的占空比恢复正常的波形到达起停同步式通信电路 U2 的数据接收端子 RXD。

另外，反之若设图 6 的通信系统中的上升延迟大于下降延迟，则选择 S206 的波形，对发送端子 TXD 将图 3 的波形 36 作为数据 S100 输出，同样以占空比恢复正常的波形到达起停同步式通信电路 U2 的数据接收端子 RXD。

如上所述，采用本实施形态，取将比较电路 4 的一致信号作为时钟脉冲，将数据发送移位寄存器 7 输出的信号作为输入信号，将分频计数器 3 的下溢信号作为时钟脉冲的 D 触发器 5a 的输出信号与数据发送移位寄存器 7 的输出信号的 OR 或 AND，将各

输出信号作为下降延迟大的情况下所用的发送数据及上升延迟大的情况下所用的发送数据，根据通信路径上的延迟特性，利用占空比切换信号，选择某一个发送数据，通过这样能够修正数据发送侧的通信数据波形失真，即使是在通信路径中存在使占空比发生很大变化的电路的系统，也可以不作成进行占空比修正的电路，就能减少对通信速度的限制。

### (3) 时刻指示数据和占空比切换信号的计算方法

下面参照图 4 及图 6，说明输入图 1 的比较电路 4 的时刻指示数据的计算方法及输入切换电路 5d 的占空比切换信号的计算方法。图 4 (A) 的波形 51 是从图 6 的起停同步式通信电路 U2 发送的数据 S102 的 2 位份额的数据波形放大图。该数据是附加了作为产品规格所预先决定的绝缘零部件 Z1 的下降延迟时间  $t_1$  及上升延迟时间  $t_2$  后输出的数据 S103，形成图 4 (A) 的波形 52 那样的波形。

这时，设  $t_1 > t_2$ ，图 4 (B) 所示为将该 2 个波形的下降沿对齐的波形。若设下降时间为 0，1 位的周期记为  $T$ ，如果是占空比正常时的波形 53，则上升时间为  $T$ ，下一个下降的时间为  $2T$ 。另外，占空比发生变化的波形 54 的  $L$  期间之差用  $t_1 - t_2$  来计算。由于接收数据的取入最好是在波形 54 的  $P$  的位置那样在数据的中间取得，因此最好在 1 位的周期  $T$  与  $(t_1 - t_2)$  之差的一半位置、即以下式的部位取得接收数据。因此，时间  $P$  用下式表示。

$$P = (T - (t_1 - t_2)) / 2$$

另外，若设本发明的分频计数器是减法计数器，则比较寄存器的设定值  $m$  为 1 位的周期的一半  $T/2$  与  $P$  值之差。若将它用公式表示，则如下式所示。

$$\begin{aligned} m &= T/2 - P \\ &= T/2 - (T - (t_1 - t_2)) / 2 \\ &= (t_2 - t_1) / 2 \end{aligned}$$

因而，比较寄存器中设定的值  $m$  为通信系统的下降延迟时间  $t_1$  与上升延迟时间  $t_2$  之差的一半。

另外，利用  $m$  的计算式得到的结果的极性由  $t_2 = t_1$  来决定。由于在下降延迟时间  $t_1 >$  上升延迟时间  $t_2$ 、即 1 位的数据中  $L$  期间缩短的情况下为负极性，在下降延迟时间  $t_1 <$  上升延迟时间  $t_2$ 、即  $L$  期间延长的情况下为正极性，因此利用该极性，输出占空比切换信号，以在切换电路 5d 的切换信号为正极性时，选择 OR 输出，在负极性时，选择 AND 输出。

如上所述，由于通过采用预先决定的通信系统的上升延迟时间与下降延迟时间之

差作为时刻指示数据，能够通过简单的设定得到稳定的接收时刻，另外，通过将同一计算结果的极性用于占空比切换信号，能够输出具有与通信系统上的占空比发生的变化相反变化的占空比的发送波形，因此即使是在通信路径中存在使占空比发生很大变化的电路的系统，也可以不作成进行占空比修正的电路，就能减少对通信速度的限制。

另外，在预先没有规定上升时间及下降时间作为产品规格的情况下，向图 1 的输入比较电路 4 输入的時刻指示数据及输入到切换电路 5d 的占空比切换信号，也可以利用通信系统上的接收数据 1 位份额的 H 期间和 L 期间的时间来计算。关于这种情况，下面将参照图 5 及图 6 进行说明。

图 5 的波形 61 的波形是接收数据 S103 的 2 位份额的波形（数据为 01），设该 L 期间的时间为  $t_L$ ，H 期间的时间为  $t_H$ 。若设下降的时间为 0，1 位的周期为  $T$ ，则该数据从下降到上升的时间为  $2T$ ，这种关系即使占空比发生变化也不变化（ $t_H > t_L$  的情况下）。这时，对于 1 位的周期  $T$ ，L 期间短了多少，可以用  $t_H - t_L$  来表示。接收数据最好在该 L 期间的中间的 P 位置处取得，因此，时间 P 用  $T$  与  $(t_H - t_L)$  之差的一半位置处、即用下式表示。

$$P = (T - (t_H - t_L)) / 2$$

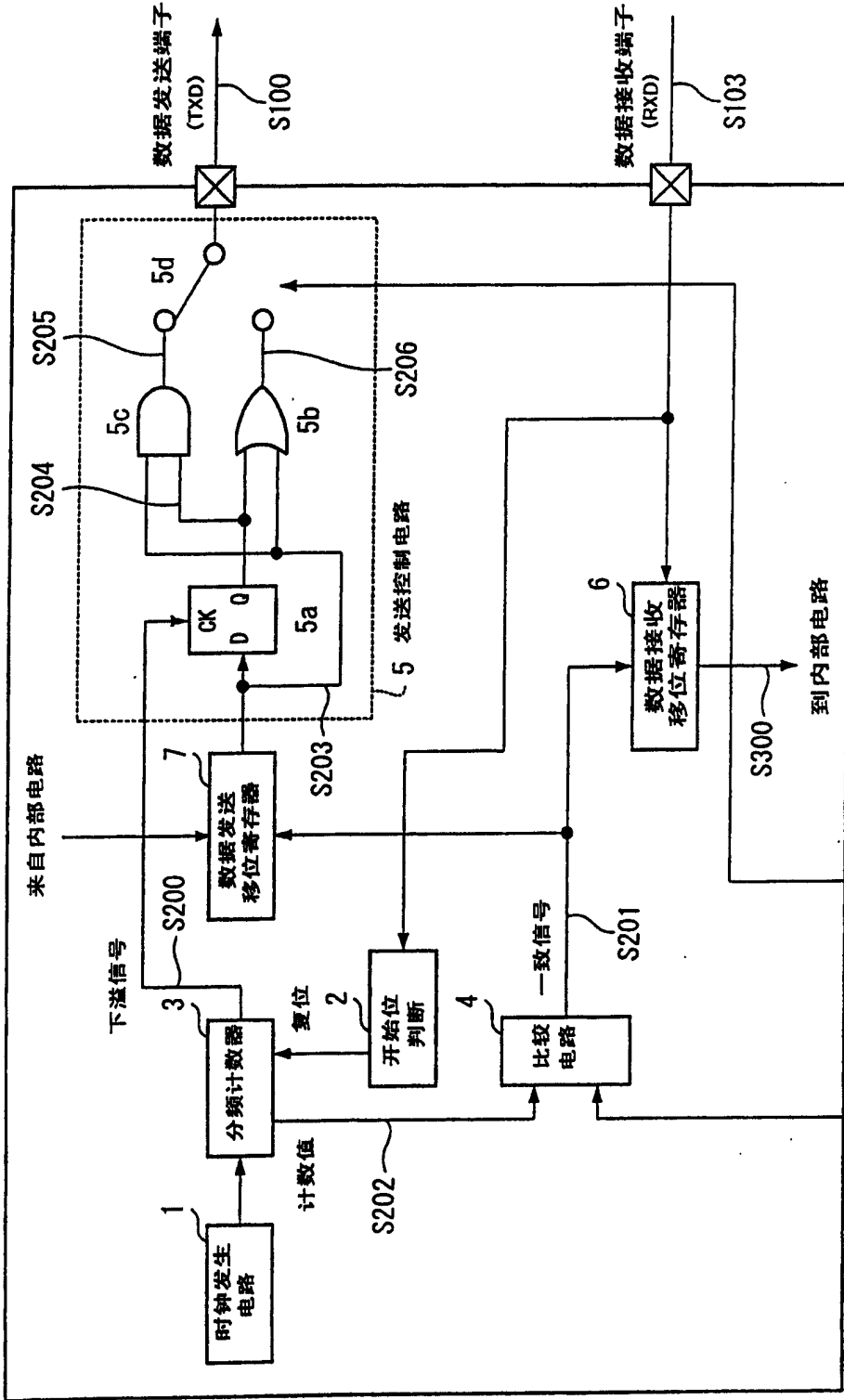
另外，若设分频计数器是减法计数器，则由于比较寄存器的设定值  $m$  为 1 位的周期的一半  $T/2$  与 P 值之差，因此可用下式表示。

$$\begin{aligned} m &= T/2 - P \\ &= T/2 - (T - (t_H - t_L)) / 2 \\ &= (t_L - t_H) / 2 \end{aligned}$$

因而，時刻指示数据的值  $m$  为通信系统的 1 位的 H 期间  $t_H$  与 1 位的 L 期间  $t_L$  差的一半。

另外，利用  $m$  的计算式得到的结果的极性由  $t_L - t_H$  来决定。由于在  $t_H > t_L$  时即 L 期间缩短时为负极性，在  $t_H < t_L$  即 L 期间延长时为正极性，因此利用该极性，输出占空比切换信号，在使切换电路 8d 的切换信号为正极性时，选择 OR 输出，为负极性时，选择 AND 输出。

如上所述，在即使预先没有规定通信系统上的上升时间及下降时间的情况下，也可以通过测量 1 位份额的 H 期间及 L 期间的时间，采用该时间差作为時刻指示数据，来得到最佳的接收时刻。另外，通过采用同一计算结果的极性作为占空比切换信号，能够输出具有与通信系统上的占空比发生的变化相反变化的占空比的发送波形。



时刻指示数据 占空比切换信号

图 1

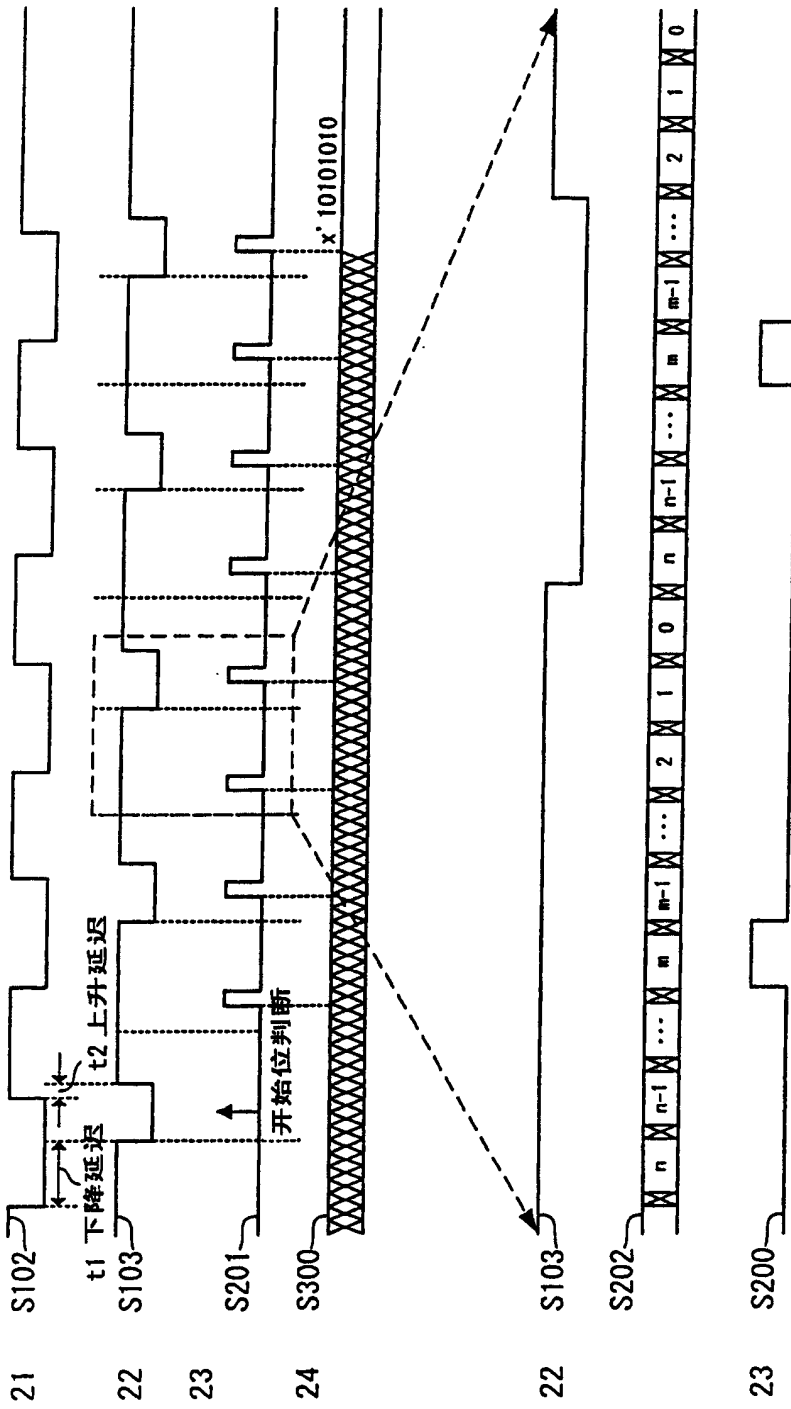


图 2

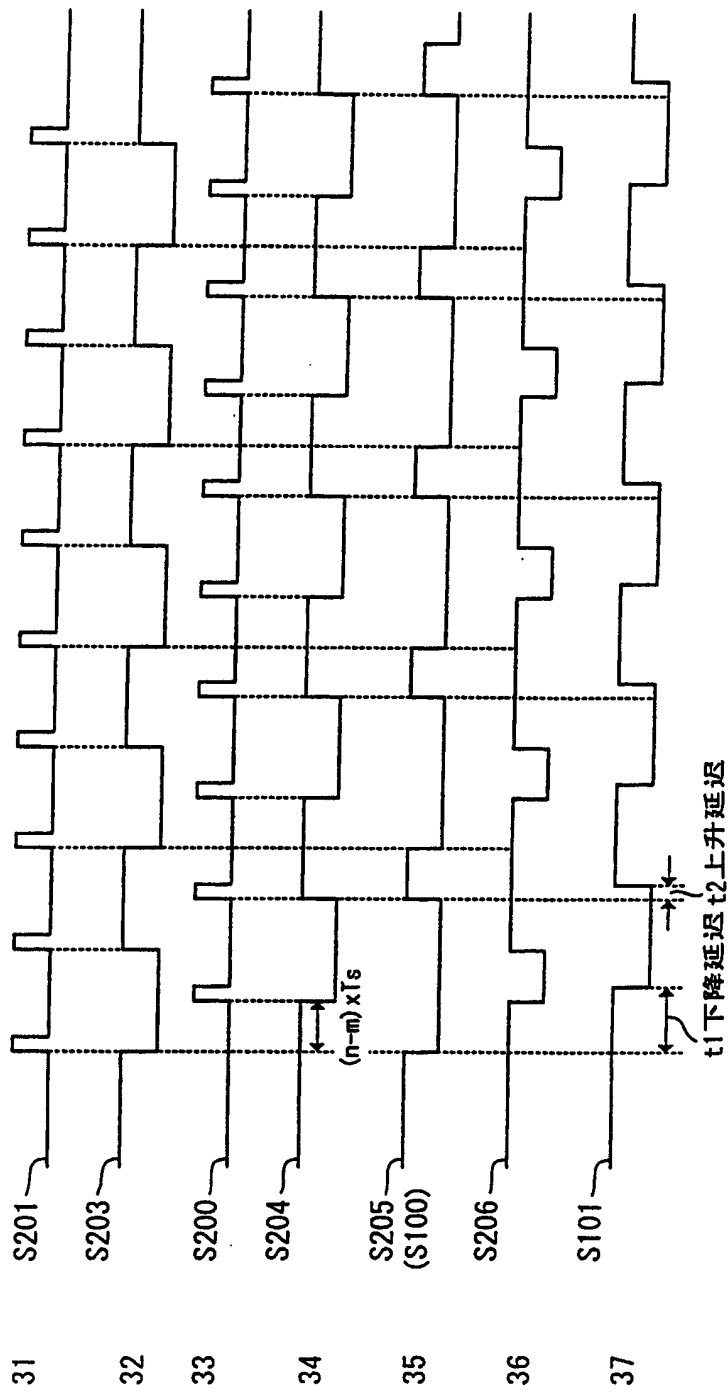


图 3

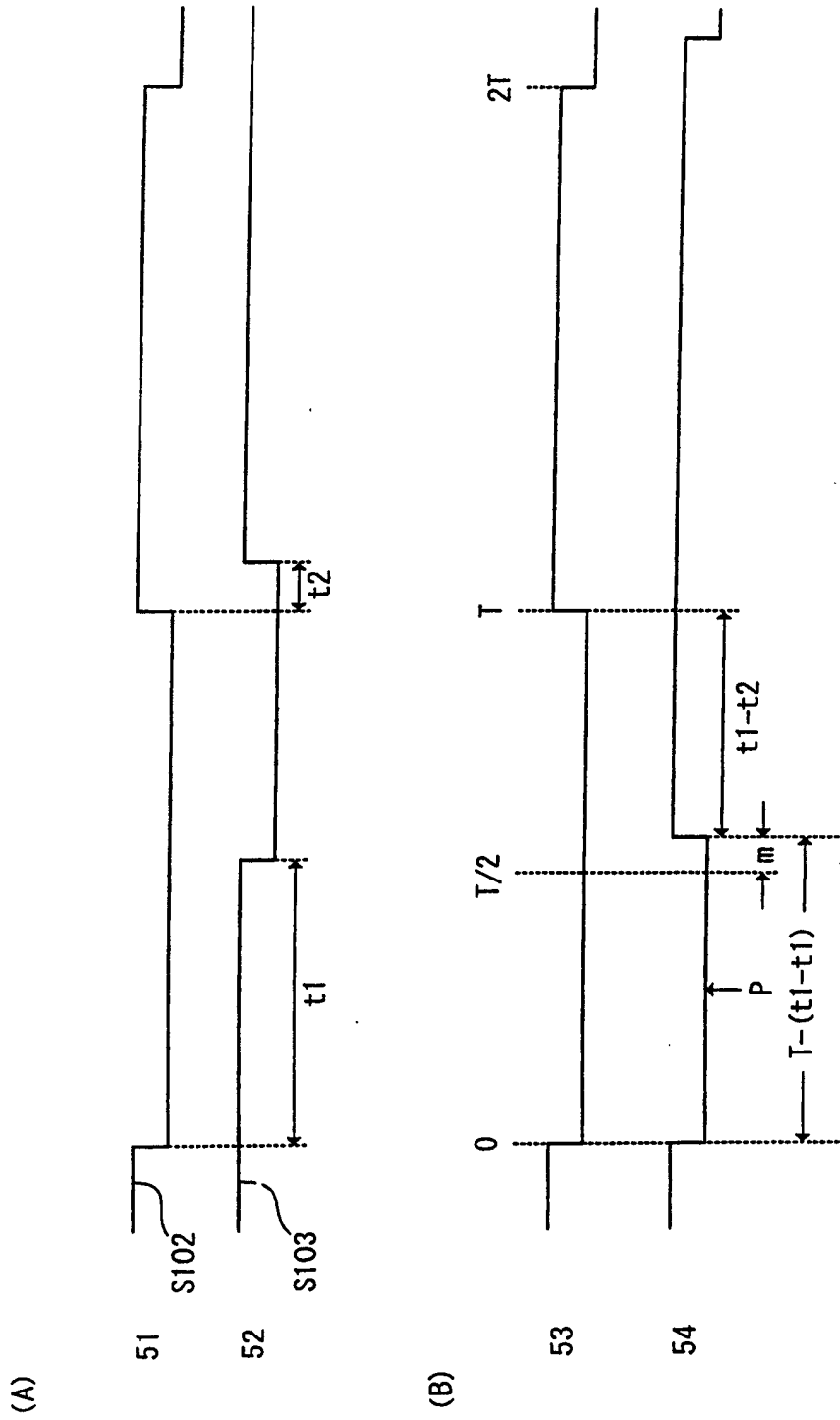


图 4

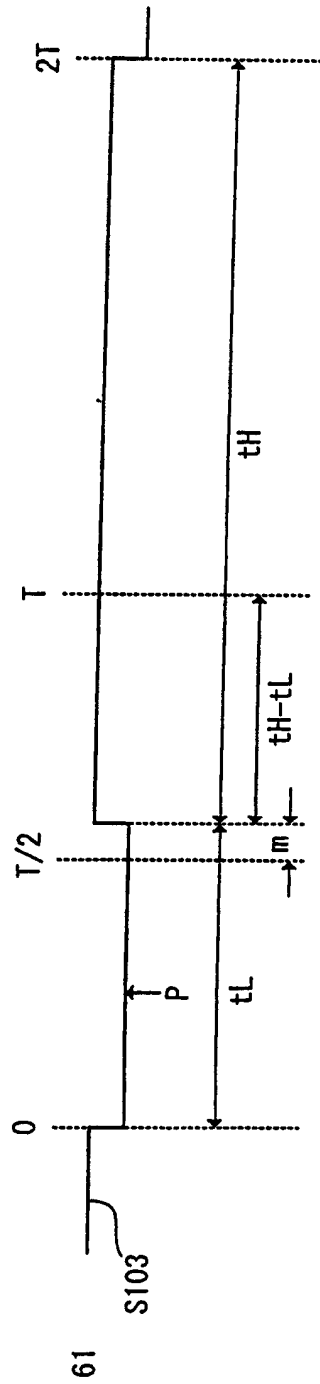


图 5



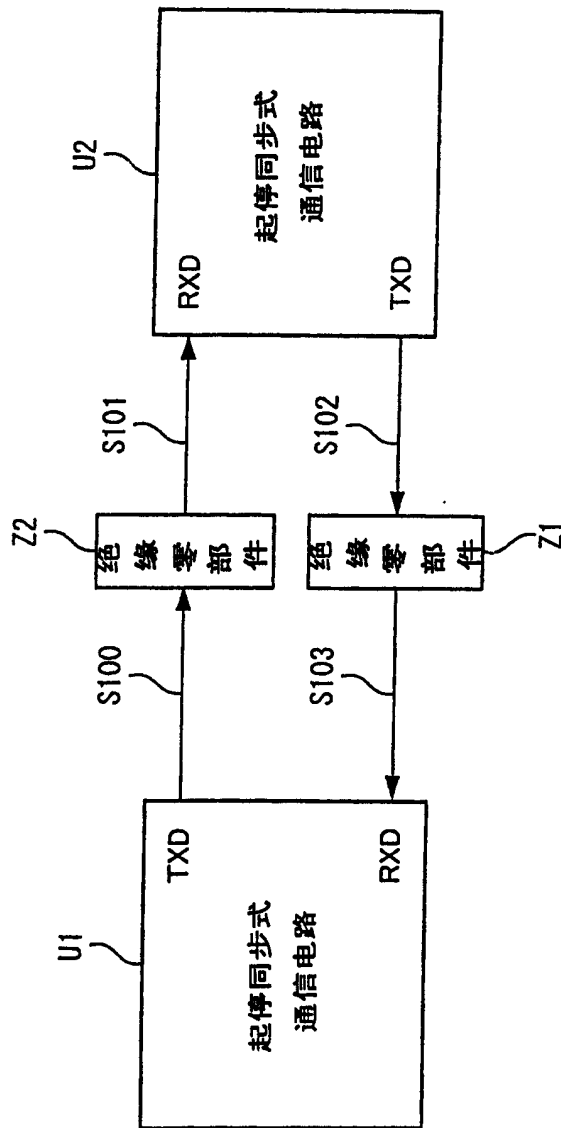


图 6

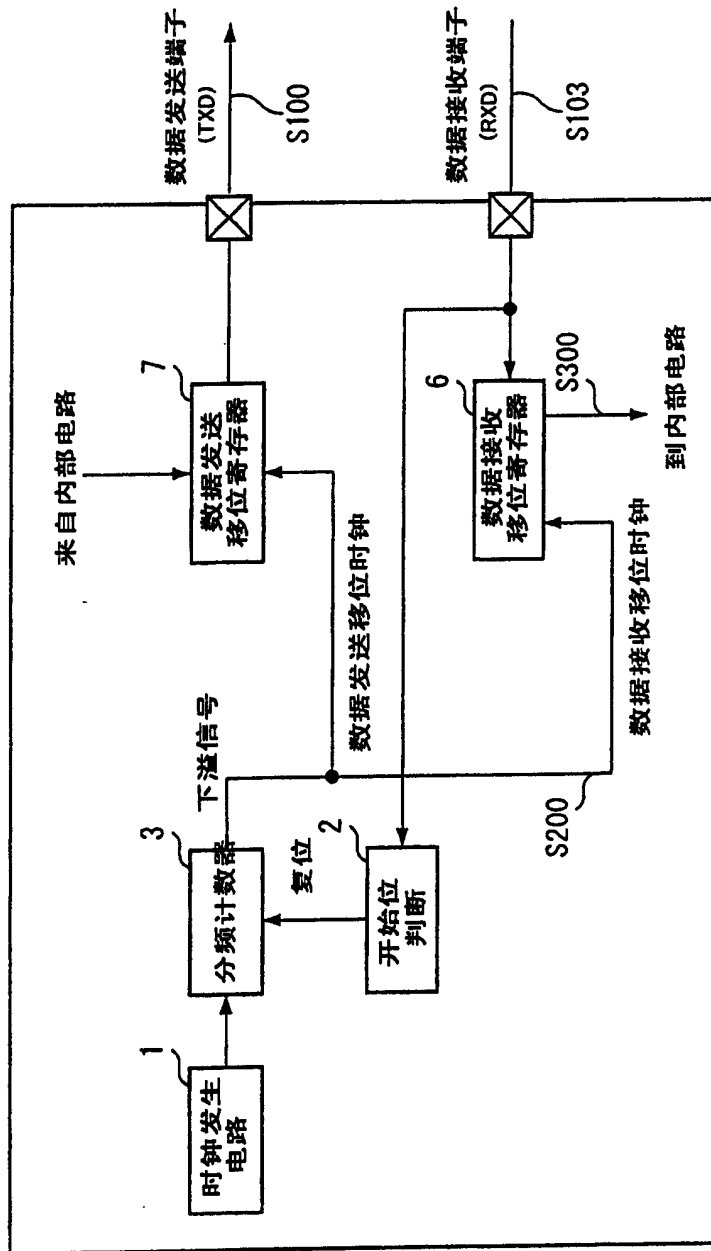


图 7

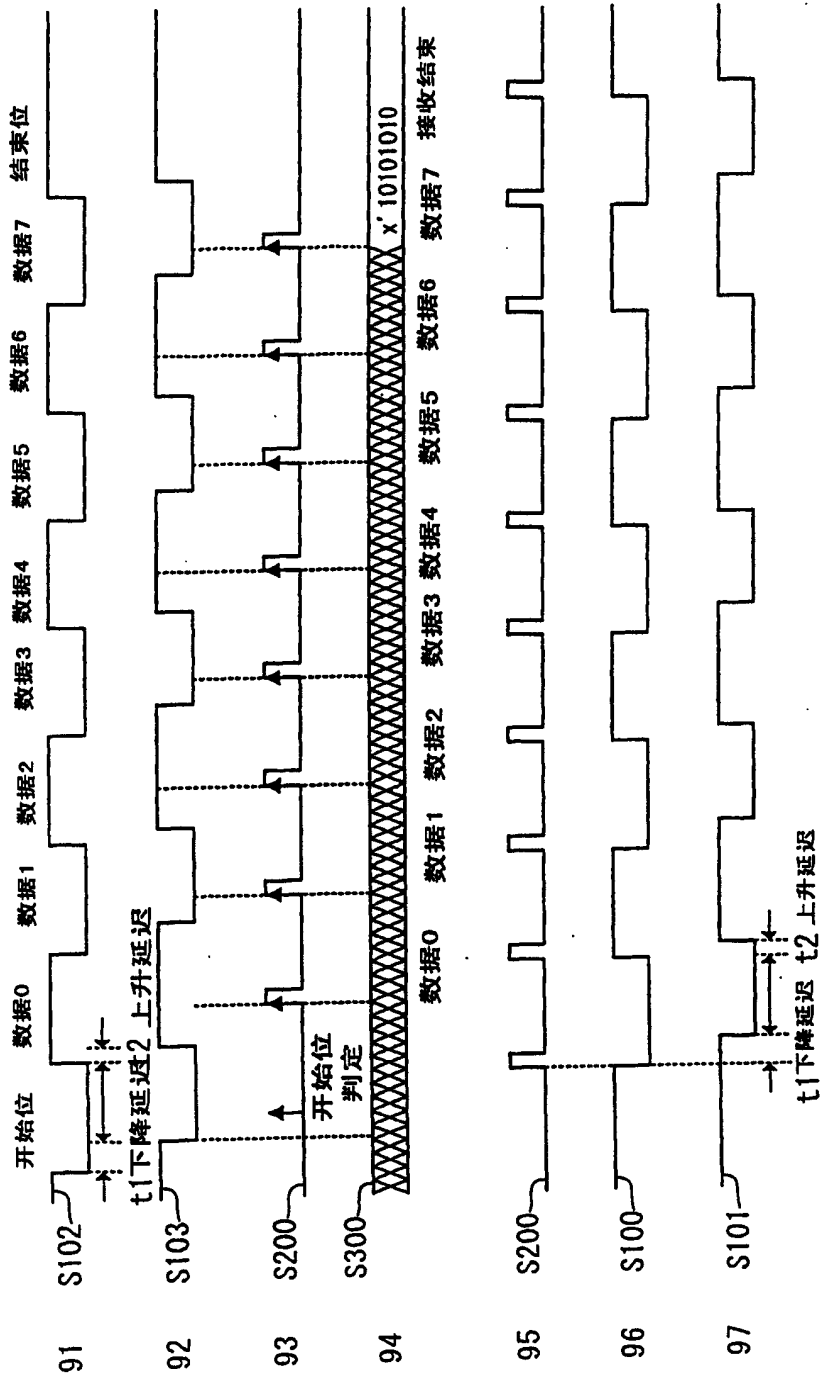


图 8

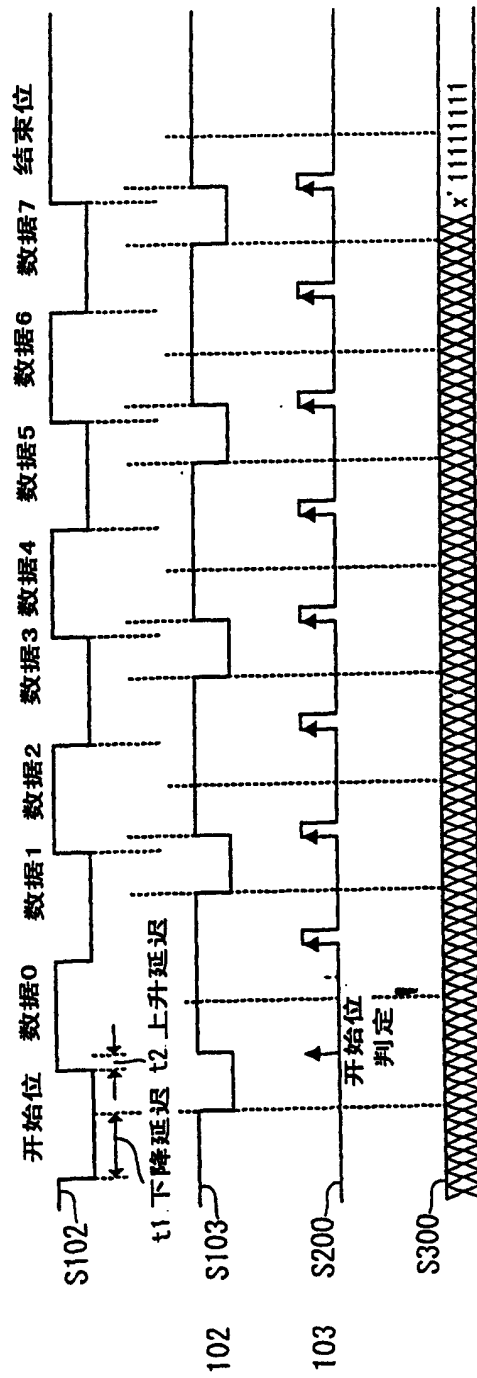


图 9