

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-48527

(P2008-48527A)

(43) 公開日 平成20年2月28日(2008.2.28)

(51) Int. Cl.	F I	テーマコード (参考)
HO2M 3/28 (2006.01)	HO2M 3/28 M	5H006
HO2M 7/21 (2006.01)	HO2M 7/21 A	5H730
HO1F 30/00 (2006.01)	HO1F 31/00 A	
	HO1F 31/00 M	

審査請求 未請求 請求項の数 17 O L (全 51 頁)

(21) 出願番号 特願2006-221203 (P2006-221203)
 (22) 出願日 平成18年8月14日 (2006.8.14)

(71) 出願人 504296415
 株式会社エヌ・ティ・ティ・データ・イー
 ・エクス・テクノ
 東京都江東区豊洲三丁目3番3号
 (74) 代理人 100095267
 弁理士 小島 高城郎
 (74) 代理人 100124176
 弁理士 河合 典子
 (74) 代理人 100111604
 弁理士 佐藤 卓也
 (72) 発明者 羽田 正二
 東京都江東区豊洲三丁目3番3号 株式会
 社エヌ・ティ・ティ・データ・イー・エッ
 クス・テクノ内

最終頁に続く

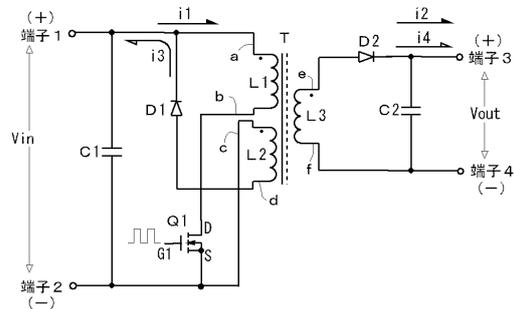
(54) 【発明の名称】 スイッチング電源回路及びトランス

(57) 【要約】

【課題】 スイッチング素子のオンオフ期間の双方において負荷へ十分な電流を供給でき、ピーク電流やスパイク電圧を抑制できるスイッチング電源回路及びトランスを提供する。

【解決手段】 密結合の第1及び第2コイルと、疎結合された第3コイルとを具備するトランスと、直流電圧のオンオフを切り替えるスイッチング素子と、オン制御されたとき第2コイルに誘起される起電力に基づく電流を遮断しオフ制御されたとき第2コイルに発生する起電力に基づく電流を導通させる第1半導体素子と、オン制御されたときに第3コイルに誘起される起電力に基づく電流が導通する第2半導体素子とを備え、オン期間に流れる第1電流により第3コイルの磁気誘導により流れる第2電流を出力し、オフ期間に第2コイルの逆起電力により流れる第3電流が回生され第3コイルの磁気誘導により流れる第4電流を第2半導体素子を通して出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

(a) 第 1 コイルと、該第 1 コイルに対し密に磁気結合された第 2 コイルと、該第 1 コイル及び該第 2 コイルに対し疎に磁気結合された第 3 コイルとを具備し、該第 1 及び第 2 コイルが一次側のコイルを構成し該第 3 コイルが二次側のコイルを構成したトランスと、

(b) 外部の直流電源により前記第 1 コイルに印加する直流電圧のオンオフを切り替えるスイッチング素子と、

(c) 前記第 2 コイルに直列接続され前記スイッチング素子がオン制御されたとき前記第 2 コイルに誘起される起電力に基づく電流を遮断し、該スイッチング素子がオフ制御されたとき該第 2 コイルに発生する起電力に基づく電流を導通させる第 1 半導体素子と、

(d) 前記第 3 コイルに直列接続され前記スイッチング素子の制御端がオン制御されたときに前記第 3 コイルに誘起される起電力に基づく電流を導通する第 2 半導体素子と、を備え、

(e) 前記スイッチング素子のオン期間に、前記直流電圧により前記第 1 コイルに第 1 電流が流れると共に、該第 1 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 2 電流を出力し、

(f) 前記スイッチング素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに第 3 電流が流れて前記直流電源側に回生されると共に、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流を出力することを特徴とするスイッチング電源回路。

【請求項 2】

(a) 第 1 コイルと、該第 1 コイルに対し密に磁気結合された第 2 コイルと、該第 1 コイル及び該第 2 コイルに対し疎に磁気結合された第 3 コイルとを具備し、該第 1 及び第 2 コイルが一次側のコイルを構成し該第 3 コイルが二次側のコイルを構成したトランスと、

(b) 外部の直流電源により前記第 1 コイルに印加する直流電圧のオンオフを切り替える第 1 スwitching素子と、

(c) 前記第 2 コイルに直列接続され前記第 1 スwitching素子がオン制御されたとき前記第 2 コイルに誘起される起電力に基づく電流を遮断し、該第 1 スwitching素子がオフ制御されたとき該第 2 コイルに発生する起電力に基づく電流を導通させる半導体素子と

(d) 前記第 3 コイルに直列接続され前記第 1 スwitching素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは該第 3 コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第 2 スwitching素子と、を備え、

(e) 前記第 1 スwitching素子のオン期間に、前記直流電圧により前記第 1 コイルに第 1 電流が流れると共に、該第 1 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 2 電流を出力し、

(f) 前記第 1 スwitching素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに第 3 電流が流れて前記直流電源側に回生されると共に、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流を出力することを特徴とするスイッチング電源回路。

【請求項 3】

(a) 第 1 コイルと、該第 1 コイルに対し密に磁気結合された第 2 コイルと、該第 1 コイル及び該第 2 コイルに対し疎に磁気結合された第 3 コイルとを具備し、該第 1 及び第 2 コイルが一次側のコイルを構成し該第 3 コイルが二次側のコイルを構成したトランスと、

(b) 外部の直流電源により前記第 1 コイルに印加する直流電圧のオンオフを切り替える第 1 スwitching素子と、

(c) 前記第 2 コイルに直列接続され前記第 1 スwitching素子がオン制御されたとき前記第 2 コイルに誘起される起電力に基づく電流を遮断し、該第 1 スwitching素子がオフ制御されたとき該第 2 コイルに発生する起電力に基づく電流を導通させる半導体素子と

、
 (d) 前記第 3 コイルに直列接続され前記第 1 スイッチング素子がオン制御されたとき及び前記第 2 コイルを電流が流れたときにオン制御されかつそれ以外のときにオフ制御される制御端を有し、該制御端がオン制御されたときは該第 3 コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と逆方向の電流を遮断する第 2 スイッチング素子と、を備え、

(e) 前記第 1 スイッチング素子のオン期間に、前記直流電圧により前記第 1 コイルに第 1 電流が流れると共に、該第 1 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 2 電流を出力し、

(f) 前記第 1 スイッチング素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに第 3 電流が流れて前記直流電源側に回生されると共に、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流を出力することを特徴とするスイッチング電源回路。

10

【請求項 4】

(a) 第 1 コイルと、該第 1 コイルに対し密に磁気結合された第 2 コイルと、該第 1 コイル及び該第 2 コイルに対し疎に磁気結合された第 3 コイルとを具備し、該第 1 コイルの一端と該第 3 コイルの一端とを電氣的に接続する線路を出力点とするトランスと、

(b) 外部の直流電源により前記第 1 コイルに印加する直流電圧のオンオフを切り替える第 1 スイッチング素子と、

(c) 前記第 2 コイルに直列接続され前記第 1 スイッチング素子がオン制御されたとき前記第 2 コイルに誘起される起電力に基づく電流を遮断し、該第 1 スイッチング素子がオフ制御されたとき該第 2 コイルに発生する起電力に基づく電流を導通させる半導体素子と

20

、
 (d) 前記第 3 コイルの電流路に直列接続され前記第 1 スイッチング素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは少なくとも該第 3 コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第 2 スイッチング素子と、を備え、

(e) 前記第 1 スイッチング素子のオン期間に、前記直流電圧により前記第 1 コイルに流れる第 1 電流と、該第 1 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 2 電流とを前記出力点から出力し、

30

(f) 前記第 1 スイッチング素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに第 3 電流が流れて前記直流電源側に回生されると共に、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流を前記出力点から出力することを特徴とするスイッチング電源回路。

【請求項 5】

(a) 第 1 コイルと、該第 1 コイルに対し密に磁気結合された第 2 コイルと、該第 1 コイル及び該第 2 コイルに対し疎に磁気結合された第 3 コイルとを具備し、該第 1 コイルの一端と該第 3 コイルの一端とを電氣的に接続する線路を出力点とするトランスと、

(b) 外部の直流電源により前記第 1 コイルに印加する直流電圧のオンオフを切り替える第 1 スイッチング素子と、

40

(c) 前記第 2 コイルに直列接続され前記第 1 スイッチング素子がオン制御されたとき前記第 2 コイルに誘起される起電力に基づく電流を遮断し、該第 1 スイッチング素子がオフ制御されたとき該第 2 コイルに発生する起電力に基づく電流を導通させる半導体素子と

、
 (d) 前記第 3 コイルの電流路に直列接続され前記第 1 スイッチング素子がオン制御されたとき及び前記第 2 コイルを電流が流れたときにオン制御されかつそれ以外のときにオフ制御される制御端を有し、該制御端がオン制御されたときは少なくとも該第 3 コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と逆方向の電流を遮断する第 2 スイッチング素子と、を備え、

50

(e) 前記第 1 スイッチング素子のオン期間に、前記直流電圧により前記第 1 コイルに流れる第 1 電流と、該第 1 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 2 電流とを前記出力点から出力し、

(f) 前記第 1 スイッチング素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに第 3 電流が流れて前記直流電源側に回生されると共に、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流を前記出力点から出力することを特徴とするスイッチング電源回路。

【請求項 6】

(a) 第 1 コイルと、該第 1 コイルに対し密に磁気結合された第 2 コイルと、該第 1 コイル及び該第 2 コイルに対し疎に磁気結合された第 3 コイルとを具備し、該第 2 コイルの一端から出力される電流と該第 3 コイルの一端から出力される電流の合流点を出力点とするトランスと、

(b) 前記第 1 コイルに印加する直流電圧のオンオフを切り替える一次側スイッチング素子と、

(c) 前記第 2 コイルに直列接続され前記第 1 スイッチング素子がオン制御されたとき前記第 2 コイルに誘起される起電力に基づく電流を遮断し、該第 1 スイッチング素子がオフ制御されたとき該第 2 コイルに発生する起電力に基づく電流を導通させる半導体素子と、

(d) 前記第 3 コイルに直列接続され前記第 1 スイッチング素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは該第 3 コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第 2 スイッチング素子と、を備え、

(e) 前記第 1 スイッチング素子のオン期間に、前記直流電圧により前記第 1 コイルに第 1 電流が流れ、該第 1 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 2 電流を前記出力点から出力し、

(f) 前記第 1 スイッチング素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに流れる第 3 電流と、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流とを前記出力点から出力することを特徴とするスイッチング電源回路。

【請求項 7】

(a) 第 1 コイルと、該第 1 コイルに対し密に磁気結合された第 2 コイルと、該第 1 コイル及び該第 2 コイルに対し疎に磁気結合された第 3 コイルとを具備し、該第 1 コイルの一端と該第 2 コイルの一端と該第 3 コイルの一端とを電氣的に接続する線路上に出力点を設けたトランスと、

(b) 前記第 1 コイルに印加する直流電圧のオンオフを切り替える第 1 スイッチング素子と、

(c) 前記第 2 コイルに直列接続され前記第 1 スイッチング素子がオン制御されたとき前記第 2 コイルに誘起される起電力に基づく電流を遮断し、該第 1 スイッチング素子がオフ制御されたとき該第 2 コイルに発生する起電力に基づく電流を導通させる半導体素子と、

(d) 前記第 3 コイルに直列接続され前記第 1 スイッチング素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは該第 3 コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第 2 スイッチング素子と、を備え、

(e) 前記第 1 スイッチング素子のオン期間に、前記直流電圧により前記第 1 コイルに流れる第 1 電流と、該第 1 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 2 電流とを前記出力点から出力し、

(f) 前記第 1 スイッチング素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに流れる第 3 電流と、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流とを前記出力点から出力することを特徴とする

10

20

30

40

50

スイッチング電源回路。

【請求項 8】

前記トランスが、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装されると共に、前記第 3 コイルが直列 2 分割されて前記一对の外脚の各々に巻装され、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする請求項 1 ~ 7 のいずれかに記載のスイッチング電源回路。

10

【請求項 9】

前記トランスが、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装され、前記第 3 コイルが前記一对の外脚の一方に巻装されると共に、該第 3 コイルを巻装されない方の外脚にはその中間位置に磁気ギャップが設けられ、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙及び該第 3 コイルを巻装されない方の外脚を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記第 3 コイルを巻装された外脚へ流れる磁束が、該外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記第 3 コイルを巻装された外脚へ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ該外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする請求項 1 ~ 7 のいずれかに記載のスイッチング電源回路。

20

30

【請求項 10】

前記トランスが、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装されると共に、前記第 3 コイルが前記第 1 及び第 2 コイルから離隔しかつ該第 1 及び第 2 コイルと同心状に前記一对の外脚の内側に巻装され、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする請求項 1 ~ 7 のいずれかに記載のスイッチング電源回路。

40

【請求項 11】

前記トランスが、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装されると共に、前記第 3 コイルが前記第 1 及び第 2 コイルの外側に配置された磁性体片を介して該第 1 及び第 2 コイルと

50

同心状に巻装され、

前記中央脚から前記外脚へ向かう磁束の一部が前記磁性体片を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする請求項 1 ~ 7 のいずれかに記載のスイッチング電源回路。

【請求項 1 2】

前記トランスが、前記第 1 及び第 2 コイルが存在する第 1 磁気回路と、前記第 3 コイルが存在する第 2 磁気回路と、該第 1 コイルを流れる電流により発生する磁束の一部が該第 3 コイルを通過しないで漏洩する漏洩磁気回路とを有し、

前記第 1 コイルに直流電圧が印加されたとき、前記第 1 磁気回路から前記第 2 磁気回路へ磁束が流れ込むことにより前記第 3 コイルに電圧を誘起させると共に、その磁束の一部が前記漏洩磁気回路に漏洩することにより前記第 1 磁気回路内に存在する磁束の磁束密度を前記第 2 磁気回路内に存在する磁束の磁束密度より大として不均衡状態を保持し、

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による電流が該第 2 コイルに流れるとき、該電流により前記第 1 磁気回路の磁束の消滅を抑制し前記第 1 磁気回路内の磁束密度が前記第 2 磁気回路の磁束密度より大きい不均衡状態であることに起因して該第 1 磁気回路から該第 2 磁気回路へ磁束が流れ込むことにより、前記第 3 コイルに前記第 1 コイルに直流電圧が印加されたときと同極性の電圧を誘起させることを特徴とする請求項 1 ~ 7 のいずれかに記載のスイッチング電源回路。

【請求項 1 3】

対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第 1 コイル及び第 2 コイルと、前記一对の外脚の各々に直列 2 分割されて巻装され該第 1 及び第 2 コイルと疎に磁気結合した第 3 コイルと、を備えたトランスであって、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙を通るよう構成され、

前記第 1 コイルに直流電圧が印加されたとき、該第 1 コイルを流れる第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 2 電流が流れ、かつ、

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による第 3 電流が該第 2 コイルに流れるとき、該第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 4 電流が流れることを特徴とするトランス。

【請求項 1 4】

対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第 1 コイル及び第 2 コイルと、前記一对の外脚の一方に巻装され該第 1 及び第 2 コイルと疎に磁気結合した第 3 コイルと、該第 3 コイルを巻装されない方の外脚の中間位置に設けた磁気ギャップと、を備えたトランスであって、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙及び該第 3 コイルを巻装されない方の外脚を通るよう構成され、

前記第 1 コイルに直流電圧が印加されたとき、該第 1 コイルを流れる第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 2 電流が流れ、かつ、

10

20

30

40

50

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による第 3 電流が該第 2 コイルに流れるとき、該第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 4 電流が流れることを特徴とするトランス。

【請求項 15】

対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第 1 コイル及び第 2 コイルと、前記第 1 及び第 2 コイルから離隔しかつ該第 1 及び第 2 コイルと同心状に前記一对の外脚の内側に巻装され該第 1 及び第 2 コイルと疎に磁気結合した第 3 コイルと、を備えたトランスであって、

10

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙を通るよう構成され、

前記第 1 コイルに直流電圧が印加されたとき、該第 1 コイルを流れる第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 2 電流が流れ、かつ、

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による第 3 電流が該第 2 コイルに流れるとき、該第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 4 電流が流れることを特徴とするトランス。

20

【請求項 16】

対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第 1 コイル及び第 2 コイルと、前記第 1 及び第 2 コイルの外側に配置された磁性体片と、該磁性体片を介して該第 1 及び第 2 コイルと同心状に巻装され該第 1 及び第 2 コイルと疎に磁気結合した第 3 コイルと、を備えたトランスであって、

前記中央脚から前記外脚へ向かう磁束の一部が前記磁性体片を通るよう構成され、

前記第 1 コイルに直流電圧が印加されたとき、該第 1 コイルを流れる第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 2 電流が流れ、かつ、

30

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による第 3 電流が該第 2 コイルに流れるとき、該第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 4 電流が流れることを特徴とするトランス。

【請求項 17】

互いに密に磁気結合した第 1 コイル及び第 2 コイルが存在する第 1 磁気回路と、該第 1 及び第 2 コイルと疎に磁気結合した第 3 コイルが存在する第 2 磁気回路と、該第 1 コイルに流れる電流により発生する磁束の一部が該第 3 コイルを通過しないで漏洩する漏洩磁気回路とを有し、

40

前記第 1 コイルに直流電圧が印加されたとき、前記第 1 磁気回路から前記第 2 磁気回路へ磁束が流れ込むことにより前記第 3 コイルに電圧を誘起させると共に、その磁束の一部が前記漏洩磁気回路に漏洩することにより前記第 1 磁気回路内に存在する磁束の磁束密度を前記第 2 磁気回路内に存在する磁束の磁束密度より大として不均衡状態を保持し、

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による電流が該第 2 コイルに流れるとき、該電流により前記第 1 磁気回路の磁束の消滅を抑制し前記第 1 磁気回路内の磁束密度が前記第 2 磁気回路の磁束密度より大きい不均衡状態であることに起因して該第 1 コイルに直流電圧が印加されたときと同方向に該第 1 磁気回路から該第 2 磁気回路へ磁束が流れ込むことにより、前記第 3 コイルに前記第

50

1 コイルに直流電圧が印加されたときと同極性の電圧を誘起させることを特徴とするトランス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電源回路及びこれに用いられるトランスに関する。

【背景技術】

【0002】

従来、種々の方式のスイッチング電源回路が知られている（非特許文献1等）。例えばフォワード方式では、一次コイルと二次コイルを具備するトランスを有し、一次コイルに接続されたスイッチング素子をオンオフ駆動することにより、一次コイルに対する直流電圧の印加、停止のスイッチングが行われ、スイッチング素子のオン期間には、二次コイルに生じた起電力により流れる電流が二次コイルの一端に直列接続された第1のダイオードを通して出力される。第1のダイオードと出力端子との間には、通常チョークコイルが接続され、さらに、第1のダイオードとチョークコイルとの接続点と二次コイルの他端間に第2のダイオードが接続される。また、出力端子と接地点間には平滑コンデンサが接続されている。そして、スイッチング素子のオフ期間には、チョークコイルに蓄積されたエネルギーにより第2のダイオードを通して電流が流れ出力される。スイッチング素子の制御端にはパルス幅変調信号が入力され、負荷の変動に対してオン期間を調整することにより電源回路の出力電圧を一定に保持する帰還制御を行っている。

【非特許文献1】コーセル株式会社、「電源について」、p36、平成17年7月20日検索、<URL:<http://www.cosel.co.jp/jp/products/img/technotes.pdf>>

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来のフォワード方式のスイッチング電源回路には次のような問題点があった。

第1に、スイッチング素子がオフになり一次コイルへの直流電圧の印加が停止すると二次コイルを流れる電流が消失するため、負荷へ電流を供給し続けるにはチョークコイルと第2のダイオードを設けることが必要であった。このチョークコイルは、オン時に二次コイルに激しいピーク電流が流れることを防止するためにも必要であった。しかしながら、チョークコイルは嵩張る上に重いため、スイッチング電源の小型化を妨げていた。

【0004】

第2に、スイッチング素子がオフするときに一次コイルとの接続点（FETではドレイン、バイポーラトランジスタではコレクタ）に大きなスパイク電圧が発生するため、スイッチング素子を高耐圧とする必要があった。あるいは、スナバ回路を用いる必要があった。しかしながら、スナバ回路はスパイク電圧発生を抑制ではなく抵抗等の素子にスパイク電力を消費させるものであるから電力損失となり、スイッチング電源回路の電力変換効率を低下させることとなっていた。

【0005】

以上述べた従来のフォワード方式のスイッチング電源回路の問題点に鑑み、本発明は、スイッチング電源回路において、スイッチング素子のオン期間及びオフ期間の双方において負荷へ十分な電流を供給できると同時に、オン時のピーク電流やオフ時のスパイク電圧を抑制でき、これによりチョークコイル並びに高耐圧のスイッチング素子及び/またはスナバ回路を不要とするスイッチング電源回路及びこれに用いるトランスを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記の目的を達成するべく本発明は以下の構成を提供する。

1) 請求項1に係るスイッチング電源回路は、

(a) 第1コイルと、該第1コイルに対し密に磁気結合された第2コイルと、該第1コイル及び該第2コイルに対し疎に磁気結合された第3コイルとを具備し、該第1及び第2コイルが一次側のコイルを構成し該第3コイルが二次側のコイルを構成したトランスと、

(b) 外部の直流電源により前記第1コイルに印加する直流電圧のオンオフを切り替えるスイッチング素子と、

(c) 前記第2コイルに直列接続され前記スイッチング素子がオン制御されたとき前記第2コイルに誘起される起電力に基づく電流を遮断し、該スイッチング素子がオフ制御されたとき該第2コイルに発生する起電力に基づく電流を導通させる第1半導体素子と、

(d) 前記第3コイルに直列接続され前記スイッチング素子の制御端がオン制御されたときに前記第3コイルに誘起される起電力に基づく電流を導通する第2半導体素子と、を
10

(e) 前記スイッチング素子のオン期間に、前記直流電圧により前記第1コイルに第1電流が流れると共に、該第1電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第2電流を出力し、

(f) 前記スイッチング素子のオフ期間に、前記第2コイルに発生する起電力により該第2コイルに第3電流が流れて前記直流電源側に回生されると共に、該第3電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第4電流を出力することを特徴とする。

【0007】

2) 請求項2に係るスイッチング電源回路は、
20

(a) 第1コイルと、該第1コイルに対し密に磁気結合された第2コイルと、該第1コイル及び該第2コイルに対し疎に磁気結合された第3コイルとを具備し、該第1及び第2コイルが一次側のコイルを構成し該第3コイルが二次側のコイルを構成したトランスと、

(b) 外部の直流電源により前記第1コイルに印加する直流電圧のオンオフを切り替える第1スイッチング素子と、

(c) 前記第2コイルに直列接続され前記第1スイッチング素子がオン制御されたとき前記第2コイルに誘起される起電力に基づく電流を遮断し、該第1スイッチング素子がオフ制御されたとき該第2コイルに発生する起電力に基づく電流を導通させる半導体素子と、

、

(d) 前記第3コイルに直列接続され前記第1スイッチング素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは該第3コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第2スイッチング素子と、を備え、
30

(e) 前記第1スイッチング素子のオン期間に、前記直流電圧により前記第1コイルに第1電流が流れると共に、該第1電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第2電流を出力し、

(f) 前記第1スイッチング素子のオフ期間に、前記第2コイルに発生する起電力により該第2コイルに第3電流が流れて前記直流電源側に回生されると共に、該第3電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第4電流を出力することを特徴とする。
40

【0008】

3) 請求項3に係るスイッチング電源回路は、

(a) 第1コイルと、該第1コイルに対し密に磁気結合された第2コイルと、該第1コイル及び該第2コイルに対し疎に磁気結合された第3コイルとを具備し、該第1及び第2コイルが一次側のコイルを構成し該第3コイルが二次側のコイルを構成したトランスと、

(b) 外部の直流電源により前記第1コイルに印加する直流電圧のオンオフを切り替える第1スイッチング素子と、

(c) 前記第2コイルに直列接続され前記第1スイッチング素子がオン制御されたとき前記第2コイルに誘起される起電力に基づく電流を遮断し、該第1スイッチング素子がオフ制御されたとき該第2コイルに発生する起電力に基づく電流を導通させる半導体素子と
50

、
 (d) 前記第3コイルに直列接続され前記第1スイッチング素子がオン制御されたとき及び前記第2コイルを電流が流れたときにオン制御されかつそれ以外のときにオフ制御される制御端を有し、該制御端がオン制御されたときは該第3コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と逆方向の電流を遮断する第2スイッチング素子と、を備え、

(e) 前記第1スイッチング素子のオン期間に、前記直流電圧により前記第1コイルに第1電流が流れると共に、該第1電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第2電流を出力し、

(f) 前記第1スイッチング素子のオフ期間に、前記第2コイルに発生する起電力により該第2コイルに第3電流が流れて前記直流電源側に回生されると共に、該第3電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第4電流を出力することを特徴とする。

10

【0009】

4) 請求項4に係るスイッチング電源回路は、

(a) 第1コイルと、該第1コイルに対し密に磁気結合された第2コイルと、該第1コイル及び該第2コイルに対し疎に磁気結合された第3コイルとを具備し、該第1コイルの一端と該第3コイルの一端とを電氣的に接続する線路を出力点とするトランスと、

(b) 外部の直流電源により前記第1コイルに印加する直流電圧のオンオフを切り替える第1スイッチング素子と、

20

(c) 前記第2コイルに直列接続され前記第1スイッチング素子がオン制御されたとき前記第2コイルに誘起される起電力に基づく電流を遮断し、該第1スイッチング素子がオフ制御されたとき該第2コイルに発生する起電力に基づく電流を導通させる半導体素子と

、
 (d) 前記第3コイルの電流路に直列接続され前記第1スイッチング素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは少なくとも該第3コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第2スイッチング素子と、を備え、

(e) 前記第1スイッチング素子のオン期間に、前記直流電圧により前記第1コイルに流れる第1電流と、該第1電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第2電流とを前記出力点から出力し、

30

(f) 前記第1スイッチング素子のオフ期間に、前記第2コイルに発生する起電力により該第2コイルに第3電流が流れて前記直流電源側に回生されると共に、該第3電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第4電流を前記出力点から出力することを特徴とする。

【0010】

5) 請求項5に係るスイッチング電源回路は、

(a) 第1コイルと、該第1コイルに対し密に磁気結合された第2コイルと、該第1コイル及び該第2コイルに対し疎に磁気結合された第3コイルとを具備し、該第1コイルの一端と該第3コイルの一端とを電氣的に接続する線路を出力点とするトランスと、

40

(b) 外部の直流電源により前記第1コイルに印加する直流電圧のオンオフを切り替える第1スイッチング素子と、

(c) 前記第2コイルに直列接続され前記第1スイッチング素子がオン制御されたとき前記第2コイルに誘起される起電力に基づく電流を遮断し、該第1スイッチング素子がオフ制御されたとき該第2コイルに発生する起電力に基づく電流を導通させる半導体素子と

、
 (d) 前記第3コイルの電流路に直列接続され前記第1スイッチング素子がオン制御されたとき及び前記第2コイルを電流が流れたときにオン制御されかつそれ以外のときにオフ制御される制御端を有し、該制御端がオン制御されたときは少なくとも該第3コイルに

50

流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と逆方向の電流を遮断する第2スイッチング素子と、を備え、

(e) 前記第1スイッチング素子のオン期間に、前記直流電圧により前記第1コイルに流れる第1電流と、該第1電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第2電流とを前記出力点から出力し、

(f) 前記第1スイッチング素子のオフ期間に、前記第2コイルに発生する起電力により該第2コイルに第3電流が流れて前記直流電源側に回生されると共に、該第3電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第4電流を前記出力点から出力することを特徴とする。

【0011】

6) 請求項6に係るスイッチング電源回路は、

(a) 第1コイルと、該第1コイルに対し密に磁気結合された第2コイルと、該第1コイル及び該第2コイルに対し疎に磁気結合された第3コイルとを具備し、該第2コイルの一端から出力される電流と該第3コイルの一端から出力される電流の合流点を出力点とするトランスと、

(b) 前記第1コイルに印加する直流電圧のオンオフを切り替える一次側スイッチング素子と、

(c) 前記第2コイルに直列接続され前記第1スイッチング素子がオン制御されたとき前記第2コイルに誘起される起電力に基づく電流を遮断し、該第1スイッチング素子がオフ制御されたとき該第2コイルに発生する起電力に基づく電流を導通させる半導体素子と

(d) 前記第3コイルに直列接続され前記第1スイッチング素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは該第3コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第2スイッチング素子と、を備え、

(e) 前記第1スイッチング素子のオン期間に、前記直流電圧により前記第1コイルに第1電流が流れ、該第1電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第2電流を前記出力点から出力し、

(f) 前記第1スイッチング素子のオフ期間に、前記第2コイルに発生する起電力により該第2コイルに流れる第3電流と、該第3電流に起因して前記第3コイルに生じる磁気誘導により該第3コイルに流れる第4電流とを前記出力点から出力することを特徴とする。

【0012】

7) 請求項7に係るスイッチング電源回路は、

(a) 第1コイルと、該第1コイルに対し密に磁気結合された第2コイルと、該第1コイル及び該第2コイルに対し疎に磁気結合された第3コイルとを具備し、該第1コイルの一端と該第2コイルの一端と該第3コイルの一端とを電氣的に接続する線路上に出力点を設けたトランスと、

(b) 前記第1コイルに印加する直流電圧のオンオフを切り替える第1スイッチング素子と、

(c) 前記第2コイルに直列接続され前記第1スイッチング素子がオン制御されたとき前記第2コイルに誘起される起電力に基づく電流を遮断し、該第1スイッチング素子がオフ制御されたとき該第2コイルに発生する起電力に基づく電流を導通させる半導体素子と

(d) 前記第3コイルに直列接続され前記第1スイッチング素子と同期してオンオフ制御される制御端を有し、該制御端がオン制御されたときは該第3コイルに流れる電流を導通させ、該制御端がオフ制御されたときはオン制御時の電流と同方向の電流が導通するとともにオン制御時の電流と逆方向の電流を遮断する第2スイッチング素子と、を備え、

(e) 前記第1スイッチング素子のオン期間に、前記直流電圧により前記第1コイルに流れる第1電流と、該第1電流に起因して前記第3コイルに生じる磁気誘導により該第3

10

20

30

40

50

コイルに流れる第 2 電流とを前記出力点から出力し、

(f) 前記第 1 スイッチング素子のオフ期間に、前記第 2 コイルに発生する起電力により該第 2 コイルに流れる第 3 電流と、該第 3 電流に起因して前記第 3 コイルに生じる磁気誘導により該第 3 コイルに流れる第 4 電流とを前記出力点から出力することを特徴とする。

【 0 0 1 3 】

8) 請求項 8 に係るスイッチング電源回路は、請求項 1 ~ 7 のいずれかにおいて、前記トランスが、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装されると共に、前記第 3 コイルが直列 2 分割されて前記一对の外脚の各々に巻装され、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする。

【 0 0 1 4 】

9) 請求項 9 に係るスイッチング電源回路は、請求項 1 ~ 7 のいずれかにおいて、前記トランスが、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装され、前記第 3 コイルが前記一对の外脚の一方に巻装されると共に、該第 3 コイルを巻装されない方の外脚にはその中間位置に磁気ギャップが設けられ、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙及び該第 3 コイルを巻装されない方の外脚を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記第 3 コイルを巻装された外脚へ流れる磁束が、該外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記第 3 コイルを巻装された外脚へ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ該外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする。

【 0 0 1 5 】

10) 請求項 10 に係るスイッチング電源回路は、請求項 1 ~ 7 のいずれかにおいて、前記トランスが、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装されると共に、前記第 3 コイルが前記第 1 及び第 2 コイルから離隔しかつ該第 1 及び第 2 コイルと同心状に前記一对の外脚の内側に巻装され、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加

することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする。

【 0 0 1 6 】

1 1) 請求項 1 1 に係るスイッチング電源回路は、請求項 1 ~ 7 のいずれかにおいて、前記トランスが、対向する一対のヨークの中央部同士を連結する中央脚と、該一対のヨークの対向する各端部同士をそれぞれ連結する一対の外脚とから構成されるコアを備え、

前記第 1 コイル及び前記第 2 コイルが前記中央脚に巻装されると共に、前記第 3 コイルが前記第 1 及び第 2 コイルの外側に配置された磁性体片を介して該第 1 及び第 2 コイルと同心状に巻装され、

前記中央脚から前記外脚へ向かう磁束の一部が前記磁性体片を通るよう構成され、

前記第 1 コイルを流れる前記第 1 電流に起因して前記中央脚から前記一対の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 2 電流が流れ、かつ、

前記第 2 コイルを流れる前記第 3 電流に起因して前記中央脚から前記一対の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに前記第 4 電流が流れることを特徴とする。

【 0 0 1 7 】

1 2) 請求項 1 2 に係るスイッチング電源回路は、請求項 1 ~ 7 のいずれかにおいて、前記トランスが、前記第 1 及び第 2 コイルが存在する第 1 磁気回路と、前記第 3 コイルが存在する第 2 磁気回路と、該第 1 コイルを流れる電流により発生する磁束の一部が該第 3 コイルを通過しないで漏洩する漏洩磁気回路とを有し、

前記第 1 コイルに直流電圧が印加されたとき、前記第 1 磁気回路から前記第 2 磁気回路へ磁束が流れ込むことにより前記第 3 コイルに電圧を誘起させると共に、その磁束の一部が前記漏洩磁気回路に漏洩することにより前記第 1 磁気回路内に存在する磁束の磁束密度を前記第 2 磁気回路内に存在する磁束の磁束密度より大として不均衡状態を保持し、

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による電流が該第 2 コイルに流れるとき、該電流により前記第 1 磁気回路の磁束の消滅を抑制し前記第 1 磁気回路内の磁束密度が前記第 2 磁気回路の磁束密度より大きい不均衡状態であることに起因して該第 1 磁気回路から該第 2 磁気回路へ磁束が流れ込むことにより、前記第 3 コイルに前記第 1 コイルに直流電圧が印加されたときと同極性の電圧を誘起させることを特徴とする。

【 0 0 1 8 】

1 3) 請求項 1 3 に係るトランスは、対向する一対のヨークの中央部同士を連結する中央脚と、該一対のヨークの対向する各端部同士をそれぞれ連結する一対の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第 1 コイル及び第 2 コイルと、前記一対の外脚の各々に直列 2 分割されて巻装され該第 1 及び第 2 コイルと疎に磁気結合した第 3 コイルと、を備えたトランスであって、

前記中央脚から前記外脚へ向かう磁束の一部が前記第 1 及び第 2 コイルと前記第 3 コイルとの間の空隙を通るよう構成され、

前記第 1 コイルに直流電圧が印加されたとき、該第 1 コイルを流れる第 1 電流に起因して前記中央脚から前記一対の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 2 電流が流れ、かつ、

前記第 1 コイルへの直流電圧の印加が停止されることに起因し前記第 2 コイルに発生する起電力による第 3 電流が該第 2 コイルに流れるとき、該第 3 電流に起因して前記中央脚から前記一対の外脚へそれぞれ流れる磁束が、前記第 1 電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第 3 コイルに第 4 電流が流れることを特徴とする。

【 0 0 1 9 】

1 4) 請求項 1 4 に係るトランスは、対向する一対のヨークの中央部同士を連結する中央

10

20

30

40

50

脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第1コイル及び第2コイルと、前記一对の外脚の一方に巻装され該第1及び第2コイルと疎に磁気結合した第3コイルと、該第3コイルを巻装されない方の外脚の中間位置に設けた磁気ギャップと、を備えたトランスであって、

前記中央脚から前記外脚へ向かう磁束の一部が前記第1及び第2コイルと前記第3コイルとの間の空隙及び該第3コイルを巻装されない方の外脚を通るよう構成され、

前記第1コイルに直流電圧が印加されたとき、該第1コイルを流れる第1電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第3コイルに第2電流が流れ、かつ、

前記第1コイルへの直流電圧の印加が停止されることに起因し前記第2コイルに発生する起電力による第3電流が該第2コイルに流れるとき、該第3電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第1電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第3コイルに第4電流が流れることを特徴とする。

【0020】

15) 請求項15に係るトランスは、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第1コイル及び第2コイルと、前記第1及び第2コイルから離隔しかつ該第1及び第2コイルと同心状に前記一对の外脚の内側に巻装され該第1及び第2コイルと疎に磁気結合した第3コイルと、を備えたトランスであって、

前記中央脚から前記外脚へ向かう磁束の一部が前記第1及び第2コイルと前記第3コイルとの間の空隙を通るよう構成され、

前記第1コイルに直流電圧が印加されたとき、該第1コイルを流れる第1電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第3コイルに第2電流が流れ、かつ、

前記第1コイルへの直流電圧の印加が停止されることに起因し前記第2コイルに発生する起電力による第3電流が該第2コイルに流れるとき、該第3電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第1電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第3コイルに第4電流が流れることを特徴とする。

【0021】

16) 請求項16に係るトランスは、対向する一对のヨークの中央部同士を連結する中央脚と、該一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚とから構成されるコアと、前記中央脚に巻装され互いに密に磁気結合した第1コイル及び第2コイルと、前記第1及び第2コイルの外側に配置された磁性体片と、該磁性体片を介して該第1及び第2コイルと同心状に巻装され該第1及び第2コイルと疎に磁気結合した第3コイルと、を備えたトランスであって、

前記中央脚から前記外脚へ向かう磁束の一部が前記磁性体片を通るよう構成され、

前記第1コイルに直流電圧が印加されたとき、該第1コイルを流れる第1電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第3コイルに第2電流が流れ、かつ、

前記第1コイルへの直流電圧の印加が停止されることに起因し前記第2コイルに発生する起電力による第3電流が該第2コイルに流れるとき、該第3電流に起因して前記中央脚から前記一对の外脚へそれぞれ流れる磁束が、前記第1電流に起因する磁束と同方向でありかつ各々の外脚内で増加することにより、該磁束の増加変分に抗するべく前記第3コイルに第4電流が流れることを特徴とする。

【0022】

17) 請求項17に係るトランスは、互いに密に磁気結合した第1コイル及び第2コイル

が存在する第1磁気回路と、該第1及び第2コイルと疎に磁気結合した第3コイルが存在する第2磁気回路と、該第1コイルに流れる電流により発生する磁束の一部が該第3コイルを通過しないで漏洩する漏洩磁気回路とを有し、

前記第1コイルに直流電圧が印加されたとき、前記第1磁気回路から前記第2磁気回路へ磁束が流れ込むことにより前記第3コイルに電圧を誘起させると共に、その磁束の一部が前記漏洩磁気回路に漏洩することにより前記第1磁気回路内に存在する磁束の磁束密度を前記第2磁気回路内に存在する磁束の磁束密度より大として不均衡状態を保持し、

前記第1コイルへの直流電圧の印加が停止されることに起因し前記第2コイルに発生する起電力による電流が該第2コイルに流れるとき、該電流により前記第1磁気回路の磁束の消滅を抑制し前記第1磁気回路内の磁束密度が前記第2磁気回路の磁束密度より大きい不均衡状態であることに起因して該第1コイルに直流電圧が印加されたときと同方向に該第1磁気回路から該第2磁気回路へ磁束が流れ込むことにより、前記第3コイルに前記第1コイルに直流電圧が印加されたときと同極性の電圧を誘起させることを特徴とする。

【発明の効果】

【0023】

(A)請求項1に記載のスイッチング電源回路では、密に磁気結合された一次側を構成する第1コイル及び第2コイルと、第1及び第2コイルと疎に磁気結合された二次側を構成する第3コイルとを具備するトランスを用い、第1コイルに対しスイッチング素子によりオンオフする直流電圧を印加することにより、スイッチング素子のオン期間及びオフ期間の双方においてフォワード動作を行い、第3コイルから出力電流を得ることができる。ここで本発明における「フォワード動作」について注記すると、通常のフォワード型スイッチング電源回路では、オン期間はフォワード動作であり、オフ時の瞬間(期間ではない)はフライバック現象が発生しスパイク電圧が発生するが、本発明ではオフ期間(オフ時の瞬間ではない)においてもフォワード動作時と同方向の電流を第3コイルから出力するので説明の便宜上、上記のようにフォワード動作と称する(以下、同じ)。

【0024】

オン期間においては、第1コイルに直流電圧が印加されると第1コイルに第1電流が流れ始めこの電流が増加し、またこの第1コイルの磁気回路の磁束密度も増加する。第3コイルは、第1コイルとトランス結合されているため、第1コイルに第1電流が流れることにより第1コイルの磁気回路に生じた磁束が第3コイルを通り、この磁束密度の増加に抗するよう第3コイルに起電力が生じ同コイルに第2電流が流れて負荷へ供給される。これは、第1コイルと第3コイルのトランス結合によるフォワード動作である。第2コイルにも起電力は生じるが第1半導体素子が逆バイアスとなり電流は流れない。

【0025】

本発明のトランスは、第1及び第2コイルと、第3コイルとはトランス結合ではあっても疎結合である。「疎結合」とは、第1コイルまたは第2コイルの磁気回路に発生する磁束の全てを第3コイルの磁気回路に通さず、その一部を意図的に設けた漏洩磁気回路に漏らすことにより第3コイルの磁気回路を通る磁束を少なくするようにトランスが構成されていることを意味する。これにより、オン時に第3コイルに激しいピーク電流が生じることを回避でき、負荷への激しいピーク電流を抑制できる。この結果、従来は必要であったチョークコイルが不要となり、スイッチング電源の小型化及びコスト抑制を図れる。

【0026】

また、本発明のトランスでは、漏洩磁気回路を磁束が通ることによって第1コイルに電力損を生じることはなく、第1コイルの磁気回路の磁束密度は従来トランスの一次コイルと同様に増加する。一方、漏洩磁気回路に流れる磁束の分だけ第3コイルの磁気回路を通る磁束は少なくなるため、第3コイルの磁気回路では磁束密度の増加が従来トランスの二次コイルよりも少なくなる。

【0027】

このように、第1コイルの磁気回路に生じた磁束の一部を漏らす特徴的なトランス構成としたことにより、オン期間の終わりの時点では、第1コイルの磁気回路には大量の磁束

10

20

30

40

50

が蓄積されて磁束密度が高い状態となる一方、第3コイルの磁気回路の磁束密度は相対的に低い状態となり、両コイルの磁気回路の磁束密度の不均衡状態を実現できる。この磁束密度の不均衡状態により、本回路ではオフ期間にも第3コイルにフォワード動作の電流を流すことができる。

【0028】

スイッチング素子のオフ期間においては、第1コイルへの直流電圧の印加が停止されることで密結合の第2コイルにフライバックによる起電力が生じ、第1半導体素子が順バイアスとなり第3電流が流れ、直流電源側に回生される。この第2コイルに流れる第3電流は、オン期間に第1コイルの磁気回路に蓄積された磁束を保持する(かしめる)働きがある。このため、第1コイルの磁気回路の磁束は瞬時に消滅することなく緩やかに減少し、その結果、第1コイルと第3コイルの磁束密度の不均衡状態はオフ期間に入ってもしばらく持続する。この両コイルの磁気回路における磁束密度の不均衡状態が存在することにより、第1コイルの磁気回路の磁束の絶対量は減少傾向であるにも拘わらず第1コイルの磁気回路から第3コイルへ通過する磁束は増加を続ける。すなわち、第3コイルが受ける磁束の変化は、 $d / dt > 0$ である。

10

【0029】

そして、この磁束の増加変分に抗するようにオン期間と同じ方向の起電力が第3コイルに生じ、オン期間と同じ方向で第2半導体素子を通して第4電流が流れ、負荷へ供給される。

【0030】

よって、本回路における第3コイルでは、オン期間もオフ期間も同方向すなわちフォワード方向に電流が流れて負荷に供給することができる。

20

【0031】

さらに、第2コイルに第3電流が流れて第1コイルの磁気回路の磁束がかしめられることで磁束が瞬時に消滅せず、 d / dt が小となり、第1コイルにオフ時のスパイク電圧が発生しない。これにより、スイッチング素子のスパイク電圧に対する耐圧性が不要となり低耐圧のものを使用できる。当然、スナバ回路も不要となり回路が簡素化され、スナバ回路による電力損失の問題も解消される。

【0032】

(B) 請求項2に記載のスイッチング電源回路は、請求項1とほぼ同じ回路構成であるが、第2半導体素子に替えて第2スイッチング素子を用い、直流電圧の印加をオンオフする第1スイッチング素子と同期して第2スイッチング素子をオンオフ制御する構成とする。第2スイッチング素子のオン抵抗が小さいことにより電圧降下を低減できる。

30

加えて、従来フォワード方式の同期整流型スイッチング電源回路と異なり、一次側と二次側の2つのスイッチング素子を排他的にオンオフ制御しないでよいためデッドタイムを設ける必要がない。これにより、複雑なソフトウェア制御が不要となり、低コスト化を図れる。

【0033】

(C) 請求項3に記載のスイッチング電源回路は、請求項2とほぼ同じ回路構成であるが、二次側の第2スイッチング素子に対し、一次側の第1スイッチング素子のオン期間及び第2コイルに第3電流が流れているときにオンとし、それ以外のときはオフとする制御を行う。これにより、第1スイッチング素子のオフ期間にも、第3電流が流れている限り第2スイッチング素子をオン状態とすることができ、第3電流に起因して流れる第4電流を最大限有効に利用することができる。

40

【0034】

(D) 請求項4に記載のスイッチング電源回路では、密に磁気結合された第1コイル及び第2コイルと、第1及び第2コイルと疎に磁気結合された第3コイルとを具備するトランスを用い、第1コイルに対し第1スイッチング素子によりオンオフする直流電圧を印加することにより、第1スイッチング素子のオン期間及びオフ期間の双方においてフォワード動作を行い、第1コイルの一端と第3コイルの一端とを電氣的に接続する線路に設けた出

50

力点から出力電流を得ることができる。第3コイルの他端には第2スイッチング素子が直列接続され、第1スイッチング素子と同期してオンオフ制御される。

【0035】

請求項4に係る回路では、第1スイッチング素子のオンオフに対応して第1～第3コイルのそれぞれに第1～第4電流が流れる動作は、上記の請求項1に係る回路と基本的に同じであるが、第1コイルを流れる第1電流が、第3コイルを励磁するのみでなく出力点から負荷へ出力される点が相違する。また、従来技術のタップドインダクタは、主にフライバック動作により電力を出力するため、オンデューティ比を大きくとれないが、この回路はフォワード動作がメインのため磁束のリセットが速く、オンデューティ比を大きくとれる。すなわち、電流の高速立ち上がりが要求される重負荷に耐え得る。

10

【0036】

(E) 請求項5に記載のスイッチング電源回路は、請求項4とほぼ同じ回路構成であるが、第2スイッチング素子に対し、第1スイッチング素子のオン期間及び第2コイルに第3電流が流れているときにオンとし、それ以外のときはオフとする制御を行う。これにより、第1スイッチング素子のオフ期間にも、第3電流が流れている限り第2スイッチング素子をオン状態とすることができ、第3電流に起因して流れる第4電流を最大限有効に利用することができる。

【0037】

(F) 請求項6に記載のスイッチング電源回路では、密に磁気結合された一次側を構成する第1コイル及び二次側を構成する第2コイルと、第1及び第2コイルと疎に磁気結合された二次側を構成する第3コイルとを具備するトランスを用い、第1コイルに対し第1スイッチング素子によりオンオフする直流電圧を印加することにより、第1スイッチング素子のオン期間及びオフ期間の双方においてフォワード動作を行い、第2コイルの一端と第3コイルの一端を接続した出力点から出力電流を得ることができる。第3コイルの他端には第2スイッチング素子が直列接続され、第1スイッチング素子と同期してオンオフ制御される。

20

【0038】

請求項6に係る回路では、第1スイッチング素子のオンオフに対応して第1～第3コイルのそれぞれに第1～第4電流が流れる動作については、上記の請求項1に係る回路と基本的に同じであるが、第2コイルを流れる第3電流が、出力点から負荷へ出力される点で相違する。これにより、負荷へ供給する電流量が大きくなる。

30

【0039】

(G) 請求項7に記載のスイッチング電源回路は、密に磁気結合された第1コイル及び第2コイルと、第1及び第2コイルと疎に磁気結合された第3コイルとを具備するトランスを用い、第1コイルに対し第1スイッチング素子によりオンオフする直流電圧を印加することにより、第1スイッチング素子のオン期間及びオフ期間の双方においてフォワード動作を行い、第1コイル一端と第2コイルの一端と第3コイルの一端とを電氣的に接続する線路に設けた出力点から出力電流を得ることができる。第3コイルの他端には第2スイッチング素子が直列接続され、第1スイッチング素子と同期してオンオフ制御される。

40

【0040】

請求項7に係る回路では、第1スイッチング素子のオンオフに対応して第1～第3コイルのそれぞれに第1～第4電流が流れる動作については、上記の請求項1に係る回路と基本的に同じであるが、第1コイルを流れる第1電流が第3コイルを励磁するのみでなく出力点から負荷へ出力され、また第2コイルを流れる第3電流もまた負荷へ出力される点で相違する。これにより、負荷へ供給する電流量が大きくなる。

【0041】

(H) 請求項8～11においては、請求項1～7のいずれかのスイッチング電源回路におけるトランスが、対向する一对のヨークの中央部同士を連結する中央脚及び両端部同士を連結する一对の外脚とで構成されたコアを有する。そして、中央脚に第1コイル及び第2コイルが巻装される。第3コイルは外脚の双方(請求項8)若しくはいずれか一方(請求

50

項 9) に巻装されるか、第 1 及び第 2 コイルと同心状に両外脚の内側に巻装 (請求項 10) されるか若しくは磁性体片を介して第 1 及び第 2 コイルの上に重ねて巻装 (請求項 11) されている。本トランスでは、第 1 及び第 2 コイルと第 3 コイルとの間に空隙が形成されるように第 3 コイルを巻装するか、または、磁性体片を介して第 3 コイルを巻装することにより、第 1 及び第 2 コイルと第 3 コイルとを離隔させている。

【0042】

このトランスでは、第 1 コイルに直流電圧が印加されるオン期間のとき、第 1 コイルを流れる第 1 電流により中央脚に生じた磁束が第 3 コイルの磁気回路へ流れ込むことにより第 3 コイルにはこれに抗する起電力が生じて第 2 電流が流れる。

【0043】

また、このトランスでは、第 1 コイルと第 3 コイルが空隙または磁性体片を介して離隔しているため、第 1 コイルに生じて中央脚から外脚へ向かう磁束の一部は、漏洩磁気回路となる両コイル間の空隙または磁性体片を通る漏れ磁束となり、第 3 コイルと鎖交する磁束が減少する。この漏洩磁気回路を通る磁束によるエネルギー損失はほとんどなく第 1 コイルの磁束の増加を促進する。一方、第 3 コイルを通る磁束が少なくなることで第 3 コイルの磁束の増加を遅くする。これにより、両コイルの磁束密度に差を生じさせることができる。

【0044】

従って、オン期間の終わりの時点では第 1 コイルの磁気回路に磁束が蓄積されて磁束密度が高い状態となる一方、第 3 コイルの磁気回路の磁束密度は低い状態のままであり、両コイルの磁束密度が不均衡状態となっている。この不均衡状態のままオフ期間となり第 2 コイルにフライバック起電力による第 3 電流が流れると、第 1 コイルの磁気回路の磁束はかきめられてその減少が緩慢となる一方、第 3 コイルの磁気回路の磁束は増加を続ける。この磁束の増加変分に抗するように、オン期間と同方向の起電力が第 3 コイルに生じ、第 4 電流がオン期間と同方向に流れる。

【0045】

(I) なお、請求項 9 では、外脚の片側のみ第 3 コイルを巻装し、少なくとも巻装されていない方の外脚には磁気ギャップを設ける。これにより、巻装されていない方の外脚へ過度に磁束が流れることを防止すると共に、この外脚もまた漏洩磁気回路となる。こうして磁気飽和を防止し、第 3 コイルからの十分な出力電流を確保することが可能となる。片側のみに第 3 コイルを巻装することは製造コスト上、有利である。

【0046】

(J) 請求項 12 のトランスは、第 1 コイルに生じる磁束の一部が第 3 コイルを通過しないで漏洩する漏洩磁気回路を設けたので、第 1 コイルに直流電圧を印加したときに生じる磁束の全てが第 3 コイルに与えられずに第 1 コイルの磁気回路に蓄積され、第 1 コイルの磁気回路の磁束密度が第 3 コイルの磁気回路の磁束密度に対して相対的に大となって不均衡状態で保持される。このような磁束密度の差が生じた状態で第 1 コイルへの直流電圧の印加を停止すると、第 2 コイルにフライバック起電力による電流が流れる。これに起因して第 3 コイルにも起電力が生じるが、その起電力は、上記磁束密度の差が存在することに起因して、第 1 コイルに電圧印加したときと同方向に電流を流すように生じる。そして、磁束密度の差が存在することにより、第 1 コイルの磁気回路から第 3 コイルの磁気回路への磁束の流れ込みが持続し、その結果、第 3 コイルの磁気回路の磁束密度は増加し続ける。よって、本トランスでは、第 1 コイルへの電圧印加時も非印加時も、第 3 コイルから同方向 (フォワード方向) の出力電流を得ることができる。

【0047】

(K) 請求項 13 ~ 17 のトランスの効果については、上記 (I) (J) に記載した通りである。

【発明を実施するための最良の形態】

【0048】

(1) スイッチング電源回路の第 1 の実施形態

10

20

30

40

50

(1 - 1) 回路構成

図 1 は、本発明によるスイッチング電源回路の第 1 の実施形態の回路図である。図 1 の回路は、第 1 コイル L 1 と、第 2 コイル L 2 と、第 3 コイル L 3 とを具備するトランス T を有する。各コイルの巻き始め端子は黒丸で示している（以下、同様）。これら 3 つのコイルは互いに磁気結合するが、第 1 コイル L 1 と第 2 コイル L 2 とは密に磁気結合（以下、「密結合」と称する）し、第 3 コイル L 3 は第 1 及び第 2 コイル L 1、L 2 と疎に磁気結合（以下、「疎結合」と称する）するようトランス T が構成されている。密結合は、従来の一般的なトランス結合であり、それらのコイル間では、磁束発生側のコイルから発生する磁束の大部分が磁束受領側のコイルへ流れ込む。これに対し、疎結合のコイル間では、磁束発生側のコイルから発生する磁束の一部を意図的に漏洩磁気回路に漏洩させ迂回させることにより磁束受領側のコイルへは漏洩磁束分が減少した磁束が流れ込む。このような 3 つのコイル間における密結合及び疎結合を実現するトランス T の具体的構成については、後に示す図 8 A ~ 図 8 D、図 9 にて詳細に説明することとする。

10

【 0 0 4 9 】

第 1 コイル L 1 及び第 2 コイル L 2 は一次側のコイルを構成し、第 3 コイル L 3 は二次側のコイルを構成している。トランス T では一次側の第 1 コイル L 1 と二次側の第 3 コイル L 3 とが疎結合であるため、従来のトランスと異なり、出力電圧が巻数比のみによっては決定されず、漏洩する磁束量にも依存する。しかしながら、降圧型の場合には、一般的な設定と同様に第 3 コイル L 3 のインダクタンスが第 1 コイル L 1 のインダクタンスより小さくなるように巻き数を設定する。

20

【 0 0 5 0 】

第 1 コイル L 1 は、その巻き始め端子 a が、直流電圧 V_{in} の正極側の入力端子である端子 1 に接続され、巻き終わり端子 b が、スイッチング素子である N チャネル型 FET (field effect transistor) Q 1 のドレインと接続されている。FET Q 1 のソースは、直流電圧 V_{in} の負極側の入力端子である端子 2 に接続される。FET Q 1 のゲート G 1 に対しては、制御信号であるパルス電圧信号が入力される。FET Q 1 は、第 1 コイル L 1 に印加する直流電圧 V_{in} のオンオフを切り替えるべくオンオフ制御される。

【 0 0 5 1 】

FET Q 1 のゲート G 1 に入力されるパルス電圧信号は、負荷の変動に対して入力直流電圧 V_{in} のオン期間を調整することにより出力電圧 V_{out} を一定に保持する帰還制御を行ってもよい。

30

【 0 0 5 2 】

N チャネル型 FET に替えて、P チャネル型 FET をスイッチング素子として用いる場合は、ソースを第 1 コイル L 1 の巻き終わり端子 b に接続し、ドレインを端子 2 に接続する。ゲートに対しては同様に制御信号であるパルス電圧信号（但し、極性が逆となる）を入力する。また、FET に替えて、バイポーラトランジスタを用いてもよい。

後述する他の実施形態においても、直流電圧 V_{in} の印加、停止を切り替えるスイッチング素子として FET またはバイポーラトランジスタのいずれも用いることができる。

【 0 0 5 3 】

第 2 コイル L 2 は、その巻き始め端子 c が端子 2 に接続され、巻き終わり端子 d が第 1 半導体素子であるダイオード D 1 のアノードに接続されている。ダイオード D 1 のカソードは端子 1 に接続されている。第 1 半導体素子であるダイオード D 1 と第 2 コイル L 2 とは直列接続されている。

40

【 0 0 5 4 】

ダイオード D 1 に替えて、FET またはバイポーラトランジスタを第 1 半導体素子として用いてもよい。その場合、その第 1 半導体素子は、スイッチング素子 Q 1 と同期して排他的にオンオフ制御される。すなわち、スイッチング素子 Q 1 のオン期間に電流を遮断し、オフ期間に電流を導通させるように制御される。

【 0 0 5 5 】

入力端子である端子 1 と端子 2 の間にはコンデンサ C 1 が接続されている。コンデンサ

50

C 1 は、直流電圧 V_{in} が整流出力の場合は平滑用であり、さらに本回路において生じる回生電流の蓄積用でもある。

【 0 0 5 6 】

第 3 コイル L 3 は、その巻き始め端子 e が第 2 半導体素子であるダイオード D 2 のアノードに接続され、巻き終わり端子 f が負極側の出力端子である端子 4 に接続されている。ダイオード D 2 のカソードは正極側の出力端子である端子 3 に接続されている。端子 3 と端子 4 間から出力電圧 V_{out} が出力され、図示しない負荷へ供給される。ダイオード D 2 の順方向電圧降下により負荷への供給電圧の低下を小さくするため、ダイオード D 2 として電圧降下が 0.2 V 程度のショットキーバリアダイオードを用いることが好適である。また、端子 3 と端子 4 間には平滑用のコンデンサ C 2 が接続されている。

10

【 0 0 5 7 】

なお、図 1 に示したスイッチング電源回路は、正の入力電圧から正の出力電圧を得る回路であるが、負の入力電圧から負の出力電圧を得るには、図 1 の回路構成を、極性のみ異なる全く同じ構成の回路とすればよいことは、当業者には自明のことである。その場合は、各構成要素（ダイオード及びスイッチング素子）の極性を必要に応じて入れ替えればよく、正負の極性が逆となるだけで実質的に同じ動作が実現される。後述する他の実施形態においても同様である。

【 0 0 5 8 】

(1 - 2) 回路動作

図 1 のスイッチング電源回路の動作を、スイッチング素子である F E T Q 1 のオン期間とオフ期間に分けて説明する。

20

【 0 0 5 9 】

< オン期間の動作 >

F E T Q 1 のゲート G 1 に印加されるパルス電圧信号がオフからオンになると、ドレイン・ソース間の電流路が導通して直流電圧 V_{in} が第 1 コイル L 1 に印加される。このとき第 1 コイル L 1 は、巻き始め端子 a が正電位、巻き終わり端子 b が負電位となる。これにより第 1 電流 i_1 が、端子 1 第 1 コイル (a b) F E T Q 1 端子 2 の経路で流れる。

【 0 0 6 0 】

第 2 コイル L 2 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 c が正電位、巻き終わり端子 d が負電位となるが、ダイオード D 1 が逆バイアスとなるため電流は流れない。すなわち、オン期間においては、ダイオード D 1 の電流路は遮断されている。

30

【 0 0 6 1 】

ここで、ダイオード D 1 に要求される逆耐圧は次の通りとなる。既にダイオード D 1 に印加されているコンデンサ C 1 の電圧 V_{c1} に第 2 コイル L 2 に発生する電圧 V_2 が加算印加される。したがって、ダイオード D 1 に印加される電圧は $V_{d1} = V_{c1} + V_2$ である。第 1 コイル L 1 と第 2 コイル L 2 の巻数が同一であれば、第 2 コイル L 2 には第 1 コイル L 1 に印加される電圧が誘起されるから、 $V_2 = V_1$ 。第 1 コイル L 1 に印加される電圧 V_1 は V_{c1} であるから、 $V_{d1} = 2 V_{c1}$ となる。これがダイオード D 1 に要求される逆耐圧であり、問題とならない程度である。

40

因みに、第 1 コイル L 1 と第 2 コイル L 2 の巻数比が 1 : N (N は、回路の実施形態により 1 以上または 1 以下のいずれの場合もある。以下の実施形態において同じ) のときは、ダイオード D 1 の逆耐圧は、 $V_{d1} = (1 + N) V_{c1}$ となる。従って、第 2 コイル L 2 の巻数が第 1 コイル L 1 の巻数より少ないほど、ダイオード D 1 の逆耐圧が小さくてすむ。

【 0 0 6 2 】

二次側を構成する第 3 コイル L 3 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 e が正電位、巻き終わり端子 f が負電位となる。この起電力に対しダイオード D 2 が順方向となるため、第 2 電流 i_2 がダイオード D 2 を通して出力される。これは、第 1 コイル L 1 と第 3 コイル L 3 のトランス結合作

50

用によるフォワード動作である。第2電流 i_2 の経路は、第3コイル L_3 (f e) ダイオード D_2 端子3 (C_2 及び負荷) となる。

【0063】

なお、第1コイル L_1 と第3コイル L_3 は、トランス T の構造上、疎結合であるので、オン時に第1コイル L_1 に生じる磁束によって第3コイル L_3 に激しいピーク電流が流れることはない。

【0064】

以上の通り、FET Q_1 のオン期間には、直流電圧 V_{in} により第1コイル L_1 に第1電流 i_1 が流れると共に、第1電流 i_1 に起因して第3コイル L_3 に生じる磁気誘導により第3コイル L_3 に第2電流 i_2 が流れ、ダイオード D_2 を通して出力される。

10

【0065】

ここで、オン期間における第1コイル L_1 と第3コイル L_3 の各々の磁気回路の磁束密度の変化は、次の通りとなる。従来のトランスと同様に両コイルの磁気回路の磁束密度はオン期間にそれぞれ増加し、オン期間の終了時点で最大となる。しかしながら、第1コイル L_1 と第3コイル L_3 は疎結合であるので、オン期間に第1コイル L_1 に生じた磁束から漏洩磁束を減じた磁束が第3コイル L_3 の磁気回路を通る。この結果、オン期間の終了時点では、第1コイル L_1 の磁気回路には大量の磁束が蓄積されて磁束密度が高い状態となる一方、第3コイル L_3 の磁気回路の磁束密度は第1コイル L_1 の磁気回路の磁束密度より小さく、両コイルの磁気回路の磁束密度が不均衡状態となる。各々のコイルの磁気回路の磁束密度の値及びそれらの差は、第1コイル L_1 に流れた電流量、両コイルの巻数、磁気回路の透磁率などの諸条件により決定される。この第1コイル L_1 と第3コイル L_3 の磁束密度の不均衡状態は、以下のオフ期間における電流の要因となる。

20

【0066】

< オフ期間の動作 >

FET Q_1 のゲート G_1 に印加されるパルス電圧信号がオフとなると、ドレイン・ソース間の電流路が遮断して直流電圧 V_{in} の第1コイル L_1 への印加が停止される。印加電圧が急に停止されることで第1コイル L_1 には、自己誘導に基づく逆起電力 (高圧) が発生しようとするが、後述するように、第2コイル L_2 に電流が流れ、第1および第2コイル L_1 、 L_2 の磁気回路の磁束が急速にリセットされないため、相互誘導により第2コイル L_2 に印加される電圧が第1コイル L_1 に誘起され第1コイル L_1 に所定の電圧が発生する。このとき第1コイル L_1 は、巻き始め端子 a が負電位、巻き終わり端子 b が正電位となる。このとき、FET Q_1 のドレインに印加される電圧は後述する。

30

【0067】

FET Q_1 がオフとなることにより同時に、第2コイル L_2 にフライバック起電力が発生し、巻き始め端子 c が負電位、巻き終わり端子 d が正電位となる。よってダイオード D_1 は順バイアスとなる。この結果、第3電流 i_3 が、第2コイル L_2 (c d) ダイオード D_1 C_1 (または、端子1) の経路で流れる。この第3電流 i_3 は回生電流であり、コンデンサ C_1 に蓄積されるため電力損失は生じない。コンデンサ C_1 は、オン期間に負荷に電力供給するため、オフ期間に回生電流を受け入れる余裕がある。

【0068】

第2コイル L_2 に流れる第3電流 i_3 は、オン期間に第1コイル L_1 の磁気回路に蓄積され最大となっている磁束を保持する (かしめる) 働きがあり、その磁束の減少を緩慢とする。つまり、オフ期間になると第1コイル L_1 の磁気回路の磁束は減少し始めるが、第1コイル L_1 の磁気回路の方が第3コイル L_3 の磁気回路よりも相対的に磁束密度の高い不均衡状態がしばらく持続することになる。この両コイル L_1 と L_3 の磁気回路の磁束密度の不均衡状態が持続する限り、この不均衡状態を解消すべく第1コイル L_1 の磁気回路から第3コイル L_3 の磁気回路へ流れ込む磁束は、オン期間と同じ方向でかつ増加を続け、この第3コイル L_3 の磁気回路の磁束の増加変分に抗するように第3コイル L_3 の磁気回路に起磁力 F_2 を発生するよう第3コイル L_3 に電流を流すべく起電力が第3コイル L_3 に生じる。第3コイル L_3 は、オン期間と同じく巻き始め端子 e が正電位、巻き終わり

40

50

端子 f が負電位となり、ダイオード D 2 は順バイアスとなり、第 4 電流 i_4 が流れる。第 4 電流 i_4 の経路は、第 3 コイル L 3 (f e) ダイオード D 2 端子 3 (C 2 及び負荷) となり、その方向はオン期間に流れる第 2 電流 i_2 と同方向である。

【 0 0 6 9 】

図 1 の回路においては、オフ期間においても、第 3 コイル L 3 にはオン期間と同じ方向の起電力が生じフォワード動作を行う。すなわち、オフ期間においても第 1 コイル L 1 の磁気回路が磁束発生側となり、第 3 コイル L 3 の磁気回路が磁束受領側となり、第 3 コイル L 3 の磁気回路は第 1 コイル L 1 の磁気回路の磁束を受け続け、しかもその増加率は正である。

【 0 0 7 0 】

以上の通り、F E T Q 1 のオフ期間には、第 2 コイル L 2 を流れる第 3 電流 i_3 (第 1 および第 2 コイル L 1、L 2 の共通磁気回路の磁束のかしめ) に起因して、第 3 コイル L 3 に第 4 電流 i_4 が流れ、ダイオード D 2 を通して出力される。

【 0 0 7 1 】

このように、図 1 の回路では、オン期間もオフ期間も同方向 (フォワード方向) に電流が流れて負荷に供給することができる。

【 0 0 7 2 】

また、直流電圧 V_{in} がオフされたときに第 2 コイル L 2 に第 3 電流 i_3 が流れることにより、第 1 および第 2 コイル L 1、L 2 の共通磁気回路の磁束が瞬時に消失しないことから、第 1 コイル L 1 に生じるスパイク電圧が抑制される。

【 0 0 7 3 】

さらに、直流電圧 V_{in} がオフされたとき、第 2 コイル L 2 にはフライバックの起電力により純理論的には無限大の電圧が発生しようとするが、巻き始め端子 c がコンデンサ C 1 の負極側端子に接続されているため、第 2 コイル L 2 に発生する電圧はコンデンサ C 1 の両端間電圧 V_{c1} によりクランプされ、その巻き終わり端子 d の電位は $+V_{c1}$ となる。これは、ダイオード D 1 が第 2 コイル L 2 の起電力により導通されているため、コンデンサ C 1 の電圧 V_{c1} が第 2 コイル L 2 に直接印加される。(以下、後述する実施の形態において同じ。) すなわち、第 2 コイル L 2 の両端電圧は V_{c1} である。そして、第 2 コイル L 2 と第 1 コイル L 1 との相互誘導により、第 2 コイル L 2 と第 1 コイル L 1 との巻数比が 1 : 1 のときは第 1 コイル L 1 の両端電圧も V_{c1} となる。従って、F E T Q 1 のドレインに印加される電圧 V_{ds} は、コンデンサ C 1 の $+V_{c1}$ の電位に第 1 コイル L 1 に発生する起電力 V_1 が加算されて、 $V_{ds} = V_{c1} + V_1 = 2V_{c1}$ の関係となる ($V_1 = V_{c1}$ であるため)。つまり、F E T Q 1 にオフ時に印加されるスパイク電圧が、コンデンサ C 1 の両端間電圧 V_{c1} の 2 倍程度に抑制されたことになる。これにより、スナバ回路を不要とできる。なお、この第 2 コイル L 2 から、第 1 コイル L 1 への相互誘導の現象は第 3 コイル L 3 へも及ぶが、第 2 コイル L 2 と第 3 コイル L 3 は疎結合であるため、支配的ではなく、上記のとおり磁束密度の不均衡を解消すべく、第 3 コイル L 3 に磁束が流れ込む磁気誘導作用 (ddt) による第 3 コイル L 3 の起電力が支配的である。(以下、後述する実施の形態において同じ。)

【 0 0 7 4 】

因みに、第 1 コイル L 1 と第 2 コイル L 2 の巻数比が 1 : N のときは、F E T Q 1 のドレインに印加される電圧 V_{ds} は、 $V_{ds} = (1 + 1/N)V_{c1}$ となる。従って、第 2 コイル L 2 の巻数が第 1 コイル L 1 の巻数より多いほど、オフとなったときに F E T Q 1 のドレインに印加される電圧 V_{ds} は小さくなる (スパイク電圧抑制効果大きい)。これにより低耐圧用の F E T Q 1 を用いることができ、このことは同時に F E T Q 1 のオン抵抗を小さくできることになり有利である。

【 0 0 7 5 】

このように、第 1 コイル L 1 と第 2 コイル L 2 の巻数比については、第 2 コイルの巻数が多いほど F E T Q 1 の耐圧が小さくてすむが、逆に、前述のダイオード D 1 の逆耐圧については、第 2 コイルの巻数が少ないほど逆耐圧が小さくてすむ。従って、双方の効果を

10

20

30

40

50

考慮して、第 1 コイル L 1 と第 2 コイル L 2 の最適な巻数比を決定するようにする。

【 0 0 7 6 】

オフ期間における時間経過に伴う第 1 コイル L 1 と第 3 コイル L 3 の各々の磁気回路の動作は次の通りとなる。磁束発生側の第 1 コイル L 1 の磁気回路の保持磁束量が次第に減少しその磁束密度が低下していき、一方、磁束受領側の第 3 コイル L 3 の磁気回路の磁束密度が増加を続けると、両コイルの磁束密度が均衡する点に達する。第 1 コイル L 1 と第 3 コイル L 3 の磁気回路の磁束密度が均衡すると磁束の流れがなくなる。この磁束が均衡する近傍領域または少なくとも次のオン期間までの間に第 2 コイル L 2 を流れる第 3 電流 i_3 及び第 3 コイル L 3 を流れる第 4 電流 i_4 はゼロとなり、第 1 コイル L 1 及び第 3 コイル L 3 の磁気回路の磁束はゼロにリセットされる。なお、第 3 コイル L 3 の磁気回路の磁束がリセットされる時、第 3 コイル L 3 には逆起電力が発生するが、ダイオード D 2 が逆バイアスとなるため逆方向電流は流れない。その後、次の周期のオン期間を迎える。

10

【 0 0 7 7 】

このようなオフ期間における磁気回路の動作は、以下の他の実施形態についても同様である。これらの動作については、後に図 8 A ~ 図 8 D 及び図 9 においてトランス T の構成と共にさらに詳細に述べる。

【 0 0 7 8 】

(2) スイッチング電源回路の第 2 の実施形態

(2 - 1) 回路構成

図 2 は、本発明によるスイッチング電源回路の第 2 の実施形態の回路図である。図 2 の回路は、図 1 に示したスイッチング電源回路の変形形態である。図 1 に示した回路と相違する点は、トランス T の二次側を構成する第 3 コイル L 3 に対し、図 1 の回路のダイオード D 2 に替えて第 2 スイッチング素子である F E T Q 2 を接続している点である。トランス T の一次側における第 1 コイル L 1 及び第 2 コイル L 2 並びにその他の素子の接続関係は、図 1 の回路と同じである（但し、F E T Q 1 を第 1 スイッチング素子と称することとする）。

20

【 0 0 7 9 】

F E T Q 2 のドレインは、第 3 コイル L 3 の巻き終わり端子 f に接続され、ソースは、負極側の出力端子である端子 4 に接続されている。第 3 コイル L 3 の巻き始め端子 e は、正極側の出力端子である端子 3 に接続されている。F E T Q 2 のゲート G 2 は、第 1 スイッチング素子である F E T Q 1 と同期してオンオフ制御される。F E T Q 2 は、ゲート G 2 がオン制御されたときは第 3 コイル L 3 に流れる電流を導通させ、ゲート G 2 がオフ制御されたときはその寄生ダイオードによりオン制御時と同方向の電流は導通するが、オン制御時と逆方向の電流は遮断される。

30

【 0 0 8 0 】

図 2 の回路では、F E T Q 2 の寄生ダイオードと同じ向きとなるようにダイオード D 2 が並列に接続されている。すなわちダイオード D 2 のアノードが F E T Q 2 のソースに、カソードが F E T Q 2 のドレインに接続されている。ダイオード D 2 は必須ではないが、F E T Q 2 がオフ制御されているときは F E T Q 2 の寄生ダイオードよりも小さい順方向電圧では優先的電流路となるため、ダイオード D 2 を設けることが好ましい。ダイオード D 2 としては順方向電圧降下の小さいショットキーダイオードが好適である。

40

【 0 0 8 1 】

(2 - 2) 回路動作

図 2 の回路の動作は、前述の図 1 の回路の動作とほぼ同じであり、オン期間もオフ期間もフォワード動作を行って電流を出力する。また、その効果も同様であり、第 1 コイル L 1 と第 3 コイル L 3 が疎結合であることによりオン時に第 3 コイル L 3 に激しいピーク電流が流れず、またオフ時に第 2 コイル L 2 にフライバックによる第 3 電流 i_3 が流れることにより第 1 コイル L 1 のスパイク電圧が抑制される。よって、以下では、図 2 の回路動作の概略及び特徴的な点のみを説明する。

【 0 0 8 2 】

50

< オン期間の動作 >

F E T Q 1 のゲート G 1 に印加されるパルス電圧信号がオンになると、直流電圧 V_{in} が第 1 コイル L 1 に印加され、第 1 コイル L 1 の巻き始め端子 a が正電位、巻き終わり端子 b が負電位となる。これにより第 1 電流 i_1 が、端子 1 第 1 コイル (a b) F E T Q 1 端子 2 の経路で流れる。

【 0 0 8 3 】

第 2 コイル L 2 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 c が正電位、巻き終わり端子 d が負電位となるが、ダイオード D 1 が逆バイアスとなるため電流は流れない。

【 0 0 8 4 】

一方、第 3 コイル L 3 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 e が正電位、巻き終わり端子 f が負電位となる。F E T Q 2 は、F E T Q 1 と同期しておりオンとなっているから、第 3 コイル L 3 及び F E T Q 2 に第 2 電流 i_2 が流れ出力される。これは、第 1 コイル L 1 と第 3 コイル L 3 のトランス結合作用によるフォワード動作である。第 2 電流 i_2 の経路は、F E T Q 2 第 3 コイル L 3 (f e) 端子 3 (C 2 及び負荷) となる。

【 0 0 8 5 】

以上の通り、F E T Q 1 のオン期間には、直流電圧 V_{in} により第 1 コイル L 1 に第 1 電流 i_1 が流れると共に、第 1 電流 i_1 に起因して第 3 コイル L 3 に生じる磁気誘導により第 3 コイル L 3 に第 2 電流 i_2 が流れ出力される。

【 0 0 8 6 】

また、第 1 コイル L 1 と第 3 コイル L 3 が疎結合であることにより、オン期間の終了時点では第 1 コイル L 1 の磁気回路の方が第 3 コイル L 3 の磁気回路よりも相対的に磁束密度の高い不均衡状態となっている。

【 0 0 8 7 】

< オフ期間の動作 >

F E T Q 1 のゲート G 1 に印加されるパルス電圧信号がオフとなると、ドレイン・ソース間の電流路が遮断して直流電圧 V_{in} の第 1 コイル L 1 への印加が停止される。このとき第 1 コイル L 1 には、自己誘導に基づく逆起電力 (高圧) が発生しようとするが、後述するように、第 2 コイル L 2 に電流が流れ、第 1 および第 2 コイル L 1、L 2 の磁気回路の磁束が急速にリセットされないため、相互誘導作用で第 2 コイル L 2 に印加される電圧により第 1 コイル L 1 に所定の電圧が発生する。このとき第 1 コイル L 1 は、巻き始め端子 a が負電位、巻き終わり端子 b が正電位となる。

【 0 0 8 8 】

F E T Q 1 がオフとなることにより同時に、第 2 コイル L 2 にフライバック起電力が発生し、巻き始め端子 c が負電位、巻き終わり端子 d が正電位となる。よってダイオード D 1 は順バイアスとなる。この結果、第 3 電流 i_3 が、第 2 コイル L 2 (c d) ダイオード D 1 C 1 (または、端子 1) の経路で流れる。この第 3 電流 i_3 は回生電流であり、コンデンサ C 1 に蓄積されるため電力損失は生じない。コンデンサ C 1 は、オン期間に負荷に電力供給するため、オフ期間に回生電流を受け入れる余裕がある。

【 0 0 8 9 】

第 2 コイル L 2 に流れる第 3 電流 i_3 は、第 1 コイル L 1 の磁気回路に蓄積され最大となっている磁束を保持しすなわちかき止めることにより、その磁束の減少を緩慢とする。これにより、第 1 コイル L 1 と第 3 コイル L 3 の磁気回路の磁束密度の不均衡状態が持続する間、第 1 コイル L 1 の磁気回路から第 3 コイル L 3 の磁気回路へオン期間と同じ方向に磁束が流れ、第 3 コイル L 3 内で増加を続ける。この磁束の増加変分に抗するように第 3 コイル L 3 に起電力が生じ、巻き始め端子 e が正電位、巻き終わり端子 f が負電位となる。オフ期間では、F E T Q 2 は F E T Q 1 と同期してオフとなっているが、F E T Q 2 の寄生ダイオードを通して第 4 電流 i_4 が流れる。寄生ダイオードより順方向電圧の小さいダイオードを並列接続した場合、図 2 に示すようにダイオード D 2 が順バイアスとなるた

10

20

30

40

50

め優先的電流路となって第4電流 i_4 がダイオード D_2 を流れる。第4電流 i_4 の経路は、 $FETQ_2$ の寄生ダイオード（または、ダイオード D_2 ）第3コイル L_3 (f_e) 端子3 (C_2 及び負荷) であり、その方向はオン期間に流れる第2電流 i_2 と同方向である。

【0090】

<従来のフォワード方式電源に対する利点>

従来のフォワード方式のスイッチング電源では、二次側のコイルに直列接続した出力ダイオードと、チョークコイルのフライホイールダイオードとを具備するが、これらの二次側の2つのダイオードをそれぞれ $FET(A)$ 及び $FET(B)$ に替えた場合、 $FET(A)$ については一次側のスイッチング用 FET と同期してオンオフ制御され、 $FET(B)$ はスイッチング用 FET と排他的にオンオフ制御される。ところが、 $FET(A)$ と $FET(B)$ とは、仮に同時オンする状態が生じると短絡して破壊する。このため、同時オン状態を確実に避けるために安全をみて双方の FET をオフ状態とする非動作時間（いわゆるデッドタイムと称される）を設けざるを得ない。このようなデッドタイムが必要であると、スイッチング用 FET のオンオフ制御のためのソフトウェア処理などが非常に複雑なものとなる。

10

【0091】

これに対し、本発明の図2のフォワード方式のスイッチング電源回路では、一次側の第1スイッチング素子である $FETQ_1$ と二次側の第2スイッチング素子である $FETQ_2$ を同期制御でき、デッドタイムを伴う複雑な制御は不要であるため、全体構成を簡素化できる。この利点は、後述する他の実施形態でも同様である。

20

【0092】

(3) スwitchング電源回路の第3の実施形態

(3-1) 回路構成

図3は、本発明によるスイッチング電源回路の第3の実施形態の回路図である。図3の回路は、図2に示したスイッチング電源回路の変形形態である。図2に示した回路と相違する点は、二次側に設けた第2スイッチング素子である $FETQ_2$ のオンオフ制御の方式である。

【0093】

図3の回路において、 $FETQ_2$ のゲート G_2 には、第1スイッチング素子である $FETQ_1$ のゲート G_1 の制御信号であるパルス電圧信号がダイオード D_5 を介して印加される。加えて、 $FETQ_2$ のゲート G_2 には、演算増幅器 OP の出力電圧がダイオード D_4 を介して印加される。ダイオード D_4 とダイオード D_5 は、 OR 回路を構成しており、いずれかが高電位するとき $FETQ_2$ がオン制御される。

30

【0094】

演算増幅器 OP の2つの入力端子は、第2コイル L_2 を流れる電流の電流路上に挿入された抵抗 R の両端にそれぞれ接続されている。第3電流 i_3 が図示の方向に流れたとき、抵抗 R の両端間電圧が演算増幅器 OP により反転増幅され出力される。ダイオード D_3 は電圧抑制用である。

【0095】

よって、 $FETQ_2$ のゲート G_2 は、 $FETQ_1$ がオン制御されたときおよび第2コイル L_2 に電流が流れているときにオン制御され、それ以外ときにはオフ制御されることとなる。

40

【0096】

(3-2) 回路動作

図3の回路の動作は、前述の図2の回路の動作とほぼ同じであり、オン期間もオフ期間もフォワード動作を行って電流を出力する。また、その効果も同様であり、第1コイル L_1 と第3コイル L_3 が疎結合であることによりオン時に第3コイル L_3 に激しいピーク電流が流れず、またオフ時に第2コイル L_2 にフライバックによる第3電流 i_3 が流れることにより第1コイル L_1 のスパイク電圧が抑制される。よって、以下では、図3の回路動

50

作の概略及び図 2 の回路と相違する特徴的な点のみを説明する。

【 0 0 9 7 】

< オン期間の動作 >

F E T Q 1 のゲート G 1 に印加されるパルス電圧信号がオンになると、直流電圧 V_{in} が第 1 コイル L 1 に印加され、第 1 コイル L 1 の巻き始め端子 a が正電位、巻き終わり端子 b が負電位となる。これにより第 1 電流 i_1 が、端子 1 第 1 コイル (a b) F E T Q 1 端子 2 の経路で流れる。

【 0 0 9 8 】

第 2 コイル L 2 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 c が正電位、巻き終わり端子 d が負電位となるが、ダイオード D 1 が逆バイアスとなるため電流は流れない。第 2 コイル L 2 に電流が流れないため、抵抗 R の両端間電圧は生じず、演算増幅器 O P の出力は低電位となっている。

10

【 0 0 9 9 】

一方、第 3 コイル L 3 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 e が正電位、巻き終わり端子 f が負電位となる。F E T Q 2 は、F E T Q 1 がオン制御されているためダイオード D 5 を介してオン制御され、オン状態となっている。よって、第 3 コイル L 3 及び F E T Q 2 に第 2 電流 i_2 が流れ出力される。これは、第 1 コイル L 1 と第 3 コイル L 3 のトランス結合作用によるフォワード動作である。第 2 電流 i_2 の経路は、F E T Q 2 第 3 コイル L 3 (f e) 端子 3 (C 2 及び負荷) となる。

20

【 0 1 0 0 】

以上の通り、F E T Q 1 のオン期間には、直流電圧 V_{in} により第 1 コイル L 1 に第 1 電流 i_1 が流れると共に、第 1 電流 i_1 に起因して第 3 コイル L 3 に生じる磁気誘導により第 3 コイル L 3 に第 2 電流 i_2 が流れ出力される。

【 0 1 0 1 】

また、第 1 コイル L 1 と第 3 コイル L 3 が疎結合であることにより、オン期間の終了時点では第 1 コイル L 1 の磁気回路の方が第 3 コイル L 3 の磁気回路よりも相対的に磁束密度の高い不均衡状態となっている。

【 0 1 0 2 】

< オフ期間の動作 >

F E T Q 1 のゲート G 1 に印加されるパルス電圧信号がオフとなると、ドレイン・ソース間の電流路が遮断して直流電圧 V_{in} の第 1 コイル L 1 への印加が停止される。印加電圧が急に停止されることで第 1 コイル L 1 には、自己誘導に基づく逆起電力 (高圧) が発生しようとするが、後述するように、第 2 コイル L 2 に電流が流れ、第 1 および第 2 コイル L 1、L 2 の磁気回路の磁束が急速にリセットされないため、相互誘導作用で第 2 コイル L 2 に印加される電圧により第 1 コイル L 1 に所定の電圧が発生する。このとき第 1 コイル L 1 は、巻き始め端子 a が負電位、巻き終わり端子 b が正電位となる。

30

【 0 1 0 3 】

F E T Q 1 がオフとなることにより同時に、第 2 コイル L 2 にフライバック起電力が発生し、巻き始め端子 c が負電位、巻き終わり端子 d が正電位となる。よってダイオード D 1 は順バイアスとなる。この結果、第 3 電流 i_3 が、第 2 コイル L 2 (c d) ダイオード D 1 C 1 (または、端子 1) の経路で流れる。この第 3 電流 i_3 は回生電流であり、コンデンサ C 1 に蓄積されるため電力損失は生じない。

40

【 0 1 0 4 】

第 2 コイル L 2 に第 3 電流 i_3 が流れると抵抗 R の両端間電圧が発生し、演算増幅器 O P の出力は正電位となり、ダイオード D 4 を介して F E T Q 2 のゲート G 2 に印加され F E T Q 2 はオンとなる。そして、第 3 電流 i_3 が流れる限り、F E T Q 2 はオンし続けることになる。

【 0 1 0 5 】

第 2 コイル L 2 に流れる第 3 電流 i_3 は、第 1 コイル L 1 の磁気回路に蓄積され最大と

50

なっている磁束を保持しすなわちかしめることにより、その磁束の減少を緩慢とする。これにより、第1コイルL1と第3コイルL3の磁気回路の磁束密度の不均衡状態が持続する間、第1コイルL1の磁気回路から第3コイルL3の磁気回路へオン期間と同じ方向に磁束が流れ、第3コイルL3内で増加を続ける。この磁束の増加変分に抗するように第3コイルL3に起電力が生じ、巻き始め端子eが正電位、巻き終わり端子fが負電位となる。このときFETQ2はオンとなっているため、FETQ2と第3コイルL3に第4電流*i*₄が流れる。第4電流の経路は、FETQ2 第3コイルL3 (f e) 端子3 (C2及び負荷) となり、その方向はオン期間に流れる第2電流*i*₂と同方向である。

【0106】

このように、第2コイルL2に第3電流*i*₃が流れる限り、第3コイルL3に起電力が発生しかつFETQ2もオンし続けるため、第4電流*i*₄を最大限有効利用して負荷へ供給できる。これに対し、前述の図2の回路では、FETQ1がオフになるとFETQ2も同期してオフとなるため、第4電流*i*₄はFETQ2の寄生ダイオードまたは並列接続ダイオードがある場合、このダイオードD2を流れることになるが、ショットキーダイオードを用いても0.2~0.4V程度の電圧降下がある点を比較すると図3の方が改善されている。

10

【0107】

(4) スwitchング電源回路の第4の実施形態

(4-1) 回路構成

図4は、本発明によるスイッチング電源回路の第4の実施形態の回路図である。図4の回路は、第1コイルL1と、第2コイルL2と、第3コイルL3とを具備するトランスTを有する。トランスTの構成自体は、前述の図1~図3に示した回路のトランスTと同じであり、第1コイルL1と第2コイルL2とは密結合し、第3コイルL3は第1及び第2コイルL1、L2と疎結合している。図4の回路は超低圧出力用の降圧型であり、出力用の第3コイルL3は第1コイルL1に比べて巻数を少なくする。但し、第1コイルL1と第3コイルL3とが疎結合であるため、従来のトランスと異なり出力電圧が巻数比のみによっては決定されず、漏洩する磁束量にも依存する。第2コイルL2は第1コイルL1と巻数を等しくしてもよい。

20

【0108】

図4に示す回路では、第1コイルL1の巻き始め端子aが、直流電圧V_{in}の正極側の入力端子である端子1に接続されている。さらに、第1コイルL1の巻き終わり端子bと第3コイルL3の巻き始め端子eとを電氣的に接続する線路が出力点となり、第3コイルL3の巻き始め端子eが正極側の出力端子である端子3に接続されている。なお、図4の回路では、負極側の入力端子である端子2と負極側の出力端子である端子4が電氣的に接続されている。

30

【0109】

また、第1コイルL1の巻き終わり端子bと第3コイルL3の巻き始め端子eとを電氣的に接続する線路上には、第1スイッチング素子であるNチャネル型FETQ1が挿入されており、ドレインが第1コイルL1の巻き終わり端子bに、ソースが第3コイルL3の巻き始め端子eに接続されている。(図示しないが、第1スイッチング素子のFETQ1は、図4に示した電流を導通遮断する向きで第1コイルL1の巻き始め端子a側に挿入されてもよい。つまり第1コイルL1の巻き始め端子aにFETQ1のソースが接続され、FETQ1のドレインが端子1に接続される。なお、これは後述する図5においても同様。) FETQ1のゲートG1に対しては、制御信号であるパルス電圧信号が入力される。FETQ1は、第1コイルL1に印加する直流電圧V_{in}のオンオフを切り替えるべくオンオフ制御される。

40

【0110】

第3コイルL3の巻き終わり端子fは、第2スイッチング素子であるNチャネル型FETQ2のドレインに接続されている。(図示しないが、第2スイッチング素子のFETQ2は、図4に示した電流を導通遮断する向きで第3コイルL3の巻き始め端子eから端子

50

3へ向かう電流路に挿入されていても良い。つまり、第3コイルL3の巻き始め端子eにFETQ2のソースが接続され、FETQ2のドレインが端子3に接続される。この場合、第1電流 i_1 もFETQ2を通過する。なお、これは後述する図5においても同様。) FETQ2のソースは、端子2と端子4間の線路上に接続される。FETQ2のゲートG2は、第1スイッチング素子であるFETQ1と同期してオンオフ制御される。FETQ2は、ゲートG2がオン制御されたときは第3コイルL3に流れる電流を導通させ、ゲートG2がオフ制御されたときはその寄生ダイオードによりオン制御時と同方向の電流は導通するが、オン制御時と逆方向の電流は遮断される。

【0111】

また、FETQ2の寄生ダイオードと同じ向きとなるようにダイオードD2が並列に接続されている。すなわちダイオードD2のアノードがFETQ2のソースに、カソードがFETQ2のドレインに接続されている。ダイオードD2は必須ではないが、FETQ2のオフ制御時に電流が流れるとき、FETQ2の寄生ダイオードよりも順方向電圧の小さい優先的電流路となるためダイオードD2を設けることが好ましい。ダイオードD2は、順方向電圧の小さいショットキーダイオードが好適である。

10

【0112】

なお、図4の回路は、超低電圧出力(1V程度)大電流の降圧型スイッチング電源回路として最適である。従って、FETQ2を使用せずダイオードD2のみとすることは順方向電圧降下が大きくなるため好ましくない。

【0113】

第2コイルL2は、その巻き始め端子cが端子2と端子4間の線路上に接続され、巻き終わり端子dが第1半導体素子であるダイオードD1のアノードに接続されている。ダイオードD1のカソードは端子1に接続されている。第1半導体素子であるダイオードD1と第2コイルL2とは直列接続されている。

20

【0114】

ダイオードD1に替えて、FETまたはバイポーラトランジスタを第1半導体素子として用いてもよい。その場合、その第1半導体素子は、スイッチング素子Q1と同期して排他的にオンオフ制御される。すなわち、スイッチング素子Q1のオン期間に電流を遮断し、オフ期間に電流を導通させるように制御される。

【0115】

入力端子である端子1と端子2の間にはコンデンサC1が接続され、出力端子である端子3と端子4の間にはコンデンサC2が接続されている。コンデンサC1は、入力電圧の平滑用及び回生電流の蓄積用であり、コンデンサC2は平滑用である。

30

【0116】

(4-2)回路動作

図4のスイッチング電源回路の動作を、スイッチング素子であるFETQ1のオン期間とオフ期間に分けて説明する。

【0117】

<オン期間の動作>

FETQ1のゲートG1に印加されるパルス電圧信号がオフからオンになると、ドレイン・ソース間の電流路が導通して直流電圧 V_{in} が第1コイルL1に印加される。第1コイルL1の巻き始め端子aが正電位、巻き終わり端子bが負電位となる。これにより第1電流 i_1 が、端子1 第1コイル(a b) FETQ1 端子3(C2及び負荷)の経路で流れる。図4の回路では、第1電流 i_1 が励磁電流となるのみでなく負荷へ供給することができるので、オン期間に得られるフォワード電流量を増大させることに寄与する。

40

【0118】

第2コイルL2は、第1コイルL1に流れる第1電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子cが正電位、巻き終わり端子dが負電位となるが、ダイオードD1が逆バイアスとなるため電流は流れない。すなわち、オン期間においては、ダイオードD1の電流路は遮断されている。

50

【 0 1 1 9 】

ここで、ダイオード D 1 に要求される逆耐圧は次の通りとなる。第 1 コイル L 1 と第 2 コイル L 2 の巻数比が例えば 1 : 1 であるならば、第 1 コイルに印加される電圧 V 1 と第 2 コイルに誘起される電圧 V 2 は、 $V 1 = V 2$ の関係がある。ダイオード D 1 に印加される逆方向電圧 V d 1 は、コンデンサ C 1 の両端間電圧を V c 1 とすると、 $V d 1 = V c 1 + V 2$ の関係となる。一方、 $V 1 = V c 1 - V out$ の関係があるから、 $V 2 = V c 1 - V out$ であり、よって $V d 1 = 2 V c 1 - V out$ となる。これがダイオード D 1 に要求される逆耐圧であり、問題とまらない程度である。

因みに、第 1 コイル L 1 と第 2 コイル L 2 の巻数比が 1 : N のときは、ダイオード D 1 の逆耐圧は、 $V d 1 = V c 1 + N (V c 1 - V out)$ となる。従って、第 2 コイル L 2 の巻数が第 1 コイル L 1 の巻数より少ないほど、ダイオード D 1 の逆耐圧が小さくてすむ。

10

【 0 1 2 0 】

第 3 コイル L 3 は、第 1 コイル L 1 に流れる第 1 電流 i 1 により発生する磁束により起電力が誘起され、巻き始め端子 e が正電位、巻き終わり端子 f が負電位となる。F E T Q 1 のオン期間は F E T Q 2 もまたオンとなっているため、第 2 電流 i 2 が F E T Q 2 及び第 3 コイル L 3 を流れ出力点から出力される。これは、第 1 コイル L 1 と第 3 コイル L 3 のトランス結合作用によるフォワード動作である。第 2 電流 i 2 の経路は、F E T Q 2 第 3 コイル L 3 (f e) ダ端子 3 (C 2 及び負荷) となる。図 4 の回路は超低電圧出力用途であり、第 3 コイル L 3 の巻数は第 1 コイル L 1 の巻数に比べて少なくするため、第 2 電流 i 2 は大容量電流となる。

20

【 0 1 2 1 】

なお、第 1 コイル L 1 と第 3 コイル L 3 は、トランス T の構造上、疎結合であるので、オン時に第 1 コイル L 1 に生じる磁束によって第 3 コイル L 3 に激しいピーク電流が流れることはない。

【 0 1 2 2 】

以上の通り、F E T Q 1 のオン期間には、直流電圧 V in により第 1 コイル L 1 に流れる第 1 電流 i 1 と、第 1 電流 i 1 に起因して第 3 コイル L 3 に生じる磁気誘導により第 3 コイル L 3 に流れる第 2 電流 i 2 とが出力点から出力される。これにより、オン期間において大きなフォワード電流が得られることになる。

【 0 1 2 3 】

ここで、オン期間における第 1 コイル L 1 と第 3 コイル L 3 の各々の磁気回路の磁束密度の変化は、次の通りとなる。従来のトランスと同様に両コイルの磁気回路の磁束密度はオン期間にそれぞれ増加し、オン期間の終了時点で最大となる。しかしながら、第 1 コイル L 1 と第 3 コイル L 3 は疎結合であるので、オン期間に第 1 コイル L 1 に生じた磁束から漏洩磁束を減じた磁束が第 3 コイル L 3 の磁気回路を通る。この結果、オン期間の終了時点では、第 1 コイル L 1 の磁気回路には大量の磁束が蓄積されて磁束密度が高い状態となる一方、第 3 コイル L 3 の磁気回路の磁束密度は第 1 コイル L 1 の磁気回路の磁束密度より小さく、両コイルの磁気回路の磁束密度が不均衡状態となる。各々のコイルの磁気回路の磁束密度の値及びそれらの差は、第 1 コイル L 1 に流れた電流量、両コイルの巻数、磁気回路の透磁率などの諸条件により決定される。この第 1 コイル L 1 と第 3 コイル L 3 の磁束密度の不均衡状態は、以下のオフ期間における電流の要因となる。

30

40

【 0 1 2 4 】

< オフ期間の動作 >

F E T Q 1 のゲート G 1 に印加されるパルス電圧信号がオフとなると、ドレイン・ソース間の電流路が遮断して直流電圧 V in の第 1 コイル L 1 への印加が停止される。印加電圧が急に停止されることで第 1 コイル L 1 には、自己誘導に基づく逆起電力 (高圧) が発生しようとするが、後述するように、第 2 コイル L 2 に電流が流れ、第 1 および第 2 コイル L 1、L 2 の磁気回路の磁束が急速にリセットされないため、相互誘導作用で第 2 コイル L 2 に印加される電圧により第 1 コイル L 1 に所定の電圧が発生する。このとき第 1 コイル L 1 は、巻き始め端子 a が負電位、巻き終わり端子 b が正電位となる。このとき、F E

50

T Q 1 のドレインに印加される電圧は後述する。

【 0 1 2 5 】

F E T Q 1 がオフとなることにより同時に、第 2 コイル L 2 にフライバック起電力が発生し、巻き始め端子 c が負電位、巻き終わり端子 d が正電位となる。よってダイオード D 1 は順バイアスとなる。この結果、第 3 電流 i_3 が、第 2 コイル L 2 (c d) ダイオード D 1 C 1 (または、端子 1) の経路で流れる。この第 3 電流 i_3 は、回生電流でありコンデンサ C 1 に蓄積されるため、電力損失は生じない。コンデンサ C 1 はオン期間に負荷に電力供給するため、オフ期間に回生電流を受け入れる余裕がある。

【 0 1 2 6 】

第 2 コイル L 2 に流れる第 3 電流 i_3 は、オン期間に第 1 コイル L 1 および第 2 コイル L 2 の共通磁気回路に蓄積され最大となっている磁束を保持する (かしめる) 働きがあり、その磁束の減少を緩慢とする。つまり、オフ期間になると第 1 コイル L 1 の磁気回路の磁束は減少し始めるが、第 1 コイル L 1 の磁気回路の方が第 3 コイル L 3 の磁気回路よりも相対的に磁束密度の高い不均衡状態がしばらく持続することになる。この両コイル L 1 と L 3 の磁気回路の磁束密度の不均衡状態が持続する限り、この不均衡状態を解消すべく第 1 コイル L 1 の磁気回路から第 3 コイル L 3 の磁気回路へ流れ込む磁束は、オン期間と同じ方向でかつ増加を続け、この第 3 コイル L 3 の磁気回路の磁束の増加変分に抗するように第 3 コイル L 3 の磁気回路に起磁力 i_2 を発生するよう第 3 コイル L 3 に電流を流すべく起電力が第 3 コイル L 3 に生じる。第 3 コイル L 3 は、オン期間と同じく巻き始め端子 e が正電位、巻き終わり端子 f が負電位となり、ダイオード D 2 が順方向となり第 4 電流 i_4 が流れる。第 4 電流 i_4 の経路は、F E T Q 2 の寄生ダイオード (または、ダイオード D 2) 第 3 コイル L 3 (f e) 端子 3 (C 2 及び負荷) となり、その方向はオン期間に流れる第 2 電流 i_2 と同方向である。

【 0 1 2 7 】

図 4 の回路においては、オフ期間においても、第 3 コイル L 3 にはオン期間と同じ方向の起電力が生じフォワード動作を行う。すなわち、オフ期間においても第 1 コイル L 1 の磁気回路が磁束発生側となり、第 3 コイル L 3 の磁気回路が磁束受領側となり、第 3 コイル L 3 の磁気回路は第 1 コイル L 1 の磁気回路の磁束を受け続け、しかもその増加率は正である。

【 0 1 2 8 】

以上の通り、F E T Q 1 のオフ期間には、第 2 コイル L 2 を流れる第 3 電流 i_3 に起因して、第 3 コイル L 3 に第 4 電流 i_4 が流れ、F E T Q 2 の寄生ダイオードまたはダイオード D 2 を通して出力される。

【 0 1 2 9 】

このように、図 4 の回路では、オン期間もオフ期間も同方向 (フォワード方向) に電流が流れて負荷に供給することができる。特にオン期間には、励磁電流である第 1 電流 i_1 も負荷へ供給されるため、従来のフォワード方式のスイッチング電源回路に比べて電力供給量が大きい。

【 0 1 3 0 】

また、直流電圧 V_{in} がオフされたときに第 2 コイル L 2 に第 3 電流 i_3 が流れることにより、第 1 コイルの磁気回路の磁束が瞬時に消失しないことから、第 1 コイル L 1 に生じるスパイク電圧が抑制される。

【 0 1 3 1 】

さらに、直流電圧 V_{in} がオフされたとき、第 2 コイル L 2 にはフライバックの逆起電力により純理論的には無限大の電圧が発生しようとするが、巻き始め端子 c がコンデンサ C 1 の負極側端子に接続されているため、第 2 コイル L 2 に発生する電圧はコンデンサ C 1 の両端間電圧 V_{c1} によりクランプされ、その巻き終わり端子 d の電位は $+V_{c1}$ となる。すなわち、第 2 コイル L 2 の両端電圧は V_{c1} である。そして、第 2 コイル L 2 と第 1 コイル L 1 との相互誘導により、第 2 コイル L 2 と第 1 コイル L 1 との巻数比が 1 : 1 のときは第 1 コイル L 1 の両端電圧 V_1 も V_{c1} となる。従って、F E T Q 1 のドレインに印加され

10

20

30

40

50

る電圧 V_{ds} は、コンデンサ C_1 の $+V_{c1}$ の電位に第 1 コイル L_1 に発生する起電力 V_1 が加算されて、 $V_{ds} = V_{c1} + V_1 - V_{out} = 2V_{c1} - V_{out}$ の関係となる。つまり、 $FETQ_1$ にオフ時に印加されるスパイク電圧が、コンデンサ C_1 の両端間電圧 V_{c1} の 2 倍と負荷電圧との差程度に抑制されたことになる。これによりスナバ回路は不要となる。

【0132】

因みに、第 1 コイル L_1 と第 2 コイル L_2 の巻数比が $1 : N$ のときは、 $FETQ_1$ のドレインに印加される電圧 V_{ds} は、 $V_{ds} = (1 + 1/N)V_{c1} - V_{out}$ となる。従って、第 2 コイル L_2 の巻数が第 1 コイル L_1 の巻数より多いほど、オフとなったときに $FETQ_1$ のドレインに印加される電圧 V_{ds} は小さくなる（スパイク電圧抑制効果が大きい）。これにより低耐圧用の $FETQ_1$ を用いることができ、このことは同時に $FETQ_1$ のオン抵抗を小さくできることになり有利である。

10

【0133】

このように、第 1 コイル L_1 と第 2 コイル L_2 の巻数比 $1 : N$ については、第 2 コイル L_2 の巻数が多いほど $FETQ_1$ の耐圧が小さくてすむが、逆に、前述のダイオード D_1 の逆耐圧については、第 2 コイル L_2 の巻数が少ないほど逆耐圧が小さくてすむ。従って、双方の効果を考慮して、第 1 コイル L_1 と第 2 コイル L_2 の最適な巻数比を決定するようにする。

【0134】

オフ期間における時間経過に伴う動作は次の通りとなる。磁束発生側の第 1 コイル L_1 の磁気回路の保持磁束量が次第に減少しその磁束密度が低下していき、一方、磁束受領側の第 3 コイル L_3 の磁気回路の磁束密度が増加を続けると、両コイルの磁束密度が均衡する点に達する。第 1 コイル L_1 と第 3 コイル L_3 の磁気回路の磁束密度が均衡すると磁束の流れがなくなる。この磁束が均衡する近傍領域または少なくとも次のオン期間までの間に第 2 コイル L_2 を流れる第 3 電流 i_3 及び第 3 コイル L_3 を流れる第 4 電流 i_4 はゼロとなり、第 1 コイル L_1 及び第 3 コイル L_3 の磁束はゼロにリセットされる。なお、第 3 コイル L_3 の磁気回路の磁束がリセットされる時、第 3 コイル L_3 には逆起電力が発生するが、ダイオード D_2 が逆バイアスとなるため逆方向電流は流れない。その後、次の周期のオン期間を迎える。

20

【0135】

< 従来 of フォワード方式電源に対する利点 >

30

図 4 の回路では、オン期間のデューティ比を 90% 超までにすることができる。これは、フォワード動作がメインのため磁束のリセットが速いためである。この結果、オン期間におけるフォワード動作により負荷へ供給される電力量がオフ期間のそれより大きくなる。図 4 の回路は、このような高いデューティ比であっても安定した動作が可能であるため高速立ち上がりの重負荷にも十分耐えられる。これに対し、従来技術のタップドインダクタは、主にフライバック動作により電力を出力するため磁束のリセットが遅く、オンデューティ比を大きくとれない。

【0136】

また、第 3 電流 i_3 によるかきめ作用があるために第 1 コイル L_1 の磁束は瞬時に消失することはないが、図 3 の回路のように第 3 電流 i_3 がコンデンサ C_1 に回生される形態では、後述する別の実施形態におけるように第 3 電流 i_3 が負荷側へ出力される形態に比べて第 1 コイル L_1 の磁束が比較的速やかに減少する。これは、コンデンサ C_1 の両端間電圧 V_{c1} により第 3 電流 i_3 が流れ難くなる作用があるためである。これによりリセットが速められることによってもオフ期間を短くできる。すなわち、オンデューティ比を高めることができる。

40

【0137】

(5) スイッチング電源回路の第 5 の実施形態

(5-1) 回路構成

図 5 は、本発明によるスイッチング電源回路の第 5 の実施形態の回路図である。図 5 の回路は、図 4 に示したスイッチング電源回路の変形形態である。図 4 に示した回路と相違

50

する点は、第2スイッチング素子であるFETQ2のオンオフ制御の方式である。

【0138】

図5の回路において、FETQ2のゲートG2には、第1スイッチング素子であるFETQ1のゲートG1の制御信号であるパルス電圧信号がダイオードD5を介して印加される。加えて、FETQ2のゲートG2には、演算増幅器OPの出力電圧がダイオードD4を介して印加される。ダイオードD4とダイオードD5は、OR回路を構成しており、いずれかが高電位するときFETQ2がオン制御される。

【0139】

演算増幅器OPの2つの入力端子は、第2コイルL2を流れる電流の電流路上に挿入された抵抗Rの両端にそれぞれ接続されている。第3電流*i*₃が図示の方向に流れたとき、抵抗Rの両端間電圧が演算増幅器OPにより反転増幅され出力される。ダイオードD3は電圧抑制用である。

10

【0140】

よって、FETQ2のゲートG2は、FETQ1がオン制御されたときおよび第2コイルL2に電流が流れたときにオン制御され、それ以外のときにオフ制御されることとなる。

【0141】

(5-2)回路動作

図5の回路の動作は、前述の図4の回路の動作とほぼ同じであり、オン期間もオフ期間もフォワード動作を行って電流を出力する。また、その効果も同様であり、第1コイルL1と第3コイルL3が疎結合であることによりオン時に第3コイルL3に激しいピーク電流が流れず、またオフ時に第2コイルL2にフライバックによる第3電流*i*₃が流れることにより第1コイルL1のスパイク電圧が抑制される。よって、以下では、図5の回路動作の概略及び図4の回路と相違する特徴的な点のみを説明する。

20

【0142】

<オン期間の動作>

FETQ1のゲートG1に印加されるパルス電圧信号がオンになると、直流電圧V_{in}が第1コイルL1に印加され、第1コイルL1の巻き始め端子aが正電位、巻き終わり端子bが負電位となる。これにより第1電流*i*₁が、端子1 第1コイル(a b) FETQ1 端子3 (C2及び負荷)の経路で流れる。第1電流*i*₁は、励磁電流となるのみでなく、負荷へ供給される。

30

【0143】

第2コイルL2は、第1コイルL1に流れる第1電流*i*₁により発生する磁束により起電力が誘起され、巻き始め端子cが正電位、巻き終わり端子dが負電位となるが、ダイオードD1が逆バイアスとなるため電流は流れない。第2コイルL2に電流が流れないため、抵抗Rの両端間電圧は生じず、演算増幅器OPの出力は低電位となっている。

【0144】

一方、第3コイルL3は、第1コイルL1に流れる第1電流*i*₁により発生する磁束により起電力が誘起され、巻き始め端子eが正電位、巻き終わり端子fが負電位となる。FETQ2は、FETQ1がオン制御されているためダイオードD5を介してオン制御され、オンとなっている。よって、第3コイルL3及びFETQ2に第2電流*i*₂が流れ出力される。これは、第1コイルL1と第3コイルL3のトランス結合作用によるフォワード動作である。第2電流*i*₂の経路は、FETQ2 第3コイルL3 (f e) 端子3 (C2及び負荷)となる。

40

【0145】

以上の通り、FETQ1のオン期間には、直流電圧V_{in}により第1コイルL1に流れる第1電流*i*₁と、第1電流*i*₁に起因して第3コイルL3に生じる磁気誘導により第3コイルL3に流れる第2電流*i*₂とが出力される。これによりオン期間に大きな電流量が得られる。

【0146】

50

また、第1コイルL1と第3コイルL3が疎結合であることにより、オン期間の終了時点では第1コイルL1の磁気回路の方が第3コイルL3の磁気回路よりも相対的に磁束密度の高い不均衡状態となっている。

【0147】

< オフ期間の動作 >

FETQ1のゲートG1に印加されるパルス電圧信号がオフとなると、ドレイン・ソース間の電流路が遮断して直流電圧Vinの第1コイルL1への印加が停止される。印加電圧が急に停止されることで第1コイルL1には、自己誘導に基づく逆起電力(高圧)が発生しようとするが、後述するように、第2コイルL2に電流が流れ、第1および第2コイルL1、L2の磁気回路の磁束が急速にリセットされないため、相互誘導作用で第2コイルL2に印加される電圧により第1コイルL1に所定の電圧が発生する。このとき第1コイルL1は、巻き始め端子aが負電位、巻き終わり端子bが正電位となる。

10

【0148】

FETQ1がオフとなることにより同時に、第2コイルL2にフライバック起電力が発生し、巻き始め端子cが負電位、巻き終わり端子dが正電位となる。よってダイオードD1は順バイアスとなる。この結果、第3電流i3が、第2コイルL2(c-d)ダイオードD1-C1(または、端子1)の経路で流れる。この第3電流i3は回生電流であり、コンデンサC1に蓄積されるため電力損失は生じない。コンデンサC1は、オン期間に負荷に電力供給するため、オフ期間に回生電流を受け入れる余裕がある。

20

【0149】

第2コイルL2に第3電流i3が流れると抵抗Rの両端間電圧が発生し、演算増幅器OPの出力は高電位となり、ダイオードD4を介してFETQ2のゲートG2に印加されFETQ2はオンとなる。そして、第3電流i3が流れる限り、FETQ2はオンし続けることになる。

【0150】

第2コイルL2に流れる第3電流i3は、第1コイルL1の磁気回路に蓄積され最大となっている磁束を保持しすなわちかき止めることにより、その磁束の減少を緩慢とする。これにより、第1コイルL1と第3コイルL3の磁気回路の磁束密度の不均衡状態が持続する間この不均衡を解消すべく、第1コイルL1の磁気回路から第3コイルL3の磁気回路へオン期間と同じ方向に磁束が流れ、第3コイルL3内で増加を続ける。この磁束の増加変分に抗するように第3コイルL3に起電力が生じ、巻き始め端子eが正電位、巻き終わり端子fが負電位となる。このときFETQ2はオンとなっているため、FETQ2と第3コイルL3に第4電流i4が流れる。第4電流の経路は、FETQ2-第3コイルL3(f-e)端子3(C2及び負荷)となり、その方向はオン期間に流れる第2電流i2と同方向である。

30

【0151】

このように、第2コイルL2に第3電流i3が流れる限り、第3コイルL3に起電力が発生しかつFETQ2もオンし続けるため、第4電流i4を最大限有効利用して負荷へ供給できる。これに対し、前述の図4の回路では、FETQ1がオフになるとFETQ2も同期してオフとなるため、第4電流i4は寄生ダイオードまたはダイオードD2を流れることになるが、ショットキーダイオードを用いても0.2~0.4V程度の順方向電圧降下がある点で比較すると図5の回路に優位性が認められる。

40

【0152】

(6) スイッチング電源回路の第6の実施形態

(6-1) 回路構成

図6は、本発明によるスイッチング電源回路の第6の実施形態の回路図である。図6の回路は、第1コイルL1と、第2コイルL2と、第3コイルL3とを具備するトランスTを有する。トランスTの構成自体は、前述の図1~図5に示した回路のトランスTと同じであり、第1コイルL1と第2コイルL2とは密結合し、第3コイルL3は第1及び第2コイルL1、L2と疎結合している。第1コイルL1は一次側のコイルを構成し、第2コ

50

イルL2及び第3コイルL3は二次側のコイルを構成している。トランスTは、一次側の第1コイルL1と二次側の第3コイルL3とが疎結合であるため、従来のトランスと異なり、出力電圧が巻数比のみによっては決定されず、漏洩する磁束量にも依存する。しかしながら、降圧型の場合には、一般的な設定と同様に第3コイルL3のインダクタンスが第1コイルL1のインダクタンスより小さくなるように巻き数を設定する。

【0153】

第1コイルL1は、その巻き始め端子aが直流電圧Vinの正極側の入力端子である端子1に接続され、巻き終わり端子bが第1スイッチング素子であるNチャンネル型FETQ1のドレインと接続されている。FETQ1のソースは直流電圧Vinの負極側の入力端子である端子2に接続される。FETQ1のゲートG1に対しては、制御信号であるパルス電圧信号が入力される。FETQ1は、第1コイルL1に印加する直流電圧Vinのオンオフを切り替えるべくオンオフ制御される。

10

【0154】

入力端子である端子1と端子2間にはコンデンサC1が接続されている。コンデンサC1は入力電圧の平滑用である。

【0155】

第2コイルL2の巻き終わり端子dと第3コイルL3の巻き始め端子eとから出力される電流の合流点は出力点となり、正極側の出力端子である端子3に接続されている。第2コイルL2の巻き始め端子cは、第1半導体素子であるダイオードD1のカソードに接続されている。ダイオードD1のアノードは負極側の出力端子である端子4に接続されている。第1半導体素子であるダイオードD1と第2コイルL2とは直列接続されている。

20

【0156】

ダイオードD1に替えて、FETまたはバイポーラトランジスタを第1半導体素子として用いてもよい。その場合、その第1半導体素子は、第1スイッチング素子Q1と同期して排他的にオンオフ制御される。すなわち、第1スイッチング素子Q1のオン期間に電流を遮断し、オフ期間に電流を導通させるように制御される。

【0157】

第3コイルL3の巻き終わり端子fは、第2スイッチング素子であるFETQ2のドレインに接続されている。FETQ2のソースは端子4に接続されている。FETQ2のゲートG2は、第1スイッチング素子であるFETQ1と同期してオンオフ制御される。FETQ2は、ゲートG2がオン制御されたときは第3コイルL3に流れる電流を導通させ、ゲートG2がオフ制御されたときはその寄生ダイオードにより、オン制御時と同方向の電流は導通するが、オン制御時と逆方向の電流は遮断される。(図示しないが、ダイオードD1のアノードが第2コイルL2の巻き終わり端子d側に接続され、FETQ2のソース(並列ダイオードD2はアノード)が第3コイルL3の巻き始め端子e側に接続され、ダイオードD1のカソードとFETQ2のドレインが端子3へ向かう電流路に接続されていても良い。この場合も、このダイオードD1、FETQ2は図6に示す電流を導通遮断する向きに挿入される。)

30

【0158】

図6の回路では、FETQ2の寄生ダイオードと同じ向きとなるようにダイオードD2を並列に接続している。すなわちダイオードD2のアノードがFETQ2のソースに、カソードがFETQ2のドレインに接続されている。ダイオードD2は必須ではないが、FETQ2のオフ制御時に電流が流れるとき、FETQ2の寄生ダイオードよりも順方向電圧の小さい優先的電流路となるため、特に出力電圧が低圧のときはダイオードD2を設けることが好ましい。その場合、ダイオードD2は、順方向電圧降下の小さいショットキーダイオードが好適である。

40

【0159】

なお、図6の回路は、出力電圧が低圧～高圧まで対応できるので、ダイオードD2による順方向電圧降下が無視できる程度の出力電圧の用途であれば、FETQ2を接続せずダイオードD2のみでもよい。

50

【0160】

出力端子である端子3と端子4間には平滑用のコンデンサC2が接続されている。

【0161】

(6-2) 回路動作

図6のスイッチング電源回路の動作を、第1スイッチング素子であるFETQ1のオン期間とオフ期間に分けて説明する。

【0162】

< オン期間の動作 >

FETQ1のゲートG1に印加されるパルス電圧信号がオフからオンになると、ドレイン・ソース間の電流路が導通して直流電圧 V_{in} が第1コイルL1に印加される。このとき第1コイルL1は、巻き始め端子aが正電位、巻き終わり端子bが負電位となる。これにより第1電流 i_1 が、端子1 第1コイル(a b) FETQ1 端子2の経路で流れる。

10

【0163】

二次側を構成する第2コイルL2は、第1コイルL1に流れる第1電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子cが正電位、巻き終わり端子dが負電位となるが、ダイオードD1が逆バイアスとなるため電流は流れない。すなわち、オン期間においては、ダイオードD1の電流路は遮断されている。

【0164】

ここで、ダイオードD1に要求される逆耐圧は次の通りとなる。第1コイルL1と第2コイルL2の巻数比が例えば1:1であるならば、第1コイルに印加される電圧 V_1 と第2コイルに誘起される電圧 V_2 は、 $V_1 = V_2$ の関係となる。従って、コンデンサC2の両端間電圧を V_{c2} とするとダイオードD1に印加される逆方向電圧 V_{d1} は、 $V_{d1} = V_1 + V_{c2}$ の関係となる。一方、 $V_1 = V_{c1}$ であるから $V_{d1} = V_{c1} + V_{c2}$ であり、これがダイオードD1に要求される逆耐圧であり、問題とならない程度である。

20

因みに、第1コイルL1と第2コイルL2の巻数比が1:Nのときは、ダイオードD1の逆耐圧は、 $V_{d1} = NV_{c1} + V_{c2}$ となる。従って、第2コイルL2の巻数が第1コイルL1の巻数より少ないほど、ダイオードD1の逆耐圧が小さくてすむ。

【0165】

一方、二次側を構成するもう1つのコイルである第3コイルL3は、第1コイルL1に流れる第1電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子eが正電位、巻き終わり端子fが負電位となる。FETQ2はオンとなっているため、第2電流 i_2 がFETQ2及び第3コイルL3を流れ出力される。これは、第1コイルL1と第3コイルL3のトランス結合作用によるフォワード動作である。第2電流 i_2 の経路は、FETQ2 第3コイル(f e) 端子3(C2及び負荷)となる。

30

【0166】

なお、第1コイルL1と第3コイルL3は、トランスTの構造上、疎結合であるので、オン時に第1コイルL1に生じる磁束によって第3コイルL3に激しいピーク電流が流れることはない。

【0167】

以上の通り、FETQ1のオン期間には、直流電圧 V_{in} により第1コイルL1に第1電流 i_1 が流れると共に、第1電流 i_1 に起因して第3コイルL3に生じる磁気誘導により第3コイルL3に第2電流 i_2 が流れ出力される。

40

【0168】

ここで、オン期間における第1コイルL1と第3コイルL3の各々の磁気回路の磁束密度の変化は、次の通りとなる。従来のトランスと同様に両コイルの磁気回路の磁束密度はオン期間にそれぞれ増加し、オン期間の終了時点で最大となる。しかしながら、第1コイルL1と第3コイルL3は疎結合であるので、オン期間に第1コイルL1に生じた磁束から漏洩磁束を減じた分のみが第3コイルL3の磁気回路を通る。この結果、オン期間の終了時点では、第1コイルL1の磁気回路には大量の磁束が蓄積されて磁束密度が高い状態

50

となる一方、第3コイルL3の磁気回路の磁束密度は第1コイルL1の磁気回路より低い状態のままであり、両コイルの磁気回路の磁束密度が不均衡状態となる。各々のコイルの磁束密度の値及びそれらの差は、第1コイルL1に流れた電流量、両コイルの巻数、磁気回路の透磁率などの諸条件により決定される。この第1コイルL1と第3コイルL3の磁束密度の不均衡状態は、以下のオフ期間における第3コイルL3の電流の要因となる。

【0169】

<オフ期間の動作>

FETQ1のゲートG1に印加されるパルス電圧信号がオフとなると、ドレイン・ソース間の電流路が遮断して直流電圧V_{in}の第1コイルL1への印加が停止される。印加電圧が急に停止されることで第1コイルL1には、自己誘導に基づく逆起電力（高圧）が発生しようとするが、後述するように、第2コイルL2に電流が流れ、第1および第2コイルL1、L2の磁気回路の磁束が急速にリセットされないため、相互誘導作用で第2コイルL2に印加される電圧により第1コイルL1に所定の電圧が発生する。このとき第1コイルL1は、巻き始め端子aが負電位、巻き終わり端子bが正電位となる。このとき、FETQ1のドレインに印加される電圧は後述する。

10

【0170】

FETQ1がオフとなることにより同時に、第2コイルL2にフライバック起電力が発生し、巻き始め端子cが負電位、巻き終わり端子dが正電位となる。よってダイオードD1は順バイアスとなる。この結果、第3電流i₃が、ダイオードD1第2コイルL2（c d）端子3（C2及び負荷）の経路で流れ、出力される。図6の回路ではフライバック電流である第3電流i₃を負荷へ供給することができる。これにより、前述の実施形態のように第3電流i₃を回生する場合に比べて負荷へ供給する電流量が大きくなる。

20

【0171】

第2コイルL2に流れる第3電流i₃は、オン期間に第1コイルL1の磁気回路に蓄積され最大となっている磁束を保持する（かしめる）働きがあり、その磁束の減少を緩慢とする。図6の回路におけるこのかしめ作用は、前述の実施形態のように第3電流i₃が入力側のコンデンサC1に回生されるものよりも強い。第1コイルL1と第3コイルL3の磁気回路の磁束密度の不均衡状態が持続する限りこの不均衡状態を解消すべく、第1コイルL1の磁気回路から第3コイルL3の磁気回路へ流れ込む磁束は、オン期間と同じ方向でかつ増加を続け、この磁束の増加変分に抗するように第3コイルL3に起電力が生じる。第3コイルL3は、オン期間と同じく巻き始め端子eが正電位、巻き終わり端子fが負電位となり、ダイオードD2は順バイアスとなり、第4電流i₄が流れる。第4電流i₄の経路は、FETQ2の寄生ダイオードまたはダイオードD2第3コイルL3（f e）端子3（C2及び負荷）となり、その方向はオン期間に流れる第2電流i₂と同方向である。

30

【0172】

図6の回路においては、オフ期間においても、第3コイルL3にはオン期間と同じ方向の起電力が生じフォワード動作を行う。すなわち、オフ期間においても第1コイルL1の磁気回路が磁束発生側となり、第3コイルL3の磁気回路が磁束受領側となり、第3コイルL3の磁気回路は第1コイルL1の磁気回路の磁束を受け続け、しかもその増加率は正である。

40

【0173】

以上の通り、FETQ1のオフ期間には、第2コイルL2に流れるフライバック動作である第3電流i₃と、第2コイルL2を流れる第3電流i₃に起因（磁束保持作用）して第3コイルL3に流れる第4電流i₄とが出力される。これにより、オフ期間において大きな電流量が得られる。

【0174】

このように、図6の回路では、オン期間もオフ期間も同方向（フォワード方向）に電流が流れて負荷に供給することができ、オフ期間にはフライバック電流も負荷に供給されるため、従来のフォワード方式のスイッチング電源回路に比べて電力供給量が大きい。

50

【 0 1 7 5 】

また、直流電圧 V_{in} がオフされたときに第 2 コイル L_2 に第 3 電流 i_3 が流れることにより、第 1 コイルの磁気回路の磁束が瞬時に消失しないことから、第 1 コイル L_1 に生じるスパイク電圧が抑制される。

【 0 1 7 6 】

さらに、直流電圧 V_{in} がオフされたとき、第 2 コイル L_2 にはフライバックの逆起電力により純理論的には無限大の電圧が発生しようとするが、第 2 コイル L_2 の巻き終わり端子 d の電位は、コンデンサ C_2 の両端間電圧 V_{c2} により抑制され、巻き終わり端子 d の電位は $+V_{c2}$ となる（ダイオード D_1 の順方向電圧降下は無視）。そして、第 1 コイル L_1 と第 2 コイル L_2 の巻数比が 1 : 1 のときは、第 2 コイル L_2 と第 1 コイル L_1 との相互誘導により、第 1 コイル L_1 の巻き終わり端子 b にも $+V_{c2}$ の電位（巻き始め端子 a 電位を基準として）が発生する。従って、FET Q_1 のドレインに印加される電圧 V_{ds} は、コンデンサ C_1 の電圧 V_{c1} が加算され、 $V_{ds} = V_{c1} + V_{c2}$ となる。つまり、FET Q_1 にオフ時に印加されるスパイク電圧が、コンデンサ C_1 とコンデンサ C_2 のそれぞれの両端間電圧の和程度に抑制されたことになる。これにより、スナバ回路を不要とできる。

10

【 0 1 7 7 】

因みに、第 1 コイル L_1 と第 2 コイル L_2 の巻数比が 1 : N のときは、第 1 コイル L_1 の巻き終わり端子 b の電位は（巻き始め端子 a 電位を基準として） $+ (1/N)V_{c2}$ であるから、FET Q_1 のドレインに印加される電圧 V_{ds} は、 $V_{ds} = V_{c1} + (1/N)V_{c2}$ となる。

20

従って、第 2 コイル L_2 の巻数が第 1 コイル L_1 の巻数より多いほど、オフとなったときに FET Q_1 のドレインに印加される電圧 V_{ds} は小さくなる（スパイク電圧抑制効果が大きい）。これにより低耐圧用の FET Q_1 を用いることができ、このことは同時に FET Q_1 のオン抵抗を小さくできることになり有利である。

【 0 1 7 8 】

このように、第 1 コイル L_1 と第 2 コイル L_2 の巻数比 1 : N については、第 2 コイル L_2 の巻数が多いほど FET Q_1 の耐圧が小さくてすむが、逆に、前述のダイオード D_1 の逆耐圧については、第 2 コイル L_2 の巻数が少ないほど逆耐圧が小さくてすむ。従って、双方の効果を考慮して、第 1 コイル L_1 と第 2 コイル L_2 の最適な巻数比を決定するようにする。

30

【 0 1 7 9 】

オフ期間における時間経過に伴う動作は次の通りとなる。磁束発生側の第 1 コイル L_1 の磁気回路の保持磁束量が次第に減少しその磁束密度が低下していき、一方、磁束受領側の第 3 コイル L_3 の磁気回路の磁束密度が増加を続けると、両コイルの磁束密度が均衡する点に達する。第 1 コイル L_1 と第 3 コイル L_3 の磁気回路の磁束密度が均衡すると磁束の流れがなくなる。この磁束が均衡する近傍領域または少なくとも次のオン期間までの間に第 2 コイル L_2 を流れる第 3 電流 i_3 及び第 3 コイル L_3 を流れる第 4 電流 i_4 はゼロとなり、第 1 コイル L_1 及び第 3 コイル L_3 の磁束はゼロにリセットされる。なお、第 3 コイル L_3 の磁気回路の磁束がリセットされる時、第 3 コイル L_3 には逆起電力が発生するが、ダイオード D_2 が逆バイアスとなるため逆方向電流は流れない。その後、次の周期のオン期間を迎える。

40

【 0 1 8 0 】

(7) スイッチング電源回路の第 7 の実施形態

(7 - 1) 回路構成

図 7 は、本発明によるスイッチング電源回路の第 7 の実施形態の回路図である。図 7 の回路は、第 1 コイル L_1 と、第 2 コイル L_2 と、第 3 コイル L_3 とを具備するトランス T を有する。トランス T の構成自体は、前述の図 1 ~ 図 6 に示した回路のトランス T と同じであり、第 1 コイル L_1 と第 2 コイル L_2 とは密結合し、第 3 コイル L_3 は第 1 及び第 2 コイル L_1 、 L_2 と疎結合している。図 7 の回路は超低圧出力用の降圧型であり、出力用となる第 2 コイル L_2 及び第 3 コイル L_3 は第 1 コイル L_1 に比べて巻数を少なくする。

50

但し、第1コイルL1と第3コイルL3については疎結合であるため、従来のトランスと異なり出力電圧が巻数比のみによっては決定されず、漏洩する磁束量にも依存する。

【0181】

図7に示す回路では、第1コイルL1の巻き始め端子aが、直流電圧 V_{in} の正極側の入力端子である端子1に接続されている。そして、第1コイルL1の巻き終わり端子bと、第2コイルL2の巻き終わり端子dと、第3コイルL3の巻き始め端子eとを電氣的に接続する線路が負荷電流出力点となっている。第2コイルL2の巻き終わり端子dと第3コイルL3の巻き始め端子eとが接続されて正極側の出力端子である端子3に接続されている。なお、図7の回路では、負極側の入力端子である端子2と負極側の出力端子である端子4が電氣的に接続されている。

10

【0182】

また、第2コイルL2の巻き終わり端子dと第3コイルL3の巻き始め端子eとの接続点と、第1コイルL1の巻き終わり端子bとを電氣的に接続する線路上には、第1スイッチング素子であるNチャンネル型FETQ1が挿入されており、ドレインが第1コイルL1の巻き終わり端子bに、ソースが第2コイルL2の巻き終わり端子dと第3コイルL3の巻き始め端子eとの接続点に接続されている。(図示しないが、第1スイッチング素子のFETQ1は、図7に示した電流を導通遮断する向きで第1コイルL1の巻き始め端子a側に挿入されてもよい。つまり第1コイルL1の巻き始め端子aにFETQ1のソースが接続され、FETQ1のドレインが端子1に接続される。)FETQ1のゲートG1に対しては、制御信号であるパルス電圧信号が入力される。FETQ1は、第1コイルL1に印加する直流電圧 V_{in} のオンオフを切り替えるべくオンオフ制御される。

20

【0183】

第3コイルL3の巻き終わり端子fは、第2スイッチング素子であるNチャンネル型FETQ2のドレインに接続されている。(図示しないが、第2スイッチング素子FETQ2は、図7に示した電流を導通遮断する向きで第3コイルL3の巻き始め端子eから端子3へ向かう電流路との間に挿入されていても良い。つまり、第3コイルL3の巻き始め端子eにFETQ2のソースが接続され、FETQ2のドレインが第1電流 i_1 との合流点に接続される。この場合、第3電流 i_3 もFETQ2を通過する。)(また、図示しないが、第2スイッチング素子FETQ2は、図7に示した電流を導通遮断する向きで端子3へ向かう電流路間に挿入されていても良い。つまり、第1電流 i_1 との合流点にFETQ2のソースが接続され、FETQ2のドレインが端子3に接続される。この場合、さらに第1電流 i_1 もFETQ2を通過することになる。)FETQ2のソースは、端子2と端子4間の線路上に接続される。FETQ2のゲートG2は、第1スイッチング素子であるFETQ1と同期してオンオフ制御される。FETQ2は、ゲートG2がオン制御されたときは第3コイルL3に流れる電流を導通させ、ゲートG2がオフ制御されたときはその寄生ダイオードによりオン制御時と同方向の電流は導通するが、オン制御時と逆方向の電流は遮断される。

30

【0184】

また、FETQ2の寄生ダイオードと同じ向きとなるようにダイオードD2が並列に接続されている。すなわちダイオードD2のアノードがFETQ2のソースに、カソードがFETQ2のドレインに接続されている。ダイオードD2は必須ではないが、FETQ2のオフ制御時に電流が流れるとき、FETQ2の寄生ダイオードよりも順方向電圧の小さい優先的電流路となるためダイオードD2を設けることが好ましい。ダイオードD2は、順方向電圧降下の小さいショットキーダイオードが好適である。

40

【0185】

なお、図7の回路は、超低電圧出力(1V程度)の降圧型スイッチング電源回路として最適である。従って、FETQ2を使用せずダイオードD2のみとすることはオン時の電圧降下が大きくなるため好ましくない。

【0186】

第2コイルL2の巻き始め端子cは、第1半導体素子であるダイオードD1のカソード

50

に接続されている。ダイオード D 1 のアノードは、端子 2 と端子 4 間の線路に接続されている。第 1 半導体素子であるダイオード D 1 と第 2 コイル L 2 とは直列接続されている。

【 0 1 8 7 】

ダイオード D 1 に替えて、F E T またはバイポーラトランジスタを第 1 半導体素子として用いてもよい。その場合、その第 1 半導体素子は、スイッチング素子 Q 1 と同期して排他的にオンオフ制御される。すなわち、スイッチング素子 Q 1 のオン時に電流を遮断し、オフ時に電流を導通させるように制御される。

【 0 1 8 8 】

入力端子である端子 1 と端子 2 の間にはコンデンサ C 1 が接続され、出力端子である端子 3 と端子 4 の間にはコンデンサ C 2 が接続されている。コンデンサ C 1 及びコンデンサ C 2 は平滑用である。

10

【 0 1 8 9 】

(7 - 2) 回路動作

図 7 のスイッチング電源回路の動作を、第 1 スwitchング素子である F E T Q 1 のオン期間とオフ期間に分けて説明する。

【 0 1 9 0 】

< オン期間の動作 >

F E T Q 1 のゲート G 1 に印加されるパルス電圧信号がオフからオンになると、ドレイン・ソース間の電流路が導通して直流電圧 V_{in} が第 1 コイル L 1 に印加される。このとき第 1 コイル L 1 の巻き始め端子 a が正電位、巻き終わり端子 b が負電位となる。これにより第 1 電流 i_1 が、端子 1 第 1 コイル (a b) F E T Q 1 端子 3 (C 2 及び負荷) の経路で流れる。第 1 電流 i_1 は励磁電流となるのみでなく負荷へ供給することができるので、オン期間に得られるフォワード電流量を増大させることに寄与する。

20

【 0 1 9 1 】

第 2 コイル L 2 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 c が正電位、巻き終わり端子 d が負電位となるが、ダイオード D 1 が逆バイアスとなるため電流は流れない。すなわち、オン期間においては、ダイオード D 1 の電流路は遮断されている。

【 0 1 9 2 】

ここで、ダイオード D 1 に要求される逆耐圧は次の通りとなる。第 1 コイル L 1 と第 2 コイル L 2 の巻数比が 1 : N であるならば、ダイオード D 1 の逆耐圧は、 $V_{d1} = V_{c2} + N(V_{c1} - V_{c2})$ となり、問題とならない程度である。

30

【 0 1 9 3 】

一方、第 3 コイル L 3 は、第 1 コイル L 1 に流れる第 1 電流 i_1 により発生する磁束により起電力が誘起され、巻き始め端子 e が正電位、巻き終わり端子 f が負電位となる。F E T Q 2 はオンとなっているため、第 2 電流 i_2 が F E T Q 2 及び第 3 コイル L 3 を流れ出力される。これは、第 1 コイル L 1 と第 3 コイル L 3 のトランス結合作用によるフォワード動作である。第 2 電流 i_2 の経路は、F E T Q 2 第 3 コイル (f e) 端子 3 (C 2 及び負荷) となる。図 7 の回路は超低圧出力用途であり、第 3 コイル L 3 は第 1 コイル L 1 に比べて巻数が少ないため、第 2 電流 i_2 は大容量電流となる。

40

【 0 1 9 4 】

なお、第 1 コイル L 1 と第 3 コイル L 3 は、トランス T の構造上、疎結合であるので、オン時に第 1 コイル L 1 に生じる磁束によって第 3 コイル L 3 に激しいピーク電流が流れることはない。

【 0 1 9 5 】

以上の通り、F E T Q 1 のオン期間には、直流電圧 V_{in} により第 1 コイル L 1 に流れる第 1 電流 i_1 と、第 1 電流 i_1 に起因して第 3 コイル L 3 に生じる磁気誘導により第 3 コイル L 3 に流れる第 2 電流 i_2 とが出力される。これにより、オン期間に大きな電流量が得られる。

【 0 1 9 6 】

50

ここで、オン期間における第1コイルL1と第3コイルL3の各々の磁気回路の磁束密度の変化は、次の通りとなる。従来のトランスと同様に両コイルの磁気回路の磁束密度はオン期間にそれぞれ増加し、オン期間の終了時点で最大となる。しかしながら、第1コイルL1と第3コイルL3は疎結合であるので、オン期間に第1コイルL1に生じた磁束から漏洩磁束を減じた磁束が第3コイルL3の磁気回路を通る。この結果、オン期間の終了時点では、第1コイルL1の磁気回路には大量の磁束が蓄積されて磁束密度が高い状態となる一方、第3コイルL3の磁気回路の磁束密度は第1コイルL1の磁気回路の磁束密度より低い状態のままであり、両コイルの磁気回路の磁束密度が不均衡状態となる。各々のコイルの磁束密度の値及びそれらの差は、第1コイルL1に流れた電流量、両コイルの巻数、磁気回路の透磁率などの諸条件により決定される。この第1コイルL1と第3コイルL3の磁束密度の不均衡状態は、以下のオフ期間における電流の要因となる。

【0197】

< オフ期間の動作 >

FETQ1のゲートG1に印加されるパルス電圧信号がオフとなると、ドレイン・ソース間の電流路が遮断して直流電圧 V_{in} の第1コイルL1への印加が停止される。印加電圧が急に停止されることで第1コイルL1には、自己誘導に基づく逆起電力(高圧)が発生しようとするが、後述するように、第2コイルL2に電流が流れ、第1および第2コイルL1、L2の磁気回路の磁束が急速にリセットされないため、相互誘導作用で第2コイルL2に印加される電圧により第1コイルL1に所定の電圧が発生する。このとき第1コイルL1は、巻き始め端子aが負電位、巻き終わり端子bが正電位となる。

【0198】

FETQ1がオフとなることにより同時に、第2コイルL2にフライバック起電力が発生し、巻き始め端子cが負電位、巻き終わり端子dが正電位となる。よってダイオードD1は順バイアスとなる。この結果、第3電流 i_3 が、第2コイルL2(c-d)ダイオードD1-C1(または、端子1)の経路で流れる。図7の回路ではフライバック電流である第3電流 i_3 を負荷へ供給することができる。

【0199】

第2コイルL2に流れる第3電流 i_3 は、オン期間に第1コイルL1の磁気回路に蓄積され最大となっている磁束を保持する(かしめる)働きがあり、その磁束の減少を緩慢とする。図7の回路におけるこのかしめ作用は、第2コイルL2の巻数が第1コイルL1より少ないためあまり強くはないが、第1コイルL1の磁気回路と第3コイルL3の磁気回路の磁束密度の不均衡状態を持続させる効果はある。この結果、第1コイルL1の磁気回路から第3コイルL3の磁気回路へ流れ込む磁束は、オン期間と同じ方向でかつ増加を続け、この磁束の増加変分に抗するように第3コイルL3に起電力が生じる。第3コイルL3は、オン期間と同じく巻き始め端子eが正電位、巻き終わり端子fが負電位となり、ダイオードD2は順バイアスとなり、第4電流 i_4 が流れる。第4電流 i_4 の経路は、FETQ2の寄生ダイオードまたはダイオードD2-第3コイルL3(f-e)端子3(C2及び負荷)となり、その方向はオン期間に流れる第2電流 i_2 と同方向である。

【0200】

図7の回路においては、オフ期間においても、第3コイルL3にはオン期間と同じ方向の起電力が生じフォワード動作を行う。すなわち、オフ期間においても第1コイルL1の磁気回路が磁束発生側となり、第3コイルL3の磁気回路が磁束受領側となり、第3コイルL3の磁気回路は第1コイルL1の磁気回路の磁束を受け続け、しかもその増加率は正である。

【0201】

以上の通り、FETQ1のオフ期間には、第2コイルL2に流れるフライバック動作である第3電流 i_3 と、第2コイルL2を流れる第3電流 i_3 に起因(第1第2コイルL1、L2の磁気回路の磁束保持作用)して第3コイルL3に流れる第4電流 i_4 とが出力される。これによりオフ期間に大きな電流量が得られる。

【0202】

10

20

30

40

50

このように、図7の回路では、オン期間もオフ期間も同方向（フォワード方向）に電流が流れて負荷に供給することができる。特に、オン期間には励磁電流である第1電流 i_1 も負荷へ供給され、オフ期間にはフライバック電流である第3電流 i_3 も負荷に供給されるため、従来のフォワード方式のスイッチング電源回路に比べて電力供給量が大きく、効率もよい。

【0203】

また、直流電圧 V_{in} がオフされたときに第2コイル L_2 に第3電流 i_3 が流れることにより、第1コイルの磁気回路の磁束が瞬時に消失しないことから、第1コイル L_1 に生じるスパイク電圧が抑制される。

【0204】

さらに、直流電圧 V_{in} がオフされたとき、第2コイル L_2 にはフライバックの逆起電力により純理論的に無限大の電圧が発生しようとするが、第2コイル L_2 の巻き終わり端子 d の電位は、コンデンサ C_2 の両端間電圧 V_{c2} により抑制される。

【0205】

オフ期間における時間経過に伴う動作は次の通りとなる。磁束発生側の第1コイル L_1 の磁気回路の保持磁束量が次第に減少しその磁束密度が低下していき、一方、磁束受領側の第3コイル L_3 の磁気回路の磁束密度が増加を続けると、両コイルの磁束密度が均衡する点に達する。第1コイル L_1 と第3コイル L_3 の磁気回路の磁束密度が均衡すると磁束の流れがなくなる。この磁束が均衡する近傍領域または少なくとも次のオン期間までの間に第2コイル L_2 を流れる第3電流 i_3 及び第3コイル L_3 を流れる第4電流 i_4 はゼロとなり、第1コイル L_1 及び第3コイル L_3 の磁束はゼロにリセットされる。なお、第3コイル L_3 の磁気回路の磁束がリセットされる時、第3コイル L_3 には逆起電力が発生するが、ダイオード D_2 が逆バイアスとなるため逆方向電流は流れない。その後、次の周期のオン期間を迎える。

【0206】

(8) トランスの第1の実施形態

(8-1) トランスの第1の実施形態の構成

図8Aは、図1～図7にそれぞれ示したスイッチング電源回路の第1～第7の実施形態に好適に用いられるトランス T の第1の実施形態の構成を模式的に示す断面図である。端子 a 及び b は第1コイル L_1 の、端子 c 及び d は第2コイル L_2 の、そして端子 e 及び f は第3コイル L_3 のそれぞれ巻き始め端子及び巻き終わり端子である（巻き始め端子を黒点で示す）。図8Aにおける各端子 a ～ f の接続先は、図1の回路に基づいて示している。図2～図7の回路については、各端子 a ～ f の接続先はそれぞれのスイッチング電源回路におけるものとなる。以下の図8B～図8Dについても同様である。

【0207】

トランス T のコアは、対向する上下一対のヨークの中央部同士を連結する中央脚1と、一对のヨークの対向する各端部同士をそれぞれ連結する一对の外脚2A、2Bとから構成される。中央脚1と各外脚2A、2Bとはそれぞれ窓空間4A、4Bにより隔てられている。外脚2A、2Bの中間位置には磁気ギャップ5A、5Bをそれぞれ設けている。

【0208】

第1コイル L_1 は中央脚1に巻装されている。第1コイル L_1 の巻き始め端子 a は、図1の回路における入力直流電圧 V_{in} の正極側と接続され、巻き終わり端子 b は $FETQ1$ のドレインに接続される。

【0209】

第2コイル L_2 もまた中央脚1に巻装されている。図8Aでは、第1コイル L_1 が内側に、第2コイル L_2 が外側に互いに絶縁されて積層されているが、内外を逆としてもよい。第1コイル L_1 と第2コイル L_2 は密のトランス結合となる。第2コイル L_2 の巻き始め端子 c は、図1の回路における入力直流電圧 V_{in} の負極側と接続され、巻き終わり端子 d はダイオード $D1$ のアノードに接続される。

【0210】

10

20

30

40

50

第3コイルは、部分コイルL3AとL3Bに2分割されて一対の外脚2A、2Bにそれぞれ巻装されている。部分コイルL3AとL3Bとは直列に接続されている。第3コイル（部分コイルL3A）の巻き始め端子eは、図1の回路のダイオードD2のアノードと接続される。第3コイル（部分コイルL3B）の巻き終わり端子fは、図1の回路における出力端子の負極側に接続される。

【0211】

中央脚1に巻装された第1コイルL1及び第2コイルL2と、外脚2A、2Bに巻装された第3コイルL3A、L3Bとは、窓空間4A、4B内においてそれぞれ離隔して（各コイルの巻装厚み分を除く）巻装されており、これにより疎のトランス結合が実現される。以下、第3コイルの部分コイルL3A及びL3Bをまとめて「第3コイルL3」と称する。

10

【0212】

本発明によるトランスは、第1コイルL1と第2コイルL2を密着させて巻装する一方、第3コイルL3を、第1コイルL1及び第2コイルL2の双方に密着させないで離隔して巻装し、この離隔させた空隙に漏洩磁気回路を形成させることが特徴である。図8B～図8Dに示す他の実施形態でも同様である。

【0213】

（8-2）トランスの第1の実施形態の動作説明

図9を参照しつつ、磁気回路と電気回路との関係を含めて図8Aに示したトランスTの動作を説明する。なお、後に図8B～図8Dで示す他のトランスの実施形態の動作も基本的に同じである。

20

【0214】

図8AのトランスT断面に示した各矢印は、各コイルの存在する磁気回路に生じる主要な磁束の向きを模式的に示している。「1」は第1コイルL1の磁気回路に生じる磁束であり、「1a」は1のうち第3コイルL3の磁気回路に流れ込む磁束であり、「1b」は1のうち第3コイルL3の磁気回路に流れ込まずに漏れる磁束であり、「2」は1aに抗して第3コイルL3の磁気回路に生じる磁束である。

【0215】

図9(A)は、中央脚1の磁気回路（以下「中心磁極磁気回路」と称する）の磁束1（破線）と、外脚2A、2Bの各磁気回路（以下「両脚磁気回路」と称する）に流れ込む磁束1a（実線）の各々の磁束密度の時間変化を模式的に示した図である。オン及びオフは、直流電圧Vinの第1コイルL1への印加時及び停止時を示す。

30

【0216】

図9(B)は、各コイルL1～L3に流れる電流の時間変化を模式的に示した図であり、時間軸は図9(A)と揃えている。第1コイルL1に流れる第1電流i1と第2コイルL2に流れる第3電流i3を実線で、第3コイルに流れる第2電流i2及び第4電流i4を破線で示している。

【0217】

<オン期間の動作>

第1コイルL1に直流電圧Vinが印加されて第1電流i1が流れると、中心磁極磁気回路に磁束1が発生する。第1電流i1は、図8AのトランスTの底面からみて第1コイルL1を時計回りに流れる。

40

【0218】

磁束1の一部である磁束1aが、両脚磁気回路へ流れ込み増加することにより、第3コイルL3には相互誘導によりこれに抗する起電力が生じ第2電流i2が流れる。第2電流i2は、図8Aの磁束2を生じる方向に流れ、トランスTの底面からみて第3コイルL3を時計回りに流れて出力される。

【0219】

一方、中心磁極磁気回路に生じた磁束1の一部である磁束1bは、第1コイルL1と第3コイルL3間の空隙である漏洩磁気回路を通るため、その分だけ両脚磁気回路を通

50

る磁束 1 a は少なくなっている。漏洩磁気回路は磁束 1 の迂回路である。

【0220】

図9(A)の破線に示すように、直流電圧が第1コイルL1に印加されると中心磁極磁気回路の磁束密度は急速に増加する。このとき、両脚磁気回路の磁束密度 1 a も、中心磁極磁気回路の磁束 1 の影響により増加するが、この増加は中心磁極磁気回路のそれよりも少ない。これは、次のように説明される。

【0221】

中心磁極磁気回路に生じた磁束 1 は、本来、第3コイルL3が巻装された両脚磁気回路を通り難く、従来のトランスではこの通り難い磁束をできるだけ漏れなく通すことを理想としている。これに対し、本発明のトランスTでは中心磁極磁気回路に生じた磁束 1 の一部 1 b を積極的に漏洩磁気回路へ迂回させることにより、第3コイルL3と鎖交する磁束 1 a を減少させている。そして、漏洩磁気回路に迂回させられる磁束 1 b は、そのエネルギー損失がほとんどないことから中心磁極磁気回路の磁束密度の増加を促進することに寄与する。一方、鎖交する磁束 1 a が相対的に減少した両脚磁気回路の磁束密度の増加は低く抑えられることとなる。この結果、中心磁極磁気回路と両脚磁気回路の磁束密度に大きな差が生じる。

【0222】

本発明のトランスTにおいては、漏洩磁気回路へ迂回させられる磁束 1 b によって第1コイルL1に電力損は生じない。これは、例えば、従来のトランスにおいて一次コイルに電流を流し二次コイルを開放してオープン状態としたときに一次コイルに電力損を生じないことに相当する。

【0223】

従来のトランスであれば中心磁極磁気回路から両脚磁気回路へ与えられるべき磁束が、本トランスにおいては、両脚磁気回路へ与えられず中心磁極磁気回路に蓄積するが、この中心磁極磁気回路に蓄積されたエネルギーは、後述するオフ期間になってから両脚磁気回路へと放出されるので、エネルギーの損失はない。

【0224】

なお、両脚磁気回路の磁束密度の増加量自体(絶対量)は少ないが、磁束の変化率 d/dt が十分であるため、これに抗して生じる起磁力の変化率は第3コイルL3に瞬時に電流を流すために十分な大きさであるので、図9(B)に示すように十分な第2電流 i_2 が流れる。これは第1コイルL2と第3コイルL3のトランス結合によるフォワード動作である。

【0225】

こうして、図9(A)の通り、オン期間の終了時点 t_1 では、中心磁極磁気回路に大量の磁束が蓄積されて磁束密度が最大となる一方、両脚磁気回路の磁束密度は相対的に低く、両者の磁束密度は不均衡状態となっている。

【0226】

なお、外脚2A、2Bに磁気ギャップ5A、5Bをそれぞれ設けたのは、磁気抵抗を大きくして磁気飽和を防止するためであり、必須ではない。

【0227】

<オフ期間の動作>

第1コイルL1への直流電圧印加が停止され第1電流 i_1 が遮断されると、通常であれば磁束 1 は瞬時に消失するが、第2コイルL2に生じる逆起電力により即座に第3電流 i_3 が流れる。そして第3電流 i_3 が第2コイルL2に流れ始めることで中心磁極磁気回路の磁束 1 は保持され(かしめられ)、図9(A)の通り、磁束 1 の磁束密度は最大値から比較的緩やかに減少していく。従って、オフ期間になっても、中心磁極磁気回路と両脚磁気回路の磁束密度の不均衡状態は持続し、この不均衡状態が持続する限り、中心磁極磁気回路から両脚磁気回路へ流れ込む磁束 1 a は増加傾向を維持する。

【0228】

図9(A)の実線に示すように、中心磁極磁気回路から両脚磁気回路へ供給される磁束

10

20

30

40

50

1 a の単位時間あたりの増加率は、オン期間に比べれば小さくはなるが、オン期間と同様に正である。この結果、オフ期間においても磁束 1 a に抗して第 3 コイルの磁気回路に発生する起磁力 2 はオン期間と同方向であり、したがって、第 3 コイル L 3 に生じる起電力の方向はオン期間と同じであり、第 2 電流 i_2 と同じ方向に第 4 電流 i_4 が流れ出力される。

【0229】

因みに、従来のトランスであれば、オフとなった時点で中心磁極磁気回路と両脚磁気回路に磁束密度の不均衡状態は生じていない。そして、通常は、次のオン期間に備えて中心磁極磁気回路の磁束を直ちにリセットする。このため従来のトランスでは、オフとなった時点で両脚磁気回路の磁束密度も直ちにゼロにリセットされ、第 3 コイル L 3 にはフライバック電圧のみが生じてオン期間とは逆方向に電流を流そうとする。本発明では、これと全く逆の動作すなわちオフ期間においてもフォワード動作を実現している。

10

【0230】

やがて、図 9 (A) の t_2 の時点で、中心磁極磁気回路の 1 の磁束密度と両脚磁気回路の 1 a の磁束密度とが均衡し、磁束の流れが停止する。その後、図 9 (B) に示すように、磁束リセット動作領域 (t_2 近傍) において第 3 コイル L 3 の第 4 電流 i_4 はゼロとなり、やがて中心磁極磁気回路の磁束 1 も消失して第 3 電流 i_3 も停止する。こうして、全てのコイルがオープン状態となる。そして次のオン期間を迎える。

【0231】

ここで、図 9 (A) に示すように、磁束リセット動作領域 (t_2 近傍) においては両脚磁気回路へ与えられる磁束 1 a がそれまでの増加傾向から急激にゼロとなるために、その磁束変化率は負の最大値となる。この結果、それまでと逆方向に第 3 コイル L 3 に逆起電力が発生するが、ダイオード D 2 が逆バイアスとなるために電流は流れない。なお、この場合、第 3 コイルの磁気回路に存在する磁束量は極めて少ないため、大きな逆起電力は発生しない。

20

【0232】

(9) トランスの第 2 の実施形態

図 8 B は、トランス T の第 2 の実施形態の構成を模式的に示す断面図である。図 8 A の構成との相違点は、第 3 コイル L 3 が片側の外脚 2 A にのみ巻装されている点である。

【0233】

図 8 B のトランス T では、第 3 コイル L 3 を巻装された外脚 2 A には、第 1 コイル L 1 に生じた磁束 1 が通り難く、巻装されていない外側脚 2 B には通り易い。この結果、第 3 コイル L 3 から必要な大きさの出力電流が得られない虞がある。そこで、第 3 コイル L 3 から十分な出力電流を得るためには、巻装されない外脚 2 B の磁気ギャップを広くするか、あるいは巻装された外脚 2 A に図示のように磁気ギャップを設けないことが有効である。巻装されていない外脚 2 B は、第 1 コイル L 1 と第 3 コイル L 3 間の空隙と同様に、磁束の迂回路となる漏洩磁気回路として働く。このように、片側のみに第 3 コイル L 3 を巻装することは、製造コストを低減できる利点がある。

30

【0234】

(10) トランスの第 3 の実施形態

図 8 C は、トランス T の第 3 の実施形態の構成を模式的に示す断面図である。図 8 A の構成との相違点は、第 3 コイル L 3 が第 1 コイル L 1 と同心状に巻装される点である。図 8 C はその一例であり、第 3 コイル L 3 が双方の外脚 2 A、2 B の内壁に密着して巻装されているが、これに限定されず、外脚 2 A、2 B の内側であれば第 3 コイル L 3 は外脚自体から離れていてもよい。第 3 コイル L 3 は、第 1 コイル L 1 及び第 2 コイル L 2 と離隔して巻装され、その空隙に漏洩磁気回路が確保できればよい。

40

【0235】

図 8 C のトランス T では、第 1 コイル L 1 に生じた磁束 1 のうち外脚 2 A、2 B に流れ込む磁束 1 a に抗するように第 3 コイルの磁気回路に起磁力 2 が発生するように第 3 コイル L 3 に起電力が生じ、第 2 電流 i_2 が流れる。この場合、図 8 C のトランス T の

50

底面からみて、第 1 電流 i_1 及び第 3 電流 i_3 は、それぞれ第 1 コイル L_1 及び第 2 コイル L_2 を時計回りに流れ、第 2 電流 i_2 及び第 4 電流 i_4 は第 3 コイル L_3 を反時計回りに流れる。但し、結線は同じであるので電気回路の動作は同じである。すなわち、図 8 A におけるトランス T の第 3 コイル L_3 に流れる電流と、図 8 C におけるトランス T の第 3 コイル L_3 に流れる電流の向きは反対であるが、両者の両脚磁気回路に生じる磁束 2 の向きと第 3 コイル L_3 に流れる電流方向の関係は同じである。また同様に、第 1 コイル L_1 による磁束 1 の一部 1 b が、第 2 コイル L_2 と第 3 コイル L_3 の間の空隙を漏洩磁気回路として漏れる。

【0236】

(11) トランスの第 4 の実施形態

図 8 D は、トランス T の第 4 の実施形態の構成を模式的に示す断面図である。図 8 A の構成との相違点は、第 3 コイル L_3 が、第 1 コイル L_1 及び第 2 コイル L_2 の外側に配置された一对の磁性体片 6 A、6 B 介して第 1 コイル L_1 及び第 2 コイル L_2 と同心状に巻装されている点である。磁性体片 6 A、6 B の各々は、トランス T の底面側から見て円弧状断面を有する。

【0237】

図 8 D のトランス T では、第 1 コイル L_1 に生じた磁束 1 のうち外脚 2 A、2 B に流れ込む磁束 1 a に抗するように第 3 コイルの磁気回路に起磁力 2 が発生するよう第 3 コイル L_3 に起電力が生じ、第 2 電流 i_2 が流れる。この場合、図 8 D のトランス T の底面からみて、第 1 電流 i_1 及び第 3 電流 i_3 はそれぞれ、第 1 コイル L_1 及び第 2 コイル L_2 を時計回りに流れ、第 2 電流 i_2 及び第 4 電流 i_4 は第 3 コイル L_3 を反時計回りに流れる。但し、結線は同じであるので電気回路の動作は同じである。すなわち、図 8 A におけるトランス T の第 3 コイル L_3 に流れる電流と、図 8 D におけるトランス T の第 3 コイル L_3 に流れる電流の向きは反対であるが、両脚磁気回路に生じる磁束 2 の向きと第 3 コイル L_3 に流れる電流方向の関係は同じである。また同様に、第 1 コイル L_1 による磁束 1 の一部 1 b が、磁性体片 6 A、6 B を通り漏れる。この場合、双方の磁性体片 6 A、6 B が漏洩磁気回路として作用する。

【0238】

(12) トランスの特徴のまとめ

本発明のスイッチング電源回路で用いるトランスは、第 1 コイル L_1 と第 2 コイル L_2 とを密着して巻装すると共に、第 1 コイル L_1 及び第 2 コイル L_2 と第 3 コイル L_3 との間に漏洩磁気回路を形成するように、空隙または磁性体片を介して 3 コイルが巻装されている。そして、漏洩磁束の量をどの程度にするかによって、第 1 コイル L_1 及び第 2 コイル L_2 と、第 3 コイル L_3 とを離隔する距離を決定する。この点において本発明のトランスは、従来 of トランスが一次コイルと二次コイルの結合率を限りなく 100% (結合度 = 1) になるように一次コイルと二次コイルを密着して巻装する点と大きく相違する。

【0239】

(13) 計測結果

図 10 は、図 7 に示したスイッチング電源回路の各測定点における電圧または電流の計測波形である。横軸は時間軸 (s)、縦軸は電流または電圧 (A または V、但し任意のスケール) である。

【0240】

図 10 (A) は、第 1 コイル L_1 の巻き終わり端子 b における電圧波形である。FET Q1 のオフ期間の終わりには直流電圧 V_{in} が巻き終わり端子 b にそのまま現れているが、FET Q1 のオン期間には第 1 コイル L_1 の両端に直流電圧 V_{in} が印加され、巻き終わり端子 b は端子 3 の電位 (出力電圧 V_{out} の正極側) まで降下する。FET Q1 が再びオフすると直流電圧 V_{in} が現れる。

【0241】

図 10 (B) は、FET Q1 のドレイン電流の波形であり、FET Q1 のオン期間に流れる第 1 電流 i_1 の波形である。FET Q1 がオンすると第 1 電流 i_1 は次第に増加する。

10

20

30

40

50

F E T Q 1 がオフすると電流路が遮断され電流はゼロになる。

【 0 2 4 2 】

図 1 0 (C) は、第 3 コイル L 2 の巻き終わり端子 f における電圧波形である。F E T Q 1 がオフのとき F E T Q 2 もオフであるから第 3 コイル L 3 の巻き終わり端子 f 電位はコンデンサ C 2 のプラス極電位となるが、F E T Q 1 がオンになると F E T Q 2 もオンとなるため、第 3 コイル L 3 の巻き終わり端子 f 電位は接地電位となる。また、F E T Q 1 がオフしても第 3 コイル L 3 は、その磁気回路における磁束の増加傾向が続いて同方向の電流の流れが維持されるため、巻き終わり端子 f は、ほぼ 0 電位のままである。

【 0 2 4 3 】

図 1 0 (D) は、第 3 コイルを流れるフォワード電流 (第 2 電流 i_2 と第 4 電流 i_4) の波形である。F E T Q 1 のオン期間には第 2 電流 i_2 が増加しつつ流れ、オフ期間には第 4 電流 i_4 が減少しつつ流れる。第 2 電流 i_2 と第 4 電流 i_4 の方向は同じである。このように、F E T Q 1 のオン時もオフ時も第 3 コイル L 3 がフォワード動作を行うことが、計測により確認された。

10

【 0 2 4 4 】

図 1 0 (E) は、第 2 コイル L 2 の巻き始め端子 c における電圧波形である。F E T Q 1 のオフ期間の終わりには、出力電圧の正極側である端子 3 の電位がそのまま出ているが、F E T Q 1 がオンすると相互誘導により第 2 コイル L 2 の巻き始め端子 c は正電位となる。但し、ダイオード D 1 があるため電流は流れない。F E T Q 1 がオフすると、第 2 コイル L 2 の巻き始め端子 c はフライバックの起電力によりダイオード D 1 が導通し、ほぼ接地電位となる。

20

【 0 2 4 5 】

図 1 0 (F) は、第 2 コイル L 2 のフライバック電 (第 3 電流 i_3) の波形である。F E T Q 1 がオンからオフになったとき、第 2 コイル L 2 に生じるフライバックの起電力により第 3 電流 i_3 が流れる。オフになった瞬間に最も大きく流れ次第に減少していく。

【 0 2 4 6 】

図 1 0 (A) (C) (E) の各コイルの一端における電圧波形を参照すると、磁束リセット領域において各コイルに僅かであるが逆起電力が生じていることがわかる。また、図 1 0 (D) (F) のフォワード電流及びフライバック電流が磁束リセット領域でゼロになっていることがわかる。この磁束リセット領域においては、第 1 コイル L 1 と第 3 コイル L 3 の双方の磁気回路の磁束が均衡し、各コイルの磁気回路の磁束がリセットされる。

30

【 0 2 4 7 】

(1 2) 補足説明

なお、本発明を実施したトランスは、互いに密結合の 2 つのコイルと、これら密結合した 2 つのコイルの各々と疎結合した 1 つのコイルの 3 つのコイルを備えていればよい。そして、密結合した 2 つのコイルは基本的にはそれらの配設位置関係に関わらず機能的に交換可能である。すなわち、どちらのコイルを第 1 コイルとして用いてもよい。例えば密結合の 2 つのコイルを A、B とすると、コイル A を第 1 コイルとし、コイル B を第 2 コイルとする場合は直流電圧をコイル A に印加する。これらを入れ替えて、コイル A を第 2 コイルとし、コイル B を第 1 コイルとする場合は、直流電圧をコイル B に印加する。なお、本発明の機能を実現するための両コイルの巻数比、材質、線径などは設計事項である。

40

【 図面の簡単な説明 】

【 0 2 4 8 】

【 図 1 】 本発明によるスイッチング電源回路の第 1 の実施形態の回路図である。

【 図 2 】 本発明によるスイッチング電源回路の第 2 の実施形態の回路図である。

【 図 3 】 本発明によるスイッチング電源回路の第 3 の実施形態の回路図である。

【 図 4 】 本発明によるスイッチング電源回路の第 4 の実施形態の回路図である。

【 図 5 】 本発明によるスイッチング電源回路の第 5 の実施形態の回路図である。

【 図 6 】 本発明によるスイッチング電源回路の第 6 の実施形態の回路図である。

【 図 7 】 本発明によるスイッチング電源回路の第 7 の実施形態の回路図である。

50

【図 8 A】本発明によるトランスの第 1 の実施形態の構成を模式的に示す断面図である。
 【図 8 B】本発明によるトランスの第 2 の実施形態の構成を模式的に示す断面図である。
 【図 8 C】本発明によるトランスの第 3 の実施形態の構成を模式的に示す断面図である。
 【図 8 D】本発明によるトランスの第 4 の実施形態の構成を模式的に示す断面図である。
 【図 9】(A) はトランスの各磁気回路の磁束密度の時間変化を模式的に示した図であり、
 (B) は各コイルに流れる電流の時間変化を模式的に示した図である。

【図 10】(A) ~ (F) は、図 7 に示した回路の各測定点における電圧または電流の計測波形である。

【符号の説明】

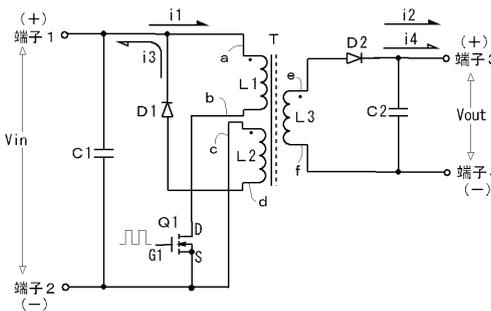
【0249】

- L 1 第 1 コイル
- L 2 第 2 コイル
- L 3 第 3 コイル
- T トランス
- Q 1、Q 2 FET
- D 1、D 2 ダイオード
- C 1、C 2 コンデンサ
- i 1 第 1 電流
- i 2 第 2 電流
- i 3 第 3 電流
- i 4 第 4 電流

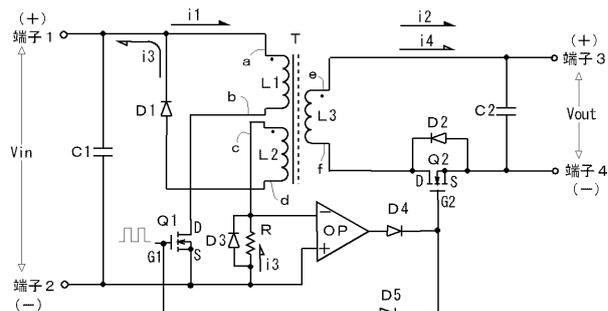
10

20

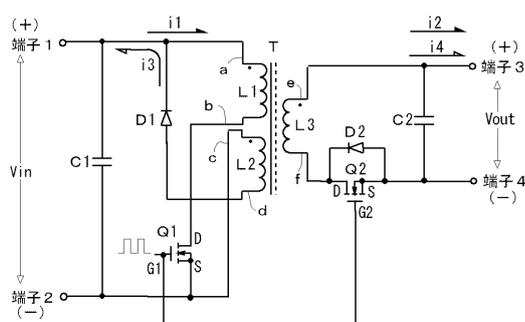
【図 1】



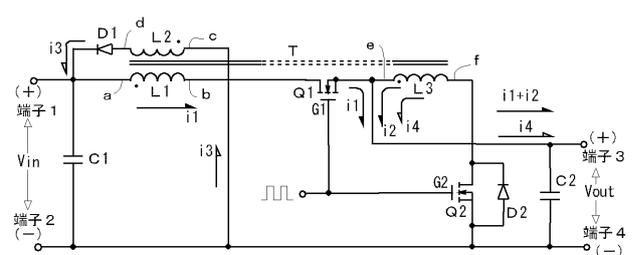
【図 3】



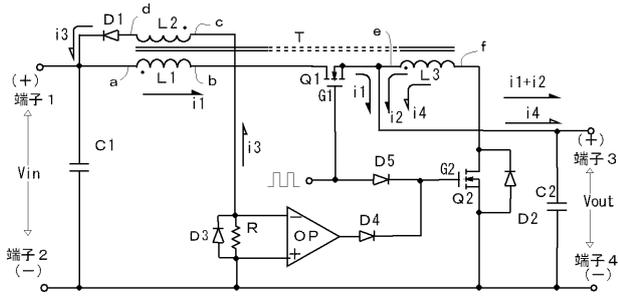
【図 2】



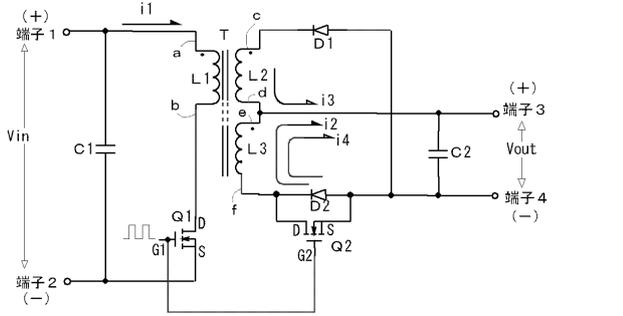
【図 4】



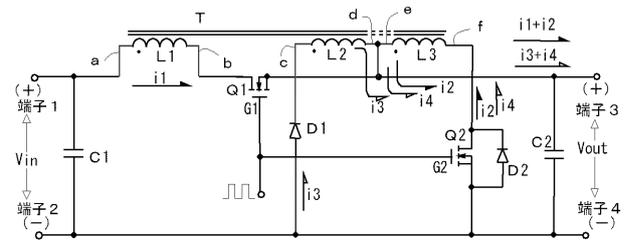
【 図 5 】



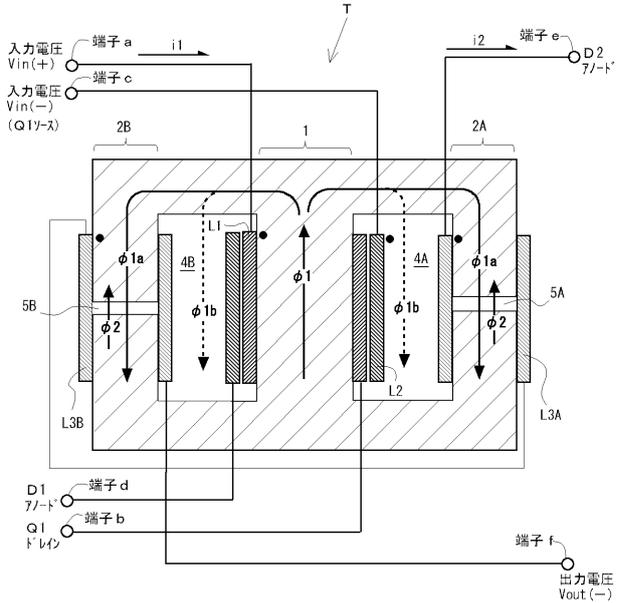
【 図 6 】



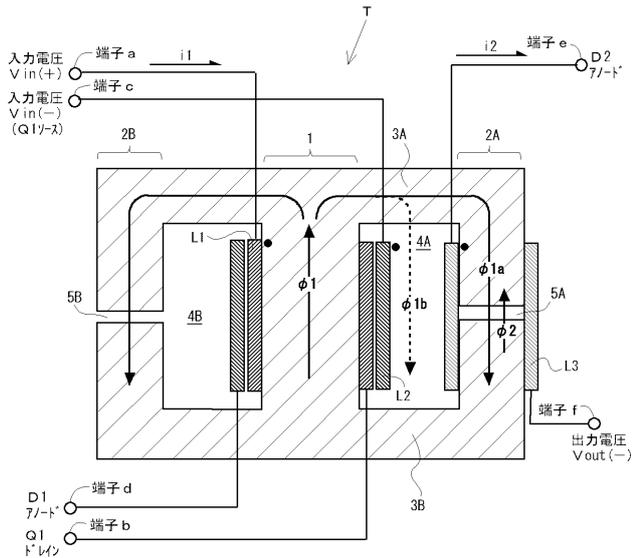
【 図 7 】



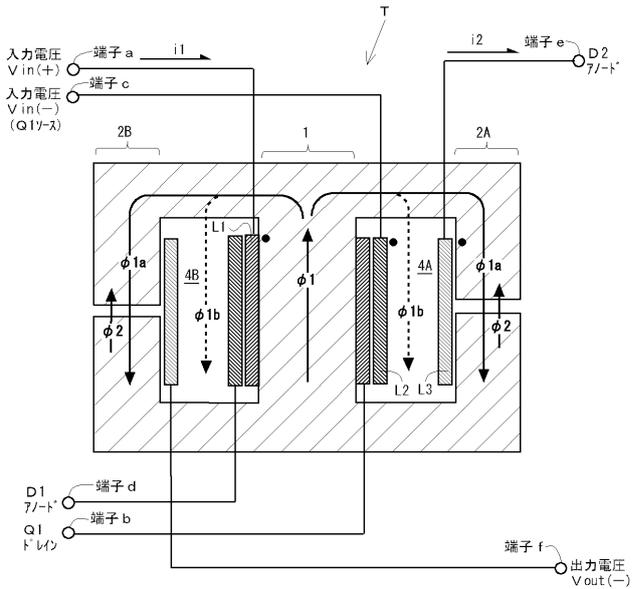
【 図 8 A 】



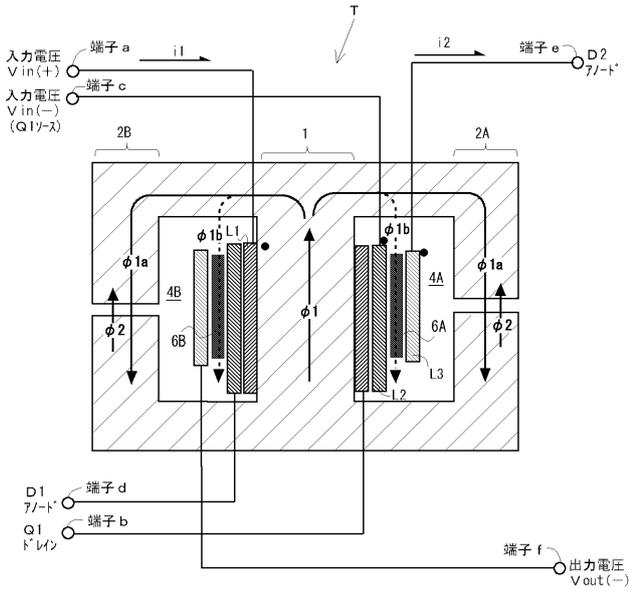
【 図 8 B 】



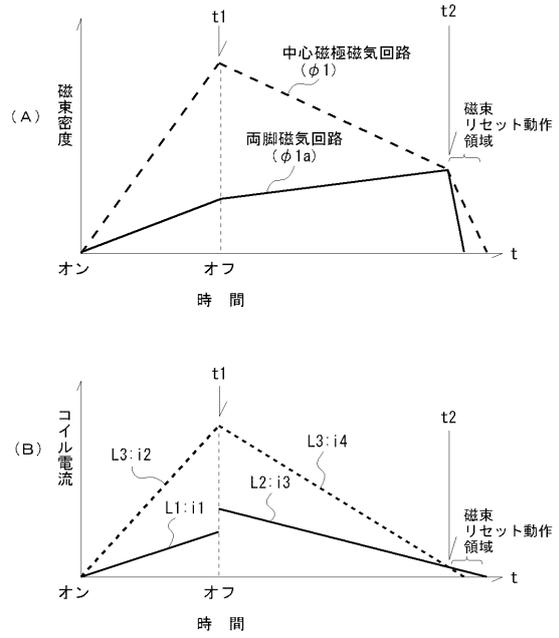
【 図 8 C 】



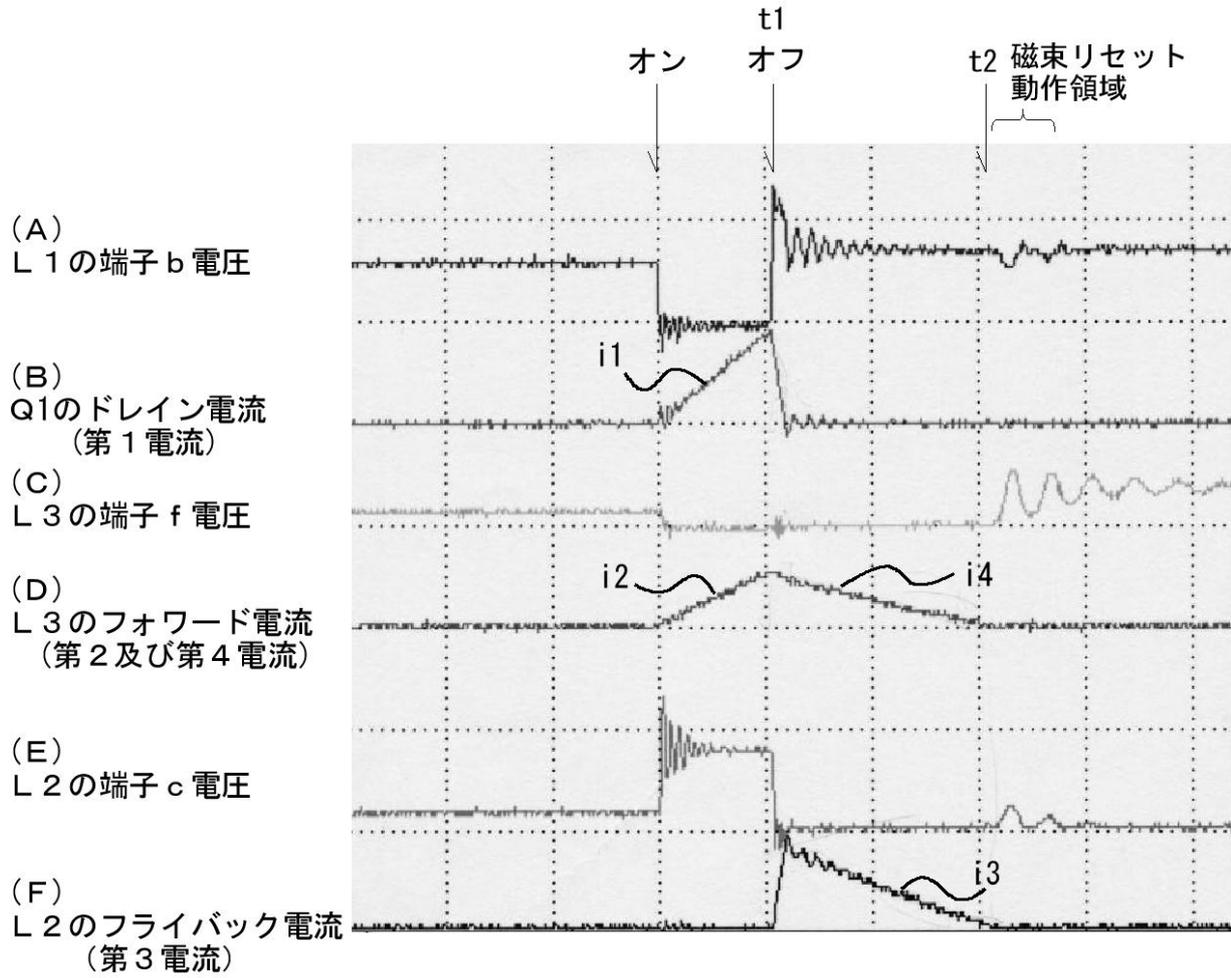
【図8D】



【図9】



【図 10】



フロントページの続き

(72)発明者 高草 英博

東京都江東区豊洲三丁目3番3号 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ
内

(72)発明者 岡田 實

東京都江東区豊洲三丁目3番3号 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ
内

(72)発明者 和田 晴樹

東京都江東区豊洲三丁目3番3号 株式会社エヌ・ティ・ティ・データ・イー・エックス・テクノ
内

Fターム(参考) 5H006 CA02 CB07 DA04 DB01 DC05

5H730 AA14 BB23 BB57 DD04 EE02 EE07 EE13 FG01 ZZ16