



(12) 发明专利

(10) 授权公告号 CN 102420183 B

(45) 授权公告日 2014. 02. 05

(21) 申请号 201110403568. 4

审查员 陈冠源

(22) 申请日 2011. 12. 07

(73) 专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 覃事建

(74) 专利代理机构 深圳市世纪恒程知识产权代

理事务所 44287

代理人 胡海国

(51) Int. Cl.

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

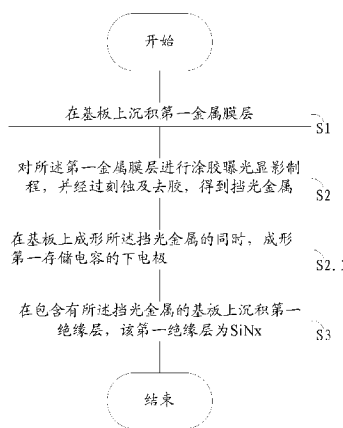
权利要求书1页 说明书6页 附图3页

(54) 发明名称

TFT 阵列基板的制作方法及其 TFT 阵列基板

(57) 摘要

本发明公开了一种 TFT 阵列基板的制作方法,包括:在基板上沉积第一金属膜层;对所述第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶,得到挡光金属。本发明还提供了一种包括玻璃基板和第一绝缘层的 TFT 阵列基板,还包括成形于所述玻璃基板上的挡光金属,所述挡光金属通过对沉积在所述玻璃基板上的第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶的方法得到。本发明所提供的一种 TFT 阵列基板的制作方法,通过在基板上成形挡光金属实现对 TFT 开关器件的保护,使其不受强光影响,提高 TFT 开关器件的稳定性;并且通过电容的并联来减小存储电容的面积,从而实现增大相应像素的开口率的目的。



1. 一种 TFT 阵列基板的制作方法,其特征在于,包括:

在基板上沉积第一金属膜层;

对所述第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶,得到挡光金属;

对所述第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶,成形第一存储电容的下电极;

在包含有所述挡光金属和第一存储电容的下电极的基板上沉积第二金属膜层,对第二金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶,得到第一存储电容的上电极;

在所述第一存储电容的上电极上方沉积一层半导体层,并在该半导体层上方沉积一层第二绝缘层,在第二绝缘层上方沉积一层第三金属膜层,对第三金属膜层、半导体层和第二绝缘层进行涂胶曝光显影的制程,再进行去胶的步骤;然后沉积一层保护层,采用半曝光对该保护层进行涂胶曝光显影的制程,在保护层上蚀刻出两个通孔,在蚀刻了通孔的保护层上沉积一层 ITO 膜,成形第二存储电容的上电极和像素 ITO 电极;ITO 膜通过一通孔与栅电极的漏极金属连接,成形像素电极,ITO 膜通过另一通孔与构成第一存储电容下电极的金属连接,成形第二存储电容的上电极。

2. 如权利要求 1 所述的制作方法,其特征在于,将所述第一存储电容的上电极作为第二存储电容的下电极,并将所述第一存储电容和所述第二存储电容并联连接共同构成像素的存储电容。

3. 如权利要求 1 所述的制作方法,其特征在于,还包括:

在包含有所述挡光金属的基板上沉积第一绝缘层,该第一绝缘层为 SiN_x 。

4. 一种 TFT 阵列基板,包括玻璃基板和第一绝缘层,其特征在于,还包括成形于所述玻璃基板上的挡光金属,所述挡光金属通过对沉积在所述玻璃基板上的第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶的方法得到;TFT 阵列基板还包括对所述第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶而成形于所述玻璃基板上的第一存储电容的下电极;TFT 阵列基板还包括成形于所述第一绝缘层上的第一存储电容的上电极,所述第一存储电容的上电极通过对沉积在所述第一绝缘层上的第二金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶得到;TFT 阵列基板还包括在第一存储电容的上电极的上方沉积的一层半导体层、在该半导体层上方沉积的一层第二绝缘层,以及在第二绝缘层上方沉积的一层第三金属膜层;对第三金属膜层、半导体层和第二绝缘层进行涂胶曝光显影的制程,再进行去胶的步骤;然后沉积一层保护层,采用半曝光对该保护层进行涂胶曝光显影的制程。

5. 如权利要求 4 所述的 TFT 阵列基板,其特征在于,在保护层上蚀刻出两个通孔,在蚀刻了通孔的保护层上沉积一层 ITO 膜,成形第二存储电容的上电极和像素 ITO 电极;ITO 膜通过一通孔与栅电极的漏极金属连接,成形像素电极,ITO 膜通过另一通孔与构成第一存储电容下电极的金属连接,成形第二存储电容的上电极;所述第一存储电容的上电极作为第二存储电容的下电极,所述第一存储电容和所述第二存储电容为并联连接,共同构成像素的存储电容。

6. 如权利要求 5 所述的 TFT 阵列基板,其特征在于,构成所述第一存储电容上电极的金属的面积小于构成所述第一存储电容下电极的金属的面积。

TFT 阵列基板的制作方法及其 TFT 阵列基板

技术领域

[0001] 本发明涉及到液晶显示领域,特别涉及到一种 TFT 阵列基板的制作方法及其 TFT 阵列基板。

背景技术

[0002] TFT 液晶显示器在广泛应用并受到人们越来越多的关注的同时,对 TFT 液晶显示器的显示质量的要求也越来越高。目前,TFT 液晶显示器阵列基板的制造通常采用 5Mask 技术,包括栅电极光刻(GateMask)、有源层光刻(Active Mask)、源漏极光刻(S/DMask)、过孔光刻(ViaHoleMask)以及像素电极层光刻(PixelMask)的 5Mask 的技术,并且在每一个 Mask 工艺步骤中又分别包括一次或多次薄膜沉积工艺和刻蚀工艺,成形了 5 次薄膜沉积→光刻→刻蚀的循环过程。然而,采用这种传统的 5Mask 技术来制造 TFT 液晶显示器阵列基板,在曝光的过程中,没有对 TFT 开关器件进行保护,使其容易受到强光的影响,从而降低 TFT 开关器件的稳定性;并且,现有的存储电容,如要增大电容值时,需要增大存储电容的面积,这样便会导致相应像素的开口率减小。

发明内容

[0003] 本发明的主要目的为提供一种 TFT 阵列基板的制作方法,通过在基板上成形挡光金属实现对 TFT 开关器件的保护,使其不受强光影响,提高 TFT 开关器件的稳定性。

[0004] 本发明提供一种 TFT 阵列基板的制作方法,包括:

[0005] 在基板上沉积第一金属膜层;

[0006] 对所述第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶,得到挡光金属;对所述第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶,成形第一存储电容的下电极;

[0007] 在包含有所述挡光金属和第一存储电容的下电极的基板上沉积第二金属膜层,对第二金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶,得到第一存储电容的上电极;

[0008] 在所述第一存储电容的上电极上方沉积一层半导体层,并在该半导体层上方沉积一层第二绝缘层,在第二绝缘层上方沉积一层第三金属膜层,对第三金属膜层、半导体层和第二绝缘层进行涂胶曝光显影的制程,再进行去胶的步骤;然后沉积一层保护层,采用半曝光对该保护层进行涂胶曝光显影的制程,在保护层上蚀刻出两个通孔,在蚀刻了通孔的保护层上沉积一层 ITO 膜,成形第二存储电容的上电极和像素 ITO 电极;ITO 膜通过一通孔与栅电极的漏极金属连接,成形像素电极,ITO 膜通过另一通孔与构成第一存储电容下电极的金属连接,成形第二存储电容的上电极。

[0009] 优选地,将所述第一存储电容的上电极作为第二存储电容的下电极,并将所述第一存储电容和所述第二存储电容并联连接共同构成像素的存储电容。

[0010] 优选地,TFT 阵列基板的制作方法还包括:

[0011] 在包含有所述挡光金属的基板上沉积第一绝缘层,该第一绝缘层为 SiN_x 。

[0012] 本发明还提供一种 TFT 阵列基板,包括玻璃基板和第一绝缘层,还包括成形于所述玻璃基板上的挡光金属,所述挡光金属通过对沉积在所述玻璃基板上的第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶的方法得到;TFT 阵列基板还包括对所述第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶而成形于所述玻璃基板上的第一存储电容的下电极;TFT 阵列基板还包括成形于所述第一绝缘层上的第一存储电容的上电极,所述第一存储电容的上电极通过对沉积在所述第一绝缘层上的第二金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶得到;TFT 阵列基板还包括在第一存储电容的上电极的上方沉积的一层半导体层、在该半导体层上方沉积的一层第二绝缘层,以及在第二绝缘层上方沉积的一层第三金属膜层;对第三金属膜层、半导体层和第二绝缘层进行涂胶曝光显影的制程,再进行去胶的步骤;然后沉积一层保护层,采用半曝光对该保护层进行涂胶曝光显影的制程。

[0013] 优选地,在保护层上蚀刻出两个通孔,在蚀刻了通孔的保护层上沉积一层 ITO 膜,成形第二存储电容的上电极和像素 ITO 电极;ITO 膜通过一通孔与栅电极的漏极金属连接,成形像素电极,ITO 膜通过另一通孔与构成第一存储电容下电极的金属连接,成形第二存储电容的上电极;所述第一存储电容的上电极作为第二存储电容的下电极,所述第一存储电容和所述第二存储电容为并联连接,共同构成像素的存储电容。

[0014] 优选地,构成所述第一存储电容上电极的金属的面积小于构成所述第一存储电容下电极的金属的面积。

[0015] 本发明所提供的一种 TFT 阵列基板的制作方法,通过 4Mask 的方式来制作 TFT 阵列基板,首先对沉积在经过清洗的玻璃基板上的第一金属膜层进行涂胶曝光显影的制程,并通过蚀刻以及去胶的方法,可以在玻璃基板上得到一层挡光金属。通过这一层挡光金属,可以在之后的制程中,对 TFT 开关器件起到很好的保护作用,从而可以避免其由于受到强光的照射而导致的稳定性降低的问题。并且将第一存储电容和第二存储电容并联连接,采用这种连接的方式,在需要增大存储电容的电容值时,可以同时保证存储电容的面积减小,这样,便可以在很大程度上提高相应像素的开口率。

附图说明

[0016] 图 1 为本发明 TFT 阵列基板的制作方法第一实施例的流程示意图;

[0017] 图 2 为本发明 TFT 阵列基板的制作方法第二实施例的流程示意图;

[0018] 图 3 为本发明 TFT 阵列基板实施例中在玻璃基板上成形挡光金属和第一存储电容的下电极后的工艺结构示意图;

[0019] 图 4 为在图 3 的基础上成形第一存储电容的上电极后的工艺结构示意图;

[0020] 图 5 为在图 4 的基础上刻蚀掉欧姆接触层以及成形栅电极后的工艺结构示意图;

[0021] 图 6 为在图 5 的基础上成形第二存储电容的上电极后的工艺结构示意图。

[0022] 本发明目的的实现、功能特点及优点将结合实施例,参照附图做进一步说明。

具体实施方式

[0023] 应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0024] 参照图 1,图 1 为本发明 TFT 阵列基板的制作方法第一实施例的流程示意图。

[0025] 在本实施例中，TFT 阵列基板的制作方法，包括：

[0026] 步骤 S1，在基板上沉积第一金属膜层；

[0027] 在沉积第一金属膜层前，首先要对玻璃基板进行清洗，本实施例中，可以采用真空溅射的方法在玻璃基板上沉积第一金属膜层，所沉积的金属膜层可以为 Mo、Al 或其他不透明的金属。

[0028] 步骤 S2，对所述第一金属膜层进行涂胶曝光显影制程，并经过刻蚀及去胶，得到挡光金属。

[0029] 对沉积在玻璃基板上的第一金属膜层进行涂胶曝光显影的制程，并且采用湿法刻蚀的方式对经过涂胶曝光显影后，对玻璃基板上留下的第一金属膜层进行蚀刻及去胶，便可以得到一层挡光金属。所成形的挡光金属可以用于对 TFT 开关器件进行保护，在之后的光刻过程中，使 TFT 开关器件不会受到强光的照射而影响该 TFT 开关器件的稳定性。

[0030] 在本实施例中，得到挡光金属后，还包括：

[0031] 步骤 S3，在包含有所述挡光金属的基板上沉积第一绝缘层，该第一绝缘层为 SiNx。

[0032] 在对第一金属膜层进行了涂胶曝光显影以及刻蚀和去胶的步骤，并得到挡光金属后，在包含有该挡光金属的基板上采用 PECVD (Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学气相沉积法) 的方法沉积一层第一绝缘层，以便于进行下一步的光刻步骤，该第一绝缘层可以为 SiNx。

[0033] 本发明实施例，通过 4Mask 的方式来制作 TFT 阵列基板，对沉积在经过清洗的玻璃基板上的第一金属膜层进行涂胶曝光显影的制程，并通过蚀刻以及去胶的方法在玻璃基板上成形一层挡光金属，采用这一层挡光金属，可以在之后的制程中，对 TFT 开关器件起到很好的保护作用，从而可以避免其由于受到强光的照射而导致的稳定性降低的问题。

[0034] 在本实施例中，TFT 阵列基板的制作方法，在执行步骤 S2 之后，还包括：

[0035] 步骤 S2.1，在基板上成形所述挡光金属的同时，成形第一存储电容的下电极。

[0036] 在成形挡光金属的同时，可以采用同样的方法，对沉积在玻璃基板上的第一金属膜层进行涂胶曝光显影的制程，并且同样采用湿法刻蚀的方式对玻璃基板上所留下的第一金属膜层进行蚀刻及去胶，从而在基板上可以成形第一存储电容的下电极。

[0037] 参照图 2，图 2 为本发明 TFT 阵列基板的制作方法第二实施例的流程示意图。

[0038] 相较于第一实施例，在本实施例中，TFT 阵列基板的制作方法还可包括：

[0039] 步骤 S4，在包含有所述挡光金属和第一存储电容的下电极的基板上沉积第二金属膜层，对第二金属膜层进行涂胶曝光显影制程，并经过刻蚀及去胶，得到第一存储电容的上电极。

[0040] 当得到挡光金属和第一存储电容的下电极后，可以采用真空溅射的方法在沉积在包含有挡光金属和第一存储电容的下电极的基板上的第一绝缘层上沉积一层第二金属膜层，然后，可以采用 PECVD 的方法在该第二金属膜层上沉积一层欧姆接触层，并对第二金属膜层和欧姆接触层进行涂胶曝光显影的制程，此处，先不对经过显影所留下的图案进行去胶，而是直接对第二金属膜层和欧姆接触层进行刻蚀，在本实施例中，可以先采用干法刻蚀的方式，对欧姆接触层进行刻蚀，再用湿法刻蚀的方式，对第二金属膜层进行刻蚀，然后再进行去胶的步骤。这样，就可以得到第一存储电容的上电极；采用与得到第一存储电容的上

电极同样的方法还可以同时成形信号线和栅电极的源漏极金属,并且在信号线、源漏极金属和第一存储电容的上电极的上方都附有一层欧姆接触层。

[0041] 得到第一存储电容的上电极后,在附在信号线、源漏极金属和第一存储电容的上电极上方的欧姆接触层上,采用 PECVD 的方法沉积一层半导体层,并在该半导体层上方沉积一层第二绝缘层,本实施例中,半导体层可以为 a-Si,第二绝缘层可以为 SiNx。然后,在第二绝缘层上方采用真空溅射的方法沉积一层第三金属膜层;并对第三金属膜层、半导体层和第二绝缘层进行涂胶曝光显影的制程,在本实施例中,可以先用湿法刻蚀的方式,对第三金属膜层进行刻蚀,再用干法刻蚀的方式,对半导体层和第二绝缘层进行刻蚀,最后再进行去胶的步骤。在这个步骤中,附在栅电极的漏极金属上的一部分欧姆接触层和附在第一存储电容的上电极上的欧姆接触层同时被刻蚀掉。

[0042] 当附在栅电极的漏极金属上的一部分欧姆接触层和附在第一存储电容的上电极上的欧姆接触层被刻蚀掉之后,采用 PECVD 的方法沉积一层保护层,并且对该保护层进行涂胶曝光显影的制程,在这个步骤中,所采用的曝光为半曝光,并且需要采用半曝光罩,经历了涂胶曝光显影后,用干法刻蚀的方式,在保护层上蚀刻出两个通孔,即通孔 1 和通孔 2,然后在蚀刻了通孔 1 和通孔 2 的保护层上采用真空溅射的方法沉积一层 ITO 膜,并且最终成形第二存储电容的上电极和像素 ITO 电极。本实施例中,当在保护层上沉积了 ITO 膜后,该 ITO 膜通过通孔 1 与栅电极的漏极金属连接,便可成形像素电极;同时,ITO 膜通过通孔 2 与构成第一存储电容下电极的金属连接,这样便成形了第二存储电容的上电极。这样,就完成了 TFT 阵列基板的制作方法的全部步骤。

[0043] 在上述实施例中,第一存储电容的上电极可以作为第二存储电容的下电极使用,第二存储电容的下电极、ITO 膜通过通孔 2 与第一存储电容下电极的金属连接所成形的第二存储电容的上电极共同构成第二存储电容。这样,第一存储电容和第二存储电容就可以实现其之间的并联连接,从而共同构成像素的存储电容。

[0044] 将第一存储电容的上电极作为第二存储电容的下电极,当 ITO 膜通过通孔 2 和构成第一存储电容下电极的金属相连接后,就成形了第二存储电容的上电极,这样,第一存储电容和第二存储电容便可以实现并联连接,采用这种连接的方式,在需要增大存储电容的电容值时,可以同时保证存储电容的面积减小,这样,便可以在很大程度上提高相应像素的开口率。

[0045] 参照图 3,图 3 为本发明 TFT 阵列基板实施例中在玻璃基板上成形挡光金属和第一存储电容的下电极后的结构示意图。

[0046] 在本实施例中,TFT 阵列基板,包括玻璃基板 10 和第一绝缘层 20,还包括成形于玻璃基板 10 上的挡光金属,该挡光金属 70 可以通过对沉积在玻璃基板 10 上的第一金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶的方法得到。

[0047] 对沉积在玻璃基板 10 上的第一金属膜层进行涂胶曝光显影的制程,并且采用湿法刻蚀的方式对经过涂胶曝光显影后,对玻璃基板 10 上留下的第一金属膜层进行蚀刻及去胶,便可以得到一层挡光金属 70。所成形的挡光金属 70 可以用于对 TFT 开关器件进行保护,在之后的光刻过程中,使 TFT 开关器件不会受到强光的照射而影响该 TFT 开关器件的稳定性。

[0048] 在本实施例中,第一绝缘层 20 为在对第一金属膜层进行了涂胶曝光显影以及刻

蚀和去胶的步骤,并得到挡光金属 70 后,在包含有该挡光金属 70 的基板上采用 PECVD(Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学气相沉积法)的方法所沉积的,采用第一绝缘层 20,可以便于进行下一步的光刻步骤,所采用的第一绝缘层可以为 SiN_x 。

[0049] 本发明实施例,通过 4Mask 的方式来制作 TFT 阵列基板,对沉积在经过清洗的玻璃基板 10 上的第一金属膜层进行涂胶曝光显影的制程,并通过蚀刻以及去胶的方法在玻璃基板上成形一层挡光金属 70,采用这一层挡光金属 70,可以在之后的制程中,对 TFT 开关器件起到很好的保护作用,从而可以避免其由于受到强光的照射而导致的稳定性降低的问题。

[0050] 在上述实施例中,TFT 阵列基板还包括在成形挡光金属 70 时一并成形于玻璃基板 10 上的第一存储电容的下电极 81,该第一存储电容的下电极 81 与挡光金属 70 可以通过同样的方法得到。在成形挡光金属 70 的同时,可以采用同样的方法,对沉积在玻璃基板 10 上的第一金属膜层进行涂胶曝光显影的制程,并且同样采用湿法刻蚀的方式对玻璃基板 10 上所留下的第一金属膜层进行蚀刻及去胶,从而可以得到第一存储电容的下电极 81。

[0051] 参照图 4,图 4 为在图 3 的基础上成形第一存储电容的上电极后的工艺结构示意图。

[0052] 在本实施例中,TFT 阵列基板还包括成形于第一绝缘层 20 上的第一存储电容的上电极 82,第一存储电容的上电极 82 通过对沉积在第一绝缘层 20 上的第二金属膜层进行涂胶曝光显影制程,并经过刻蚀及去胶得到。

[0053] 当得到挡光金属 70 和第一存储电容的下电极 81 后,可以采用真空溅射的方法在沉积在包含有挡光金属 70 和第一存储电容的下电极 81 的基板上的第一绝缘层 20 上沉积一层第二金属膜层,然后,采用 PECVD 的方法在该第二金属膜层上沉积一层欧姆接触层 30,并对第二金属膜层和欧姆接触层 30 进行涂胶曝光显影的制程,此处,先不对经过显影所留下的图案进行去胶,而是直接对第二金属膜层和欧姆接触层 30 进行刻蚀,在本实施例中,可以先采用干法刻蚀的方式,对欧姆接触层 30 进行刻蚀,再用湿法刻蚀的方式,对第二金属膜层进行刻蚀,然后再进行去胶的步骤。这样,就可以得到第一存储电容的上电极 82,在本实施例中,所得到的该第一存储电容的上电极 82 的金属的面积小于构成第一存储电容的下电极 81 的金属的面积。

[0054] 采用与得到第一存储电容的上电极 82 同样的方法,同时还可以成形信号线、源极金属 41 和漏极金属 42,并且在信号线、源极金属 41 和漏极金属 42,以及第一存储电容的上电极 82 的上方都附有一层欧姆接触层 30。

[0055] 参照图 5,图 5 为在图 4 的基础上刻蚀掉欧姆接触层以及成形栅电极后的结构示意图。

[0056] 在上述实施例中,在附在信号线、源极金属 41 和漏极金属 42,以及第一存储电容的上电极 82 上方的欧姆接触层 30 上,采用 PECVD 的方法沉积一层半导体层 50,并在该半导体层 50 上方沉积一层第二绝缘层 60,本实施例中,半导体层 50 可以为 a-Si,第二绝缘层 60 可以为 SiN_x ,然后在第二绝缘层 60 上方采用真空溅射的方法沉积一层第三金属膜层;并对第三金属膜层、半导体层 50 和第二绝缘层 60 进行涂胶曝光显影的制程,在本实施例中,可以先用湿法刻蚀的方式,对第三金属膜层进行刻蚀,再用干法刻蚀的方式,对半导体层 50 和第二绝缘层 60 进行刻蚀,最后再进行去胶的步骤。在这个步骤中,附在漏极金属 42 上的

一部分欧姆接触层 30 和附在第一存储电容的上电极 82 上的欧姆接触层 30 同时被刻蚀掉，并且成形了栅电极 40。

[0057] 参照图 6，图 6 为在图 5 的基础上成形第二存储电容的上电极后的工艺结构示意图。

[0058] 在本实施例中，当附在栅电极 40 的漏极金属 42 上的部分欧姆接触层 30 和附在第一存储电容的上电极 82 上的欧姆接触层 30 被刻蚀掉，并且成形了栅电极 40 后，采用 PECVD 的方法在玻璃基板 10 上此时所留下的图案的上方沉积一层保护层，并且对该保护层进行涂胶曝光显影的制程，在这个步骤中，所采用的曝光为半曝光，并且需要采用半曝光罩。经历了涂胶曝光显影后，用干法刻蚀的方式，在保护层上蚀刻出两个通孔，即通孔 1 和通孔 2，然后在蚀刻了通孔 1 和通孔 2 的保护层上采用真空溅射的方法沉积一层 ITO 膜 90，并且最终成形第二存储电容的上电极和像素 ITO 电极。本实施例中，当在保护层上沉积了 ITO 膜 90 后，该 ITO 膜 90 通过通孔 1 与栅电极 40 的漏极金属 42 连接，便可成形像素电极；同时，ITO 膜通过通孔 2 与构成第一存储电容下电极 81 的金属连接，就可以形成第二存储电容的上电极。这样，便完成了 TFT 阵列基板的制作方法的全部步骤。

[0059] 在上述实施例中，第一存储电容的上电极 82 可以作为第二存储电容的下电极使用，第二存储电容的下电极和 ITO 膜 90 通过通孔 2 与第一存储电容下电极 81 的金属连接所成形的第二存储电容的上电极共同构成第二存储电容。这样，第一存储电容和第二存储电容便实现了其之间的并联连接，从而共同构成像素的存储电容。

[0060] 将第一存储电容的上电极 82 作为第二存储电容的下电极，当 ITO 膜 90 通过通孔 2 和构成第一存储电容下电极 81 的金属相连接后，就成形了第二存储电容的上电极，这样，第一存储电容和第二存储电容便可以实现并联连接，采用这种连接的方式，在需要增大存储电容的电容值时，可以同时保证存储电容的面积减小，这样，便可以在很大程度上提高相应像素的开口率。

[0061] 以上所述仅为本发明的优选实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围。

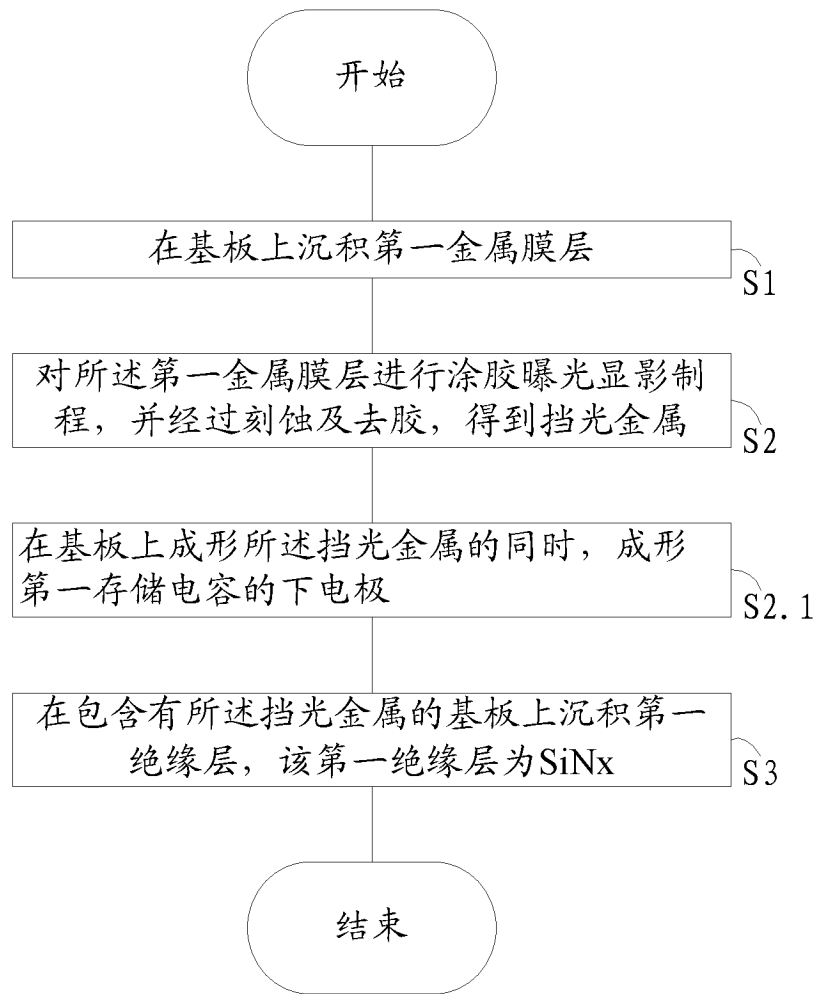


图 1

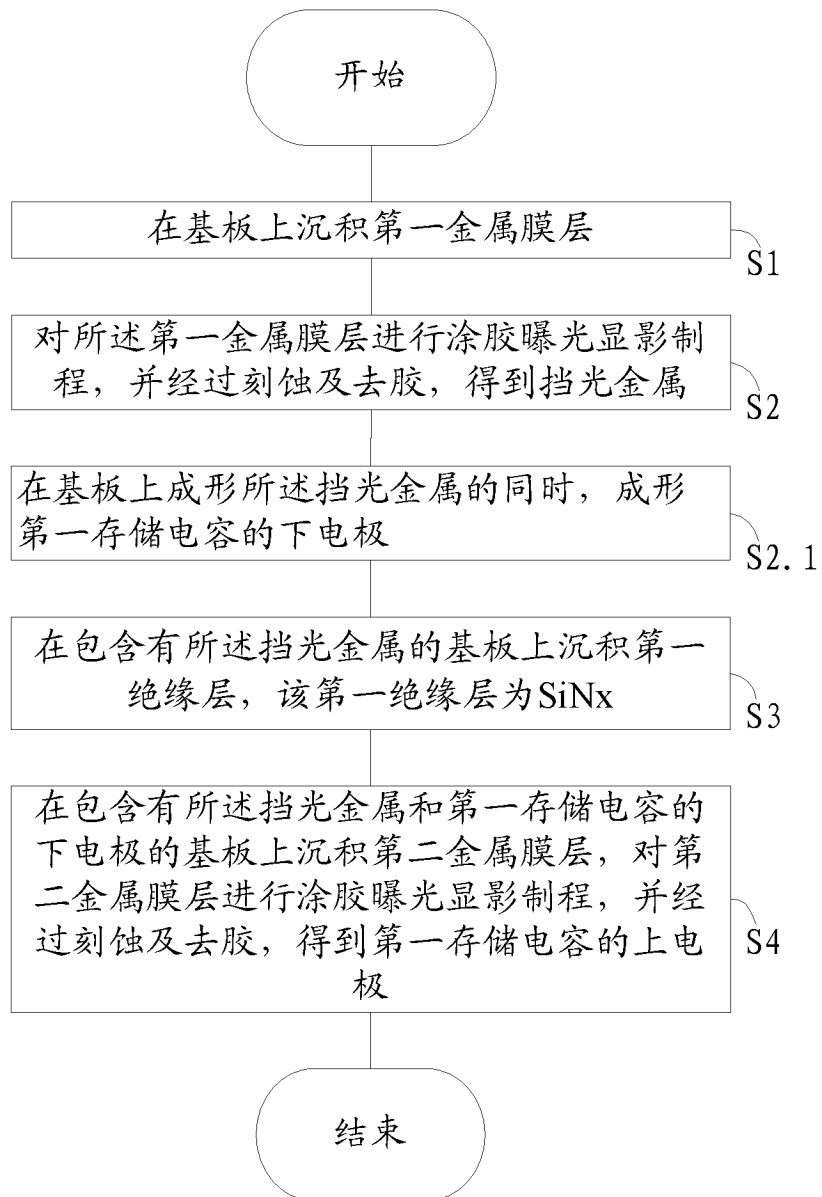


图 2

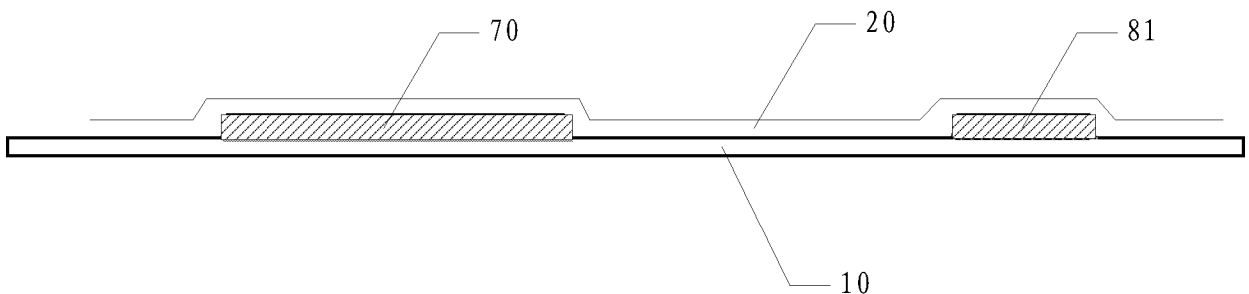


图 3

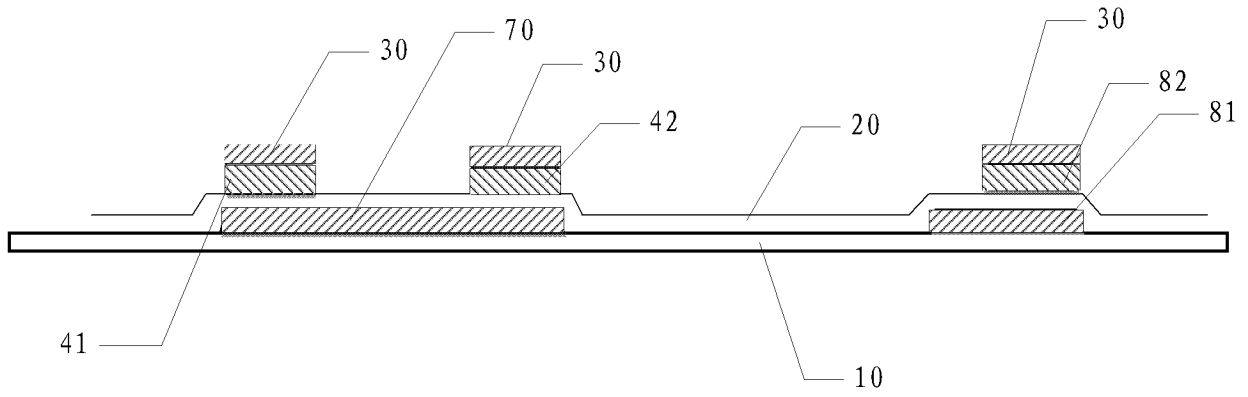


图 4

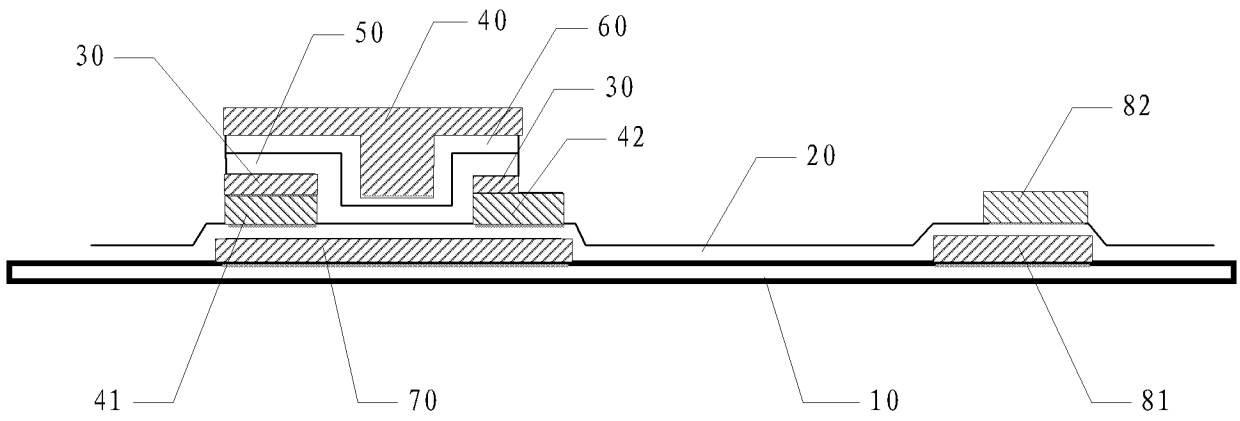


图 5

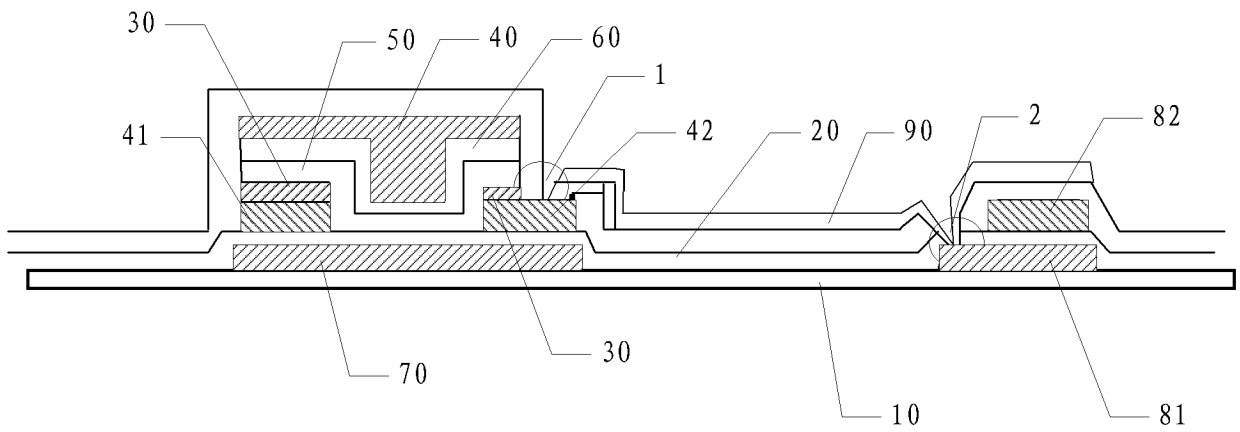


图 6