



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월26일
(11) 등록번호 10-0860503
(24) 등록일자 2008년09월22일

(51) Int. Cl.

HO4L 27/01 (2006.01) HO4L 1/00 (2006.01)

(21) 출원번호 10-2007-0031409

(22) 출원일자 2007년03월30일

심사청구일자 2007년03월30일

(56) 선행기술조사문헌

KR20050003367 A

(뒷면에 계속)

(73) 특허권자

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

임동국

충남 논산시 강산동 652번지

김재명

서울 용산구 서빙고동 신동아 아파트 3동 1001호

(74) 대리인

이원희

전체 청구항 수 : 총 8 항

심사관 : 최진호

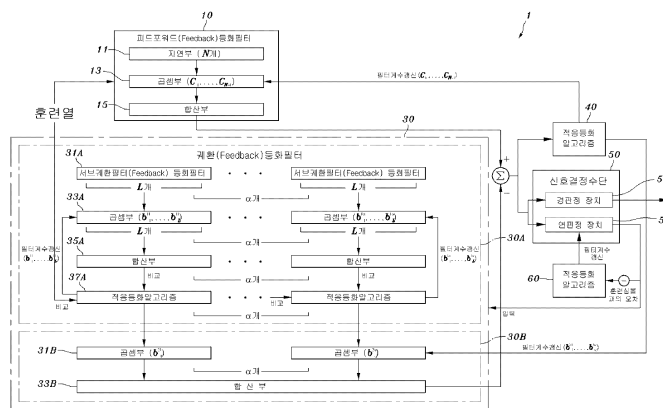
(54) 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환등화기

(57) 요약

본 발명은 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기에 관한 것으로서, 종래 결정 궤환 등화기의 오류 전달 현상을 제거하기 위하여 궤환(Feedback) 등화 필터를 계층적인 구조를 사용하고, 단계적으로 오류를 측정하여 이를 제거함으로써, 궤환 등화 필터에서 잘못된 추정 심볼로 인한 오류가 전달되는 현상을 방지할 수 있는 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기를 제공하기 위한 것이다.

그 기술적 구성은 입력되는 훈련열을 바탕으로 실제 정보를 담고 있는 입력 신호의 Pre-ISI 또는 Post-ISI를 제거하여 오류 전달을 방지하는 등화 필터; 상기 등화 필터로 측정된 Pre-ISI 또는 Post-ISI 제거를 위한 필터 계수가 저장되는 필터계수 저장수단; 상기 입력 신호와 상기 필터계수 저장수단에 저장된 필터계수를 곱하여 상기 입력 신호의 왜곡을 보상하는 신호 출력 수단; 연관정 장치 및 경관정 장치로 출력된 신호에 대한 정확한 정보를 추정하는 신호 결정 수단; 을 포함하여 이루어져, 상기 궤환 등화 필터의 탭 수를 감소시켜 보다 큰 크기의 단계를 사용하여 보다 빠르게 신호의 왜곡을 보상할 수 있고, 선형 1 탭 등화기인 연관정 장치를 경관정 장치를 사용하는 신호 결정 수단에 적용시킴으로써, 추정된 심볼에 대한 잘못된 결정을 방지하며, 수신기의 성능을 향상시키는 등의 효과가 있다.

대표도



(56) 선행기술조사문헌
KR20070075493 A
KR20050067327 A
KR20070077328 A
KR06884420000 B1

특허청구의 범위

청구항 1

입력되는 훈련열을 바탕으로 실제 정보를 담고 있는 입력 신호의 Pre-ISI(Precursor-Inter Symbol Interference) 또는 Post-ISI(Postcursor-Inter Symbol Interference)를 제거하여 오류 전달을 방지하는 등화 필터;

상기 등화 필터로 측정된 Pre-ISI 또는 Post-ISI 제거를 위한 필터 계수가 저장되는 필터계수 저장수단;

상기 입력 신호와 상기 필터계수 저장수단에 저장된 필터계수를 곱하여 상기 입력 신호의 왜곡을 보상하는 신호 출력 수단;

연관정 장치 및 경관정 장치로 출력된 신호에 대한 정확한 정보를 추정하는 신호 결정 수단;
을 포함하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

청구항 2

제1항에 있어서,

상기 등화 필터는

입력되는 훈련열을 바탕으로 실제 정보를 담고 있는 입력 신호에서 적응 등화 알고리즘으로 필터 계수를 설정하여 Pre-ISI를 제거하기 위한 피드포워드(Feedforward) 등화 필터;

잘못된 심볼 결정으로 발생하는 오류 및 상기 적응 등화 알고리즘으로 Post-ISI를 제거하기 위하여 필터 계수를 설정하는 계층적 구조의 케환(Feedback) 등화 필터;

를 포함하여 이루어지는 것을 특징으로 하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

청구항 3

제2항에 있어서,

상기 케환(Feedback) 등화 필터는 상기 연관정 장치의 출력이 순차적으로 입력되어, 이를 순차적으로 지연시키는 하나 이상의 서브 케환 등화 필터; 로 이루어지고, 각각의 서브 케환 등화 필터는 적응형 등화 알고리즘을 통해 필터 계수를 갱신하는 것을 특징으로 하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

청구항 4

제3항에 있어서,

상기 각 서브 케환 등화 필터에서 오류를 측정하고, 개별적으로 필터 계수를 갱신하는 것을 특징으로 하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

청구항 5

제2항에 있어서,

상기 케환 등화 필터는

상기 피드포워드 등화 필터의 출력이 순차적으로 하나 이상의 서브 케환 등화 필터로 입력되어 지연되고, 검출된 심볼에 의한 Post-ISI를 제거하기 위한 필터 계수로 곱셈된 값이 합산되어 출력되는 제1 계층 구조;

상기 제1 계층 구조의 출력을 입력으로, 적응 등화 알고리즘을 통하여 제거되지 않은 Post-ISI를 제거하고, 필터 계수로 곱셈된 값이 합산되어 출력되는 제2 계층 구조;

를 포함하여 이루어지는 것을 특징으로 하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

청구항 6

제1항에 있어서,

상기 피드포워드 등화 필터의 출력값에서 케환 등화 필터의 출력값이 감산되어 입력되는 상기 신호 결정 수단은 상기 입력에서 왜곡된 신호를 보상하여 출력하는 경관정 장치; 및

상기 입력을 가지고, 훈련 심볼과의 오차를 추정하여 상기 서브 케환 등화 필터로 출력하는 1 탭 등화기인 연관정 장치;

를 포함하여 추정된 심볼의 결정값을 출력시키는 것을 특징으로 하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

청구항 7

제6항에 있어서,

상기 연관정 장치의 출력에 적응 등화 알고리즘을 통하여, 상기 1 탭 등화기의 필터 계수를 갱신하는 것을 특징으로 하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

청구항 8

제1항에 있어서,

상기 신호 결정 수단의 입력값은 적응 등화 알고리즘으로 훈련열과의 비교를 통해 피드포워드 등화 필터의 곱셈부 필터 계수와, 상기 케환 등화 필터의 제2 계층 구조 곱셈부 필터 계수를 갱신하는 것을 특징으로 하는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기에 관한 것으로, 더욱 상세하게는 케환(Feedback) 등화 필터를 계층적인 구조를 사용하고, 단계적으로 오류를 측정하여 이를 제거함으로써, 케환 등화 필터에서 잘못된 추정 심볼로 인한 오류가 전달되는 현상을 방지할 수 있으며, 상기 케환 등화 필터의 탭 수를 감소시켜 보다 큰 크기의 단계를 사용하여 보다 빠르게 신호의 왜곡을 보상할 수 있고, 선형 1탭 등화기인 연관정 장치를 경관정 장치를 사용하는 신호 결정 수단에 적용시킴으로써, 추정된 심볼에 대한 잘못된 결정을 방지하며, 수신기의 성능을 향상시키는 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기에 관한 것이다.
- <23> 일반적으로, 데이터의 무선 송, 수신에 있어서 송신 신호는 채널에 의해 왜곡되어 인접 심볼간의 간섭(ISI: Inter-Symbol Interference)을 발생시키므로, 수신기가 올바른 신호를 판별하기 위해서는 등화기(Equalizer)를 사용하여 왜곡된 신호를 보상하는 것이 필요하다.
- <24> 이는, 다수의 고정된 장애물 등에 의해 발생하는 시변화 다중 경로 전파는 같은 신호가 각기 다른 전파 시간을 갖는 여러개의 경로를 통해 전달되므로, 디지털 전송에 있어서는 고속의 디지털 통신 시스템의 성능 저하를 저하시키고, 신호의 왜곡이 수신측에서 비트 검출 오류를 발생시키므로, 수신 신호로부터 채널 등화를 위하여 송신측에서 일정 기간 동안 수신기에서 미리 알고 있는 데이터 열을 전송하고, 수신측에서는 채널을 통하여 왜곡된 데이터 펄스의 파형과 원래의 파형을 비교하여 채널의 왜곡 정도를 추정한다.
- <25> 그러나, 상기 등화기는 케환(Feedback) 성분이 존재하여 등화기의 안정성이 감소되고, 채널에 의한 신호의 지연 시간이 증가할수록 등화기에 사용되는 케환 필터의 탭 수가 증가하고, 이에 따른 행렬식 계산의 양의 증가로 등화기의 채널 적응 속도를 저하시키고, 결정 수단에서 잘못된 오류 추정으로 인한 케환 필터로의 오류 전달 현상으로 영향을 받게 되는 심볼의 수가 증가하여 결정 케환 등화기의 신호 보정 능력이 감소되는 등의 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

<26> 본 발명은 상기한 문제점을 해결하기 위하여 안출한 것으로, 케환(Feedback) 등화 필터를 계층적인 구조를 사용하고, 단계적으로 오류를 측정하여 이를 제거함으로써, 케환 등화 필터에서 잘못된 추정 심볼로 인한 오류가 전달되는 현상을 방지할 수 있으며, 상기 케환 등화 필터의 탭 수를 감소시켜 보다 큰 크기의 단계를 사용하여 보다 빠르게 신호의 왜곡을 보상할 수 있고, 선형 1탭 등화기인 연판정 장치를 경판정 장치를 사용하는 신호 결정 수단에 적용시킴으로써, 추정된 심볼에 대한 잘못된 결정을 방지하며, 수신기의 성능을 향상시키는 계층적 케환 필터 및 연판정 장치를 이용한 결정 케환 등화기를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<27> 상기한 바와 같은 목적을 달성하기 위하여 본 발명은 입력되는 훈련열을 바탕으로 실제 정보를 담고있는 입력 신호의 Pre-ISI 또는 Post-ISI를 제거하여 오류 전달을 방지하는 등화 필터; 상기 등화 필터로 측정된 Pre-ISI 또는 Post-ISI 제거를 위한 필터 계수가 저장되는 필터계수 저장수단; 상기 입력 신호와 상기 필터계수 저장수단에 저장된 필터계수를 곱하여 상기 입력 신호의 왜곡을 보상하는 신호 출력 수단; 연판정 장치 및 경판정 장치로 출력된 신호에 대한 정확한 정보를 추정하는 신호 결정 수단; 을 포함한다.

<28> 그리고, 상기 등화 필터는 입력되는 훈련열을 바탕으로 실제 정보를 담고 있는 입력 신호에서 적응 등화 알고리즘으로 필터 계수를 설정하여 Pre-ISI를 제거하기 위한 피드포워드(Feedforward) 등화 필터; 잘못된 심볼 결정으로 발생하는 오류 및 상기 적응 등화 알고리즘으로 Post-ISI를 제거하기 위하여 필터 계수를 설정하는 계층적 구조의 케환(Feedback) 등화 필터; 를 포함하여 이루어지는 것을 특징으로 한다.

<29> 여기서, 상기 케환(Feedback) 등화 필터는 상기 연판정 장치의 출력이 순차적으로 입력되어, 이를 순차적으로 지연시키는 α 개의 서브 케환 등화 필터; 로 이루어져, 각각의 서브 케환 등화 필터는 적응형 등화 알고리즘을 통해 필터 계수를 갱신하는 것을 특징으로 한다.

<30> 이때, 상기 각 서브 케환 등화 필터에서 오류를 측정하고, 개별적으로 필터 계수를 갱신하는 것을 특징으로 한다.

<31> 여기서, 상기 케환 등화 필터는 상기 피드포워드 등화 필터의 출력이 순차적으로 α 개의 서브 케환 등화 필터로 입력되어 지연되고, 검출된 심볼에 의한 Post-ISI를 제거하기 위한 필터 계수로 곱셈된 값이 합산되어 출력되는 제1 계층 구조; 상기 제1 계층 구조의 출력력을 입력으로, 적응 등화 알고리즘을 통하여 제거되지 않은 Post-ISI를 제거하고, 필터 계수로 곱셈된 값이 합산되어 출력되는 제2 계층 구조; 를 포함하여 이루어지는 것을 특징으로 한다.

<32> 또한, 상기 피드포워드 등화 필터의 출력값에서 케환 등화 필터의 출력값이 감산되어 입력되는 상기 신호 결정 수단은 상기 입력에서 왜곡된 신호를 보상하여 출력하는 경판정 장치; 및 상기 입력을 가지고, 훈련 심볼과의 오차를 추정하여 상기 서브 케환 등화 필터로 출력하는 1 탭 등화기인 연판정 장치; 를 포함하여 추정된 심볼의 결정값을 출력시키는 것을 특징으로 한다.

<33> 여기서, 상기 연판정 장치의 출력에 적응 등화 알고리즘을 통하여, 상기 1 탭 등화기의 필터 계수를 갱신하는 것을 특징으로 한다.

<34> 그리고, 상기 신호 결정 수단의 입력값은 적응 등화 알고리즘으로 훈련열과의 비교를 통해 피드포워드 등화 필터의 곱셈부 필터 계수와, 상기 케환 등화 필터의 제2 계층 구조 곱셈부 필터 계수를 갱신하는 것을 특징으로 한다.

<35> 이하, 본 발명에 따른 실시예를 첨부된 예시도면을 참고로 하여 상세하게 설명한다.

<36> 도 1은 본 발명에 따른 계층적 케환 필터 및 연판정 장치를 이용한 결정 케환 등화기를 개략적으로 도시한 블록도이고, 도 2는 본 발명에 따른 계층적 케환 필터 및 연판정 장치를 이용한 결정 케환 등화기를 기호화하여 개략적으로 도시한 도이다.

<37> 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 계층적 케환 필터 및 연판정 장치를 이용한 결정 케환 등화기(1)는 피드포워드(Feedforward) 등화 필터(10)와 케환(Feedback) 등화 필터(30)와 신호 결정 수단(50)을 포함하여 이루어진다.

<38> 여기서, 계층적 케환 필터(Hierarchical Feedback Filter) 및 연판정 장치(Soft Decision Device)를 이용한 결

정 제환 등화기(1)는 같은 신호가 각기 다른 전파 시간을 갖는 여러개의 경로를 통해 전달되어 디지털 신호의 전송에 있어서, 고속의 디지털 통신 시스템의 성능을 저하시키는 가장 큰 요인인 심볼 간 간섭(Inter-Symbol Interference: 이하, ISI 라 칭함)을 제거하기 위하여 구비되는데, 이와 같이 여러 가지 원인에 의하여 이상적인 특성을 만족하지 못하고, 신호를 전송함에 있어서 발생하는 왜곡은 수신측에서 비트 검출 오류를 일으킴으로써 신호 전체가 복원이 불가능하거나 또는 전혀 다른 신호가 수신되는 등의 현상이 발생한다.

- <39> 그래서, 이상적인 특성에서 벗어난 왜곡된 채널을 통과한 수신 신호를 처리하여 채널의 특성을 보상함으로써, 수신측에서 비트 오류 검출율(BER: Bit Error Rate)을 감소시키도록 구비된다.
- <40> 그리고, 상기 계층적 제환 필터 및 연관정 장치를 이용한 결정 제환 등화기(DFE: Decision Feedback Equalizer)(1)는 상기 수신 신호로부터 채널 등화를 하기 위해서 송신측에서 일정 기간 동안 수신기에서 미리 알고 있는 데이터 열을 전송하고, 수신측에서는 채널을 통하면서 왜곡된 데이터 펄스 파형을 비교하여 채널의 왜곡 정도를 추정하는데, 이렇게 정해진 데이터 열을 전송하는 기간을 훈련 모드(Training Mode)라 하며, 이 기간에 전송하는 데이터 열을 훈련열(Training Sequence)이라고 한다.
- <41> 여기서, 상기 훈련열은 일반적으로 의사 랜덤 수열(Pseudo Random Sequence)로 구성되며, 상기 훈련 기간이 끝나면 훈련열 대신에 판정된 데이터를 사용하는데, 이 기간을 판정 의거 모드(DD: Decision Directed Mode)라 한다.
- <42> 그래서, 상기 계층적 제환 필터 및 연관정 장치를 이용한 결정 제환 등화기(DFE: Decision Feedback Equalizer)(1)에서는 이러한 훈련열 또는 판정된 데이터를 기준 신호로 정하고, 기준 신호와 출력과의 차이를 오차 신호로 추출하며, 이 오차 신호에 의해 등화기 탭을 갱신하게 된다.
- <43> 또한, 상기 계층적 제환 필터 및 연관정 장치를 이용한 결정 제환 등화기(DFE: Decision Feedback Equalizer)(1)는 Precursor-ISI(이하, Pre-ISI 라 칭함)를 제거하는 피드포워드(Feedforward) 등화 필터(10)와 Postcursor-ISI(이하, Post-ISI 라 칭함)를 제거하는 제환(Feedback) 등화 필터(30)로 이루어지는 대칭적인 형태의 구조를 가진다.
- <44> 여기서, 상기 피드포워드 등화 필터(10)는 입력되는 훈련열(Training Sequence)을 순차적으로 지연시키는 $N(Z^{-1}, \dots, Z^{-1})$ 개의 지연부(11)를 거쳐 Pre-ISI 제거를 위하여 필터 계수(C_0, \dots, C_{N-1})를 곱셈부에서 상기 신호에 곱하고, 총 N개의 신호를 합산부(15)에서 합산하여 출력하는데, Pre-ISI 에 의한 간섭을 제거할 수 있도록 설정되어 이를 바탕으로 훈련열 구간 동안 상기 피드포워드 등화 필터(10)에 의해 설정되는 필터 계수(C_0, \dots, C_{N-1})는 필터 계수 저장 수단(미도시)에 저장된다.
- <45> 그리고, 상기 Pre-ISI 를 제거하기 위한 필터 계수 설정 시 사용된 훈련열은 훈련열 저장 버퍼(미도시)에 저장되어 Post-ISI 를 제거하기 위한 필터 계수 설정 시에 재활용하는 것이 바람직하다.
- <46> 또한, 상기 피드포워드 등화 필터(10)로부터 출력된 데이터는 적응 등화 알고리즘(40)에서 신호를 등화할 때, 필터링을 통하여 심볼을 등화하고, 필터 갱신을 수행하게 되는데, 갱신된 필터 계수는 필터 계수 저장 수단(미도시)에 임시 저장된 후, 심볼 등화를 위하여 이용되고, 오류를 측정하기 위하여 훈련열 저장 수단(미도시)에 저장된 훈련열을 이용하여 피드포워드 등화 필터(10)와 제환 등화 필터(30)에서의 오류를 측정하게 된다.
- <47> 이때, 상기 각 적응 등화 알고리즘을 이용하여 필터 계수를 갱신할 경우, 갱신된 필터 계수를 다음 심볼에 이용하기 위하여 임시로 저장하고 있는 저장 수단 등을 이용하게 되는 것이다.
- <48> 한편, 상기 제환 등화 필터(30)는 Post-ISI 를 단계적으로 확실하게 제거하기 위하여 계층적 구조의 2 단계로 나뉘는데, 제1 계층 구조(30A)에서는 상기 신호 결정 수단(50)의 연관판정 장치(53)로부터의 출력이 입력되고, 상기 입력되는 값들은 순차적으로 총 L 개의 지연기로 이루어진, 즉 L 개의 탭 수를 가지는 서브 제환(Feedback) 등화 필터(31A)가 a 개 구비된다.
- <49> 여기서, 상기 제1 계층 구조(30A)에서는 검출된 심볼에 의한 Post-ISI 를 제거하기 위한 필터 계수를 설정하는 단계로, 서브 제환 등화 필터(31A)에서 다수의 지연기에 의하여 순차적으로 지연되어 a 개의 곱셈부(33A)로 출력되고, 각각의 필터 계수($b_{11}^{11}, \dots, b_{l1}^{11}$)가 서브 제환 등화 필터(31A)로부터 나온 출력과 곱하여져 a 개의 합산부(35A)에서 합산된다.
- <50> 그리고, 각각의 서브 제환 등화 필터(31A)로 입력되어 검출된 심볼에 대한 등화(Equalize)를 수행하게 되는데,

상기 합산부(35A)로부터 출력된 결과값은 a 개의 적응 등화 알고리즘(37A)을 이용 훈련열과 비교하여 상기 곱셈부(33A)의 필터 계수($b_{11}^{11}, \dots, b_{L1}^{11}$)를 갱신하게 된다.

- <51> 또한, 상기 제1 계층 구조(30A)에서 출력된 출력값은 제2 계층 구조(30B)에서 입력값으로 입력되는데, 제2 계층 구조(30B)에서는 상기의 입력값으로 곱셈부(31B)에서 a 개의 각각의 곱셈기를 이용하여 필터 계수($b_{11}^{21}, \dots, b_{2a}^{21}$)와 곱하고, 합산부(33B)를 통하여 합산한 후, 상기 케환 등화 필터(30)의 출력값으로 출력하게 된다.
- <52> 여기서, 상기 피드포워드 등화 필터(10)의 출력값에서 상기 케환 등화 필터(30)의 출력을 감산한 값은 신호 결정 수단(50)의 입력값으로 입력되고, 각각 경판정 장치(Hard-Decision Device, 51)와, 연판정 장치(Soft-Decision Device, 53)의 입력으로써 들어간다.
- <53> 그리고, 상기 신호 결정 수단(50)의 입력값은 적응 등화 알고리즘(40)에 의하여 훈련 신호와 비교를 통해 상기 피드포워드 등화 필터(10)의 필터 계수(C_0, \dots, C_{N-1}) 및 상기 케환 등화 필터(30)의 제2 계층 구조(30B)의 필터 계수($b_{11}^{21}, \dots, b_{2a}^{2a}$)를 갱신하게 되고, 갱신된 각 필터 계수들은 상기 필터 계수 저장 수단(미도시)에 저장 되는 것이 바람직하다.
- <54> 또한, 경판정 장치(51)를 통하여 계층적 케환 필터 및 연판정 장치를 이용한 결정 케환 등화기(1)의 출력값을 얻을 수 있으며, 상기 연판정 장치(53)를 통하여 상기 케환 등화 필터(30)의 제1 계층 구조(30A)로 입력되도록 출력값을 내보낸다.
- <55> 이때, 상기 연판정 장치(53)의 출력값과 적응 등화 알고리즘(60)을 이용하여 연판정 장치(53)로 이용된 1 탭 등화기의 필터 계수를 갱신한다.
- <56> 상기한 바와 같이, 상기의 과정을 통해 훈련 구간 동안 갱신된 각 필터 계수 값들을 가지고, 훈련열이 끝나고 실제 데이터에 대해서 상기의 피드포워드 등화 필터(10) 및 케환 등화 필터(30) 등의 필터 수단 및 신호 결정 수단(50)을 이용하여 왜곡된 신호의 보상을 수행하게 된다.
- <57> 즉, 훈련열 구간이 종료되고, 실제 데이터 심볼(Data Symbol)이 수신되는 구간에서는 수신된 데이터 심볼과 상기 필터 계수 저장 수단(미도시)에 저장된 Pre-ISI 및 Post-ISI 제거를 위한 각 필터 계수 값을 이용하여 왜곡된 신호에 대하여 보상을 수행하는 것이다.
- <58> 도 3은 본 발명에 따른 계층적 케환 필터 및 연판정 장치를 이용한 결정 케환 등화기 중 신호 결정 수단 및 적응 등화 알고리즘을 도시한 도이고, 도 4는 본 발명에 따른 계층적 케환 필터 및 연판정 장치를 이용한 결정 케환 등화기 중 케환 등화 필터를 개략적으로 도시한 도이며, 도 1을 참조하여 설명한다. 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 신호 결정 수단(50)은 결정의 오류를 줄이기 위하여, 선형 1 탭 등화기를 이용한 연판정 장치(53)를 이용한다.
- <59> 여기서, 피드포워드 등화 필터(10)의 출력값에서 케환 등화 필터(30)의 출력값을 감한 값인 상기 신호 결정 수단(50)의 입력값(\hat{y}_n)은 상기 연판정 장치(53)를 거쳐 훈련 심볼과의 오차 추정에 따른 추정값(\hat{z}_n)이 발생되면, 이를 상기 케환 등화 필터(30)의 입력으로 보낸다.
- <60> 그리고, 상기과 같은 심볼은 제1 계층 구조(30A)와 제2 계층 구조(30B)로 나누어진 계층적 구조의 케환 등화 필터(30)를 거치며, 2 단계에 걸쳐 필터 계수를 설정하게 된다.
- <61> 상기 제1 계층 구조(30A)에서는 검출된 심볼에 대한 Post-ISI를 제거하기 위한 필터 계수를 설정하는 것으로, 각각의 서브 케환 등화 필터(31A)로 입력되는 검출된 심볼에 대한 등화(Equalize)를 수행하며, 이는 곱셈부(33A) 및 합산부(35A)를 통해 출력되고, 이는 제2 계층 구조(30B)의 입력값이 된다.
- <62> 또한, 제2 계층 구조(30B)에서 다시 한번 적응 등화 알고리즘(37A)을 통하여 완전히 제거되지 않은 Post-ISI 를 검출한 후, 출력한다.
- <63> 여기서, 상기 피드포워드 등화 필터(10)의 출력값과, 케환 등화 필터(30)의 제1 계층 구조(30A) 및 제2 계층 구조(30B)의 출력값은 하기 수학식 1과 같다.

수학식 1

$$F_{out}(n) = \sum_{i=0}^{N-1} C_{N-1-i} r_{n+i}$$

$$B_{out}^{1p}(n) = \sum_{i=1}^L b_i^{1p} \hat{z}_{n - ((p-1)L + i)} \quad (p = 1, 2, \dots, \alpha)$$

$$B_{out}^2(n) = \sum_{i=1}^{\alpha} b_i^2 B_{out}^{1i}(n)$$

<64>

<65> 여기서, 상기 $b_i^1(b_1^1, \dots, b_a^1)$, $b_i^2(b_1^2, \dots, b_a^2)$ 는 각각 제1 계층 구조(30A) 및 제2 계층 구조(30B)에서의 필터 계수를 나타내는데, 제1 계층 구조(30A)와 제2 계층 구조(30B)에서의 케환 등화 필터(30)의 필터 계수이다.

<66> 그리고, B_{out}^1 , B_{out}^2 은 제1 계층 구조(30A)와 제2 계층 구조(30B)에서의 출력값을 나타내는데, 제1 계층 구조(20A)에서의 i 번째 서브 케환 등화 필터(31A)의 출력값은 곱셈부(33A) 및 합산부(35A)를 거쳐 제2 계층 구조(30B)에서 i 번째 곱셈부(31B)의 입력 신호가 된다.

<67> 또한, 상기 신호 결정 수단(50)에 추가적으로 구비된 연관정 장치(53)로부터 검출된 출력값은 \hat{z}_n 이고, 상기 수학식 1로부터 나타난 제1 계층 구조(30A) 및 제2 계층 구조(30B)의 출력값의 식으로부터 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기(1)의 결과적인 출력값은 하기 수학식 2와 같이 나타낼 수 있고, 하기 p는 각각의 서브 케환 등화 필터(31A)를 나타내기 위하여 이용한다.

수학식 2

$$\begin{aligned} \tilde{y}(n) &= F_{out}(n) - B_{out}^2(n) \\ &= \sum_{i=0}^{N-1} C_{N-1-i} r_{n+i} - \sum_{i=1}^{\alpha} b_i^2 B_{out}^{1i}(n) \\ &= \sum_{i=0}^{N-1} C_{N-1-i} r_{n+i} - \sum_{i=1}^{\alpha} \left(b_i^2 \sum_{j=1}^L b_j^{1i} \hat{z}_{n - ((p-1)L + j)} \right) \\ &\quad (p = 1, 2, \dots, \alpha) \end{aligned}$$

<68>

<69> 여기서, 상기 피드포워드 등화 필터(10)와 케환 등화 필터(30)의 탭 계수는 적응 등화 알고리즘(LMS)을 이용하고, 케환 등화 필터(30)의 경우에는 일반적으로 서브 케환 등화 필터(31A)의 탭 계수를 갱신할 경우 이용되는 오류를 나타내는데, 갱신된 필터 탭 계수는 하기 수학식 3과 같이 나타낼 수 있다.

수학식 3

$$\begin{aligned} \hat{c}(n+1) &= \hat{c}(n) + \mu_c e(n) r^*(n) \\ \hat{b}^1(n+1) &= \hat{b}^1(n) + \mu_b e^1(n) \hat{z}^*(n) \\ \hat{b}^2(n+1) &= \hat{b}^2(n) + \mu_b e(n) B_{out}^{1\alpha}(n) \end{aligned}$$

<70>

<71> 여기서, e(n)은 각각 훈련 심볼에서 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기(1)의 출력값 간의 오류를 나타내며, $e^1(n)$ 은 훈련 심볼 및 제1 계층 구조(30A)의 각각의 서브 케환 등화 필터(31A)에서의 오류를 나타내며, 하기 수학식 4와 같이 표현된다.

수학식 4

$$e_i^1(n) = d(n) - (F_{out}^{1i}(n) - B_{out}^{1i}(n))$$

<72>

<73> 도 5는 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 구동 방법을 개략적으로 도시한 흐름도이고, 도 1을 참조하여 설명한다. 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기(1)는 상기와 같은 구성을 가지고 동작 초기에는 입력되는 훈련열(Training Sequence)을 바탕으로 피드포워드 등화 필터(10)의 필터 계수(C_0, \dots, C_{N-1})에 따라 Pre-ISI에 의한 간섭을 제거하고(S10), 이를 바탕으로 훈련열 구간 동안 상기 피드포워드 등화 필터(10)에 의해 설정되는 필터 계수(C_0, \dots, C_{N-1})는 필터 계수 저장 버퍼(미도시)에 저장된다.

<74> 그리고, 상기 피드포워드 등화 필터(10)의 상기 1 탭 등화기인 연관정 장치(53)를 통하여 출력되는 출력값은 상기 케환 등화 필터(30)로 입력된다(S20).

<75> 또한, 상기 케환 등화 필터(30)로 입력된 출력값은 제1 계층 구조(30A)의 서브 케환 필터(31A)에서 지연되어 곱셈부(33A) 및 합산부(35A)를 통한 데이터와 훈련열을 비교하여 L개로 구성되어 a개 구비되는 필터 계수(b_{11}, \dots, b_{1a})를 갱신한다(S30).

<76> 여기서, 상기 제1 계층 구조(30A)의 출력값은 제2 계층 구조(30B)의 입력값으로 입력되는데, 제2 계층 구조(30B)의 곱셈부(31B) 및 합산부(33B)를 통한 출력값은 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기(1)의 전체 출력값으로 출력된다(S40).

<77> 그리고, 피드포워드 등화 필터(10)의 출력값으로부터 상기 케환 등화 필터(30)의 출력값을 감산한 값을 신호 결정 수단(50)의 입력값으로 입력시키고(S50), 상기 신호 결정 수단(50)의 입력값을 적응 등화 알고리즘(40)으로 훈련 신호와 비교하여 피드포워드 등화 필터 계수(C_0, \dots, C_{N-1}) 및 케환 등화 필터(30)의 제2 계층 구조(30B)의 a개의 필터 계수(b_{21}, \dots, b_{2a})를 갱신한다(S60).

<78> 더불어, 상기 연관정 장치(53)로부터의 출력은 케환 등화 필터(30)의 입력으로 들어가고, 적응 등화 알고리즘(60)을 이용하여 연관정 장치(53)의 1 탭 등화기의 필터 계수를 갱신한다.

<79> 상기 갱신된 각 필터 계수는 필터 계수 저장 수단(미도시)에 저장되는 것이 바람직하며, 이를 이용하여 실제 데이터에 대하여 왜곡된 신호를 보상하도록 동작한다(S80).

<80> 도 6은 도 5의 연관정 장치의 구동 방법을 개략적으로 도시한 흐름도이며, 도 1을 참조하여 설명한다. 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기(1)는 상기와 같은 구성으로, 상기 단계(S70)는 연관정 장치(53)인 선형 1탭 등화기의 출력과 훈련 심볼과의 추정된 오차를 케환 등화 필터(30)로 입력하면서 시작된다(S70-1).

<81> 그리고, 검출된 심볼에 의한 Post-ISI를 제거하기 위하여 L개의 탭 수로 구성되어 a개 구비되는 필터 계수(b_{11}, \dots, b_{1a})를 설정하고(S70-2), 상기 제1 계층 구조(30A)의 서브 케환 등화 필터(31A)로 들어오는 심볼에 의한 등화(Equalize)를 수행한다(S70-3).

<82> 또한, 각각의 적응 등화 알고리즘(37A)으로 제거되지 않은 Post-ISI를 검출하고, 케환 등화 필터(30)의 총 출력으로써 출력시킨다(S70-4).

<83> 도 7은 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기와 종래 기술에 따른 결정 케환 등화기의 S-V 제1 채널에서 BER 성능 그래프이다. 도면에서 도시하고 있는 바와 같이, 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능을 시간 지연과, 시간 지연에 따른 신호의 왜곡도를 S-V 제1 채널에서의 비트 오류율(BER: Bit Error Rate)로 비교한 그래프이다.

<84> 여기서, 제1 채널의 지연 시간이 21 심볼일 때, 이에 따른 신호의 왜곡을 보상하기 위해 종래 기술에 따른 결정 케환 등화기 및 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 피드포워드 등화 필터(Feedforward Equalize Filter)와 케환 등화 필터(Feedback Equalize Filter)의 탭 수를 8개 사용할 때

와, 16개 사용할 때의 성능을 나타낸다.

- <85> 이때, 사용한 필터의 탭 수에 무관하게 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능이 우수함을 알 수 있는데, 사용된 탭 수가 채널의 심볼 지연 시간보다 작은 8개일 경우에 더 좋은 성능을 가진다.
- <86> 도 8은 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기와 종래 기술에 따른 결정 케환 등화기의 S-V 제2 채널에서 BER 성능 그래프이다. 도면에서 도시하고 있는 바와 같이, 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능을 시간 지연과, 시간 지연에 따른 신호의 왜곡도를 S-V 제2 채널에서의 비트 오류율(BER: Bit Error Rate)로 비교한 그래프이다.
- <87> 여기서, 제2 채널의 지연 시간이 34 심볼일 때, 이에 따른 신호의 왜곡을 보상하기 위해 종래 기술에 따른 결정 케환 등화기 및 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 피드포워드 등화 필터(Feedforward Equalize Filter)와 케환 등화 필터(Feedback Equalize Filter)의 탭 수를 16개 사용할 때와, 32개 사용할 때의 성능을 나타낸다.
- <88> 이때, 사용한 필터의 탭 수에 무관하게 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능이 우수함을 알 수 있다.
- <89> 도 9는 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기와 종래 기술에 따른 결정 케환 등화기의 S-V 제3 채널의 BER 성능 그래프이다. 도면에서 도시하고 있는 바와 같이, 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능을 시간 지연과, 시간 지연에 따른 신호의 왜곡도를 S-V 제3 채널에서의 비트 오류율(BER: Bit Error Rate)로 비교한 그래프이다.
- <90> 여기서, 제3 채널의 지연 시간이 47심볼일 때, 이에 따른 신호의 왜곡을 보상하기 위해 종래 기술에 따른 결정 케환 등화기 및 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 피드포워드 등화 필터(Feedforward Equalize Filter)와 케환 등화 필터(Feedback Equalize Filter)의 탭 수를 32개 사용할 때와, 48개 사용할 때의 성능을 나타낸다.
- <91> 이때, 사용한 필터의 탭 수에 무관하게 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능이 우수함을 알 수 있는데, 사용된 탭 수가 채널의 심볼 지연 시간보다 작은 32개일 경우에 더 좋은 성능을 가진다.
- <92> 도 10은 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기와 종래 기술에 따른 결정 케환 등화기의 S-V 제4 채널의 BER 성능 그래프이다. 도면에서 도시하고 있는 바와 같이, 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능을 시간 지연과, 시간 지연에 따른 신호의 왜곡도를 S-V 제4 채널에서의 비트 오류율(BER: Bit Error Rate)로 비교한 그래프이다.
- <93> 여기서, 제4 채널의 지연 시간이 76 심볼일 때, 이에 따른 신호의 왜곡을 보상하기 위해 종래 기술에 따른 결정 케환 등화기 및 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 피드포워드 등화 필터(Feedforward Equalize Filter)와 케환 등화 필터(Feedback Equalize Filter)의 탭 수를 32개 사용할 때와, 47개 사용할 때와, 64개를 사용할 때의 성능을 나타낸다.
- <94> 이때, 사용한 필터의 탭 수에 무관하게 본 발명에 따른 계층적 케환 필터 및 연관정 장치를 이용한 결정 케환 등화기의 성능이 우수함을 알 수 있는데, 이는 동일한 등화 범위에서도 추정의 정확도를 높여줄 수 있음을 의미한다.
- <95> 마지막으로, 필터 탭 계수를 갱신하기 위하여 개별적으로 각각의 필터 출력값과 훈련 심볼과의 오류를 측정하여 이용하고 있으며, 케환 등화 필터의 구조를 계층적인 필터 구조를 이용함으로써, 단계적으로 오류를 측정하여 제거할 수 있고, 상기 케환 등화 필터에서 에러전달의 발생을 감쇠시킬 수 있으며, 케환 등화 필터의 탭 수를 줄임으로써, 보다 큰 단계 크기를 적용하여 보다 빠른 MSE를 구하여 오류를 줄일 수 있다.
- <96> 이상에서는 본 발명의 바람직한 실시예를 예시적으로 설명하였으나, 본 발명의 범위는 이같은 특정 실시예에만 한정되지 않으며 해당 분야에서 통상의 지식을 가진자라면 본 발명의 특허 청구 범위내에 기재된 범주 내에서 적절하게 변경이 가능 할 것이다.

발명의 효과

- <97> 이상에서 설명한 바와 같이 상기와 같은 구성을 갖는 본 발명은 케환(Feedback) 등화 필터를 계층적인 구조를

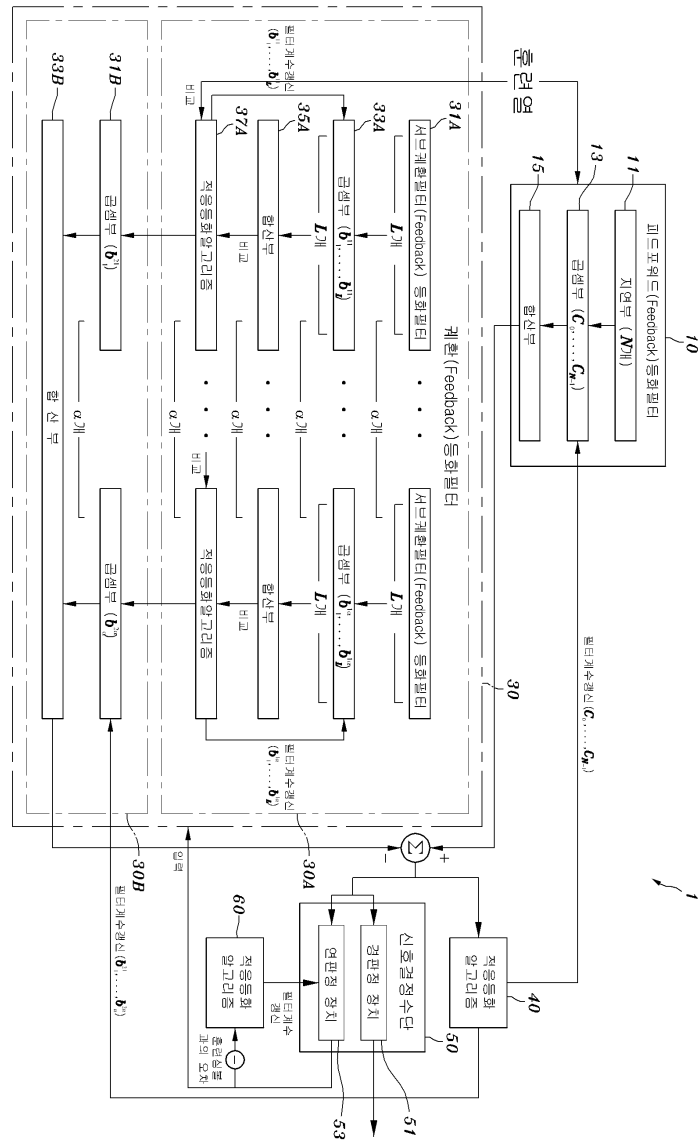
사용하고, 단계적으로 오류를 측정하여 이를 제거함으로써, 궤환 등화 필터에서 잘못된 추정 심볼로 인한 오류가 전달되는 현상을 방지할 수 있으며, 상기 궤환 등화 필터의 탭 수를 감소시켜 보다 큰 크기의 단계를 사용하여 보다 빠르게 신호의 왜곡을 보상할 수 있고, 선형 1탭 등화기인 연관정 장치를 경관정 장치를 사용하는 신호 결정 수단에 적용시킴으로써, 추정된 심볼에 대한 잘못된 결정을 방지하며, 수신기의 성능을 향상시키는 등의 효과를 거둘 수 있다.

도면의 간단한 설명

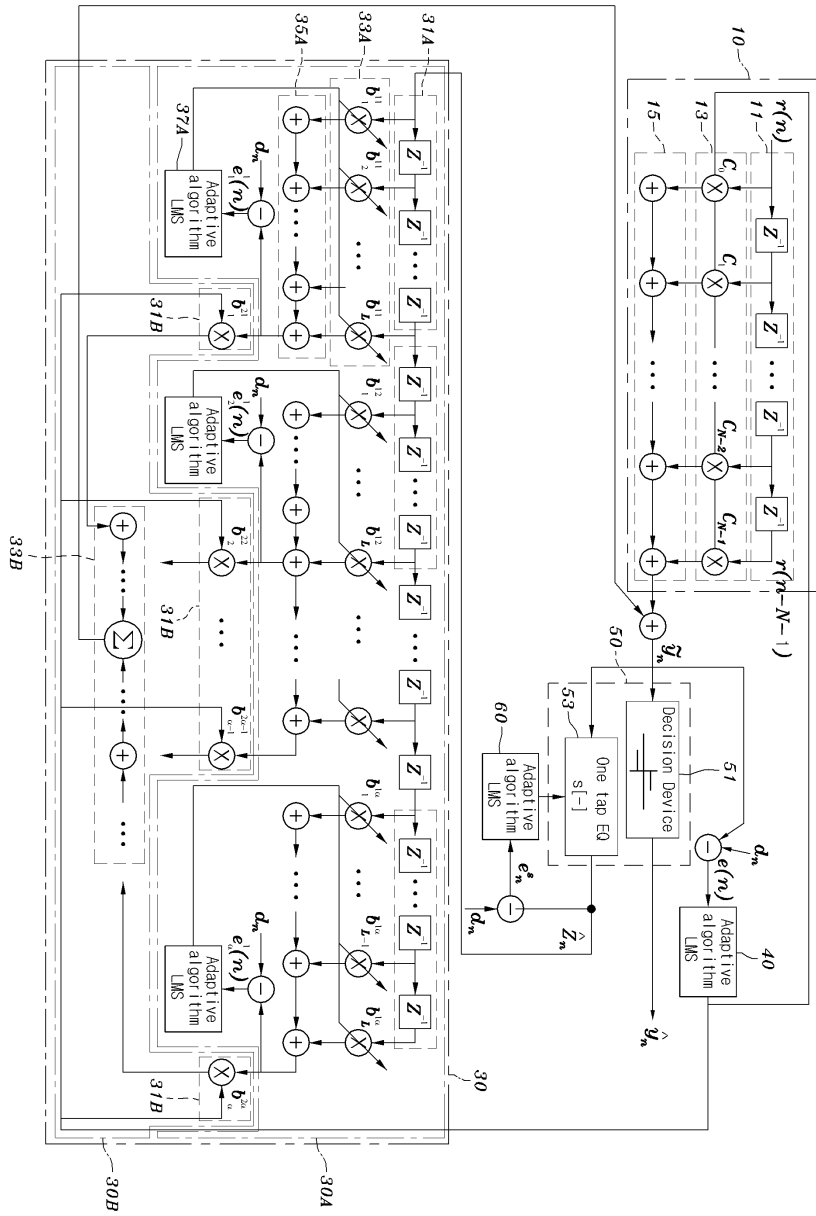
- <1> 도 1은 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기를 개략적으로 도시한 블록도.
- <2> 도 2는 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기를 기호화하여 개략적으로 도시한 도.
- <3> 도 3은 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기 중 신호 결정 수단 및 적응 등화 알고리즘을 도시한 도.
- <4> 도 4는 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기 중 궤환 등화 필터를 개략적으로 도시한 도.
- <5> 도 5는 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기의 구동 방법을 개략적으로 도시한 흐름도.
- <6> 도 6은 도 5의 연관정 장치의 구동 방법을 개략적으로 도시한 흐름도.
- <7> 도 7은 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기와 종래 기술에 따른 결정 궤환 등화기의 S-V 제1 채널에서 BER 성능 그래프.
- <8> 도 8은 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기와 종래 기술에 따른 결정 궤환 등화기의 S-V 제2 채널에서 BER 성능 그래프.
- <9> 도 9는 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기와 종래 기술에 따른 결정 궤환 등화기의 S-V 제3 채널의 BER 성능 그래프.
- <10> 도 10은 본 발명에 따른 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기와 종래 기술에 따른 결정 궤환 등화기의 S-V 제4 채널의 BER 성능 그래프.
- <11> <도면의 주요 부분에 대한 도면 부호의 간단한 설명>
- <12> 1: 계층적 궤환 필터 및 연관정 장치를 이용한 결정 궤환 등화기
- <13> 10: 피드포워드 등화 필터
- <14> 13: 곱셈부
- <15> 30: 궤환 등화 필터
- <16> 31A: 서브 궤환 등화 필터
- <17> 35A: 합산부
- <18> 30B: 제2 계층 구조
- <19> 33B: 합산부
- <20> 50: 신호 결정 수단
- <21> 53: 연관정 장치
- 11: 지연부
- 15: 합산부
- 30A: 제1 계층 구조
- 33A: 곱셈부
- 37A: 적응 등화 알고리즘
- 31B: 곱셈부
- 40: 적응 등화 알고리즘
- 51: 경관정 장치
- 60: 적응 등화 알고리즘

도면

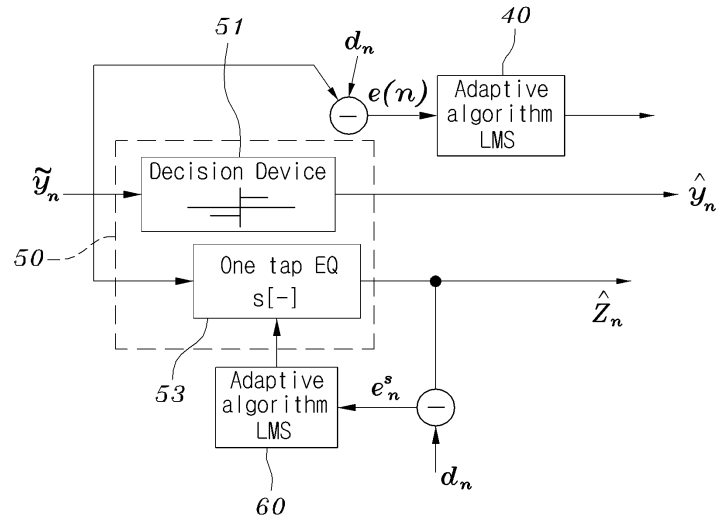
도면1



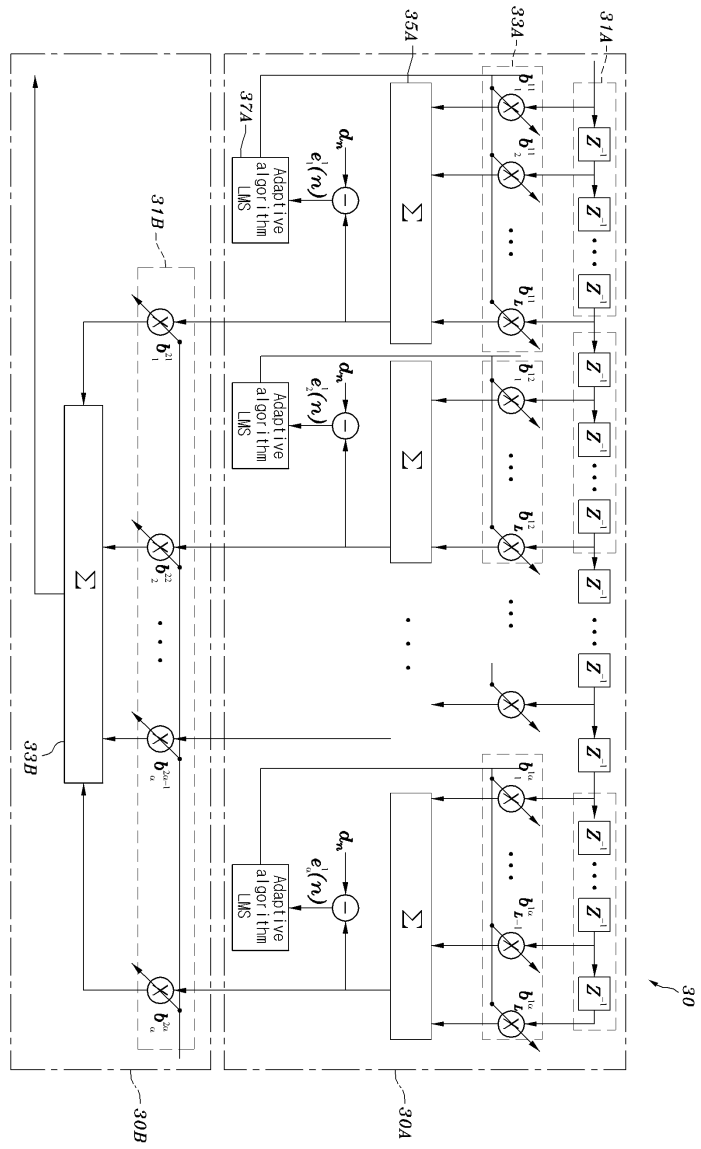
도면2



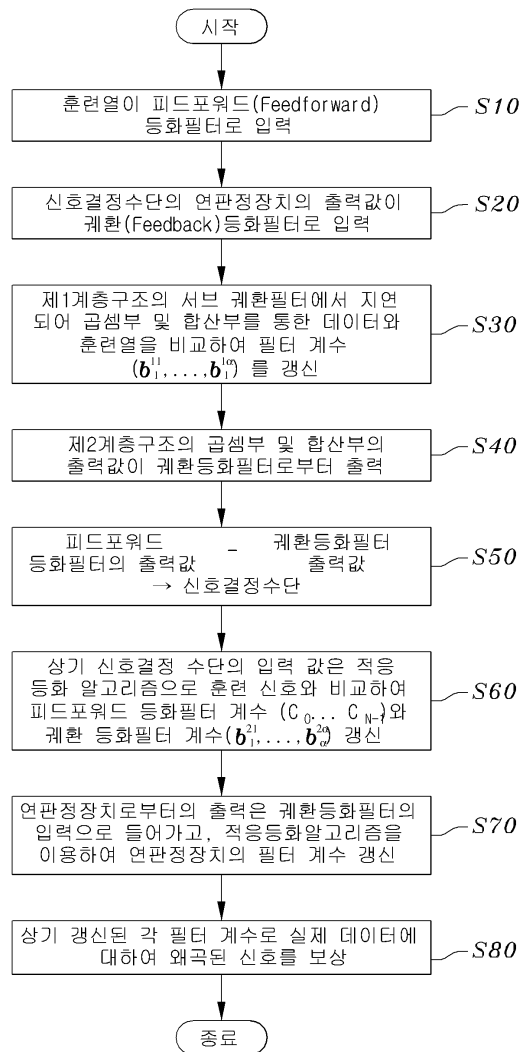
도면3



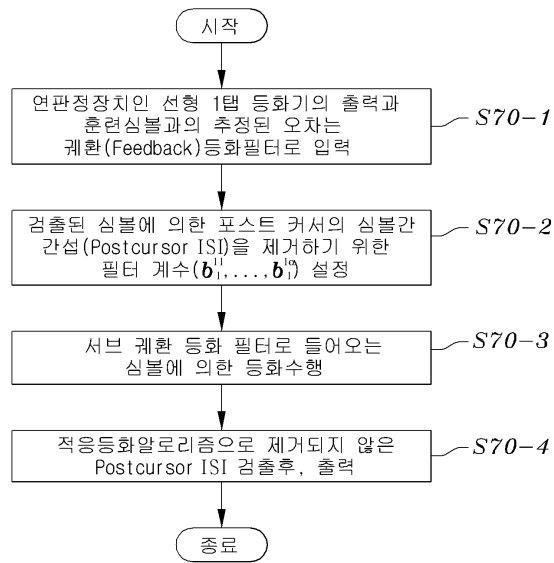
도면4



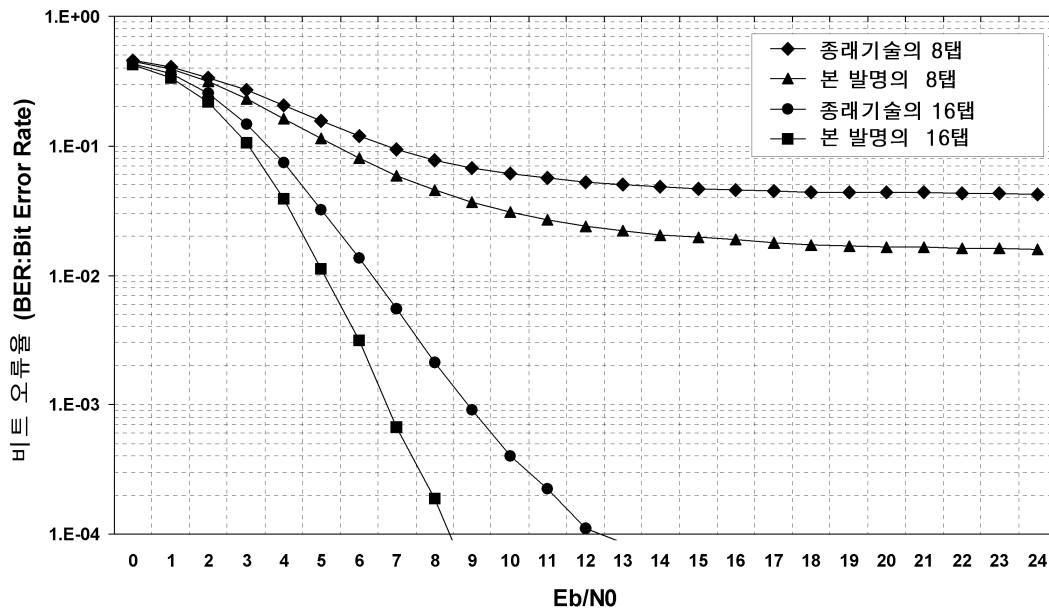
도면5



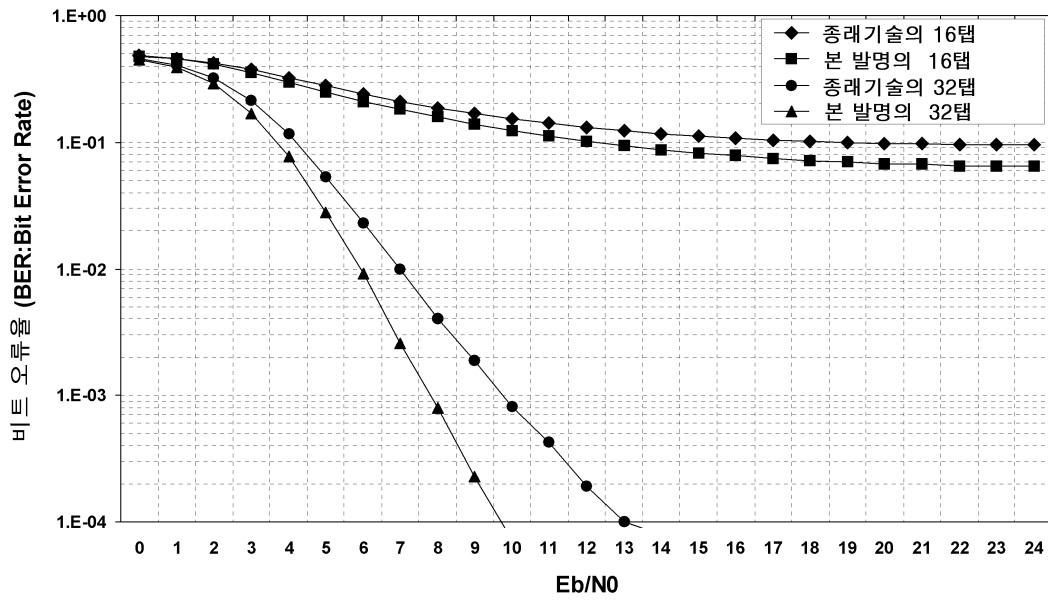
도면6



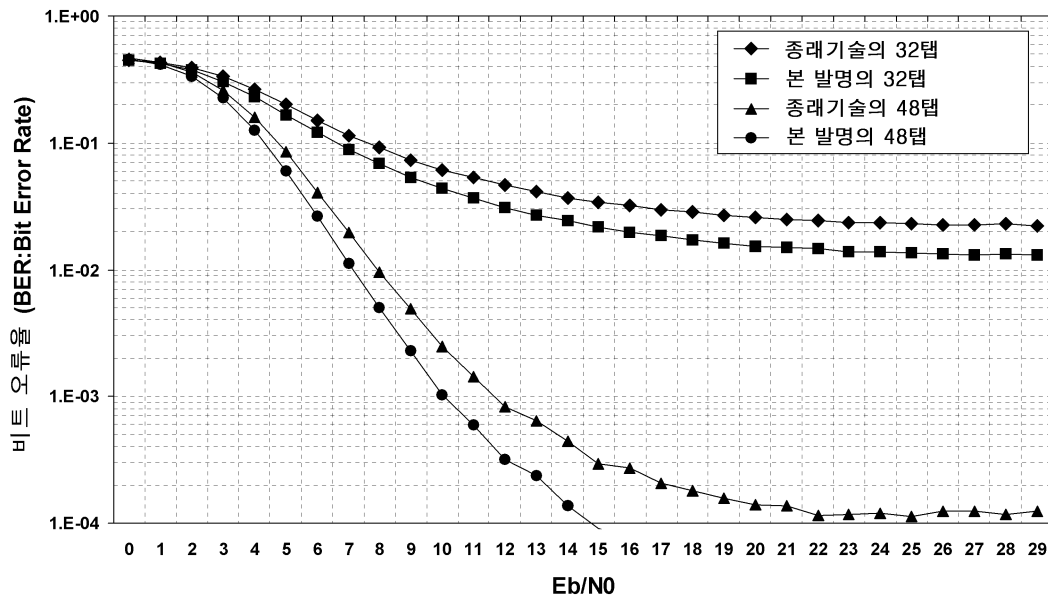
도면7



도면8



도면9



도면10

