

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-112012

(P2009-112012A)

(43) 公開日 平成21年5月21日(2009.5.21)

(51) Int.Cl. F I テーマコード (参考)  
 H04 J 11/00 (2006.01) H04 J 11/00 Z 5 K O 2 2

審査請求 未請求 請求項の数 52 O L (全 39 頁)

(21) 出願番号 特願2008-278958 (P2008-278958)  
 (22) 出願日 平成20年10月29日 (2008.10.29)  
 (31) 優先権主張番号 0721269.9  
 (32) 優先日 平成19年10月30日 (2007.10.30)  
 (33) 優先権主張国 英国 (GB)  
 (31) 優先権主張番号 0722645.9  
 (32) 優先日 平成19年11月19日 (2007.11.19)  
 (33) 優先権主張国 英国 (GB)  
 (31) 優先権主張番号 0722728.3  
 (32) 優先日 平成19年11月20日 (2007.11.20)  
 (33) 優先権主張国 英国 (GB)

(71) 出願人 593081408  
 ソニー・ユナイテッド・キングダム・リミ  
 テッド  
 Sony United Kingdom  
 Limited  
 イギリス国 サリー, ウェブブリッジ, ブ  
 ルックランズ, ザ ハイツ (番地なし)  
 (74) 代理人 100104215  
 弁理士 大森 純一  
 (74) 代理人 100117330  
 弁理士 折居 章  
 (72) 発明者 マシュー ポール アソール タイラー  
 イギリス ハンプシャー リングウッド  
 サザンプトンロード 224

最終頁に続く

(54) 【発明の名称】 データ処理装置及び方法

(57) 【要約】 (修正有)

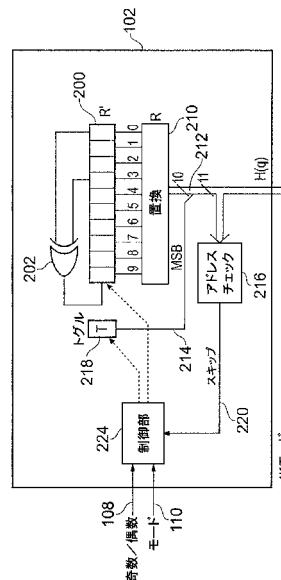
【課題】 データシンボルをOFDMシンボルのサブキャ  
 リア信号にインタリーブするための改善された構成を提  
 供する。

【解決手段】 データ処理装置は、OFDMシンボルのサ  
 ブキャリア信号にマッピングするためのインタリーバを  
 有する。インタリーバは、データシンボルをインタリー  
 バメモリからサブキャリア信号に読み出してマッピング  
 を実行する。読み出しの順序は、アドレスのセットによ  
 って規定され、データシンボルはサブキャリア信号にイ  
 ンタリーブされる。アドレスのセットは、アドレス生成  
 部により生成、線形フィードバックシフトレジスタと、  
 置換回路とを有する。線形フィードバックシフトレジ  
 スタは、11段のレジスタ段及び当該線形フィードバック  
 シフトレジスタのための生成多項式

$$R[i0] = R_{i-1}[0] \oplus R_{i-1}[2]$$

を有する。置換コードは、1つの付加的なビットを用い  
 て、12ビットのアドレスを生成する。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

送信すべき入力データシンボルを、直交周波数分割多重 (Orthogonal Frequency Division Multiplexed: OFDM) シンボルの所定の数のサブキャリア信号にマッピングするデータ処理装置であって、

前記 OFDM シンボルの前記サブキャリア信号にマッピングするための、所定の数の入力データシンボルをインタリーブメモリに読み込み、当該入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを当該サブキャリア信号にインタリーブしてマッピングを実行するインタリーブと、

前記入力データシンボルを前記サブキャリア信号のうちの 1 つにマッピングするために、当該入力データシンボル毎に、前記アドレスのセットを生成するアドレス生成部とを具備し、

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

## 【数 1】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1 つの付加的なビットを用いて、12 ビットのアドレスを生成し、

前記置換回路は、前記アドレスを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDM シンボル毎に変更することを特徴とする

データ処理装置。

## 【請求項 2】

請求項 1 に記載のデータ処理装置であって、

前記置換回路は、連続した OFDM シンボルに対し、異なる置換コードのシーケンスを循環させる

データ処理装置。

## 【請求項 3】

請求項 2 に記載のデータ処理装置であって、

前記異なる置換コードのシーケンスのうちの 1 つは、以下の表

## 【表 1】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、n 番目の前記レジスタ段に存在するビット  $R'_i[n]$  から、i 番目のデータシンボルについての 12 ビットのアドレス  $R_i[n]$  を生成するデータ処理装置。

## 【請求項 4】

請求項 2 又は 3 に記載のデータ処理装置であって、

前記異なる置換コードのシーケンスは、

10

20

30

40

【表 2】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

及び

【表 3】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	6	2	7	10	8	0	3	4	1	9	5

の 2 つの置換コードを有する

10

データ処理装置。

## 【請求項 5】

請求項 1 に記載のデータ処理装置であって、

前記所定の最大有効アドレスは、2000～4096の値である

データ処理装置。

## 【請求項 6】

請求項 5 に記載のデータ処理装置であって、

前記 OFDM シンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有し、

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブキャリアの数に依存する

20

データ処理装置。

## 【請求項 7】

請求項 1 に記載のデータ処理装置であって、

複数の動作モードのうちの一つにより、4000のサブキャリア信号が提供され、

前記 4000 のサブキャリア信号は、前記複数の動作モードのうち任意の動作モードの OFDM シンボルにおけるサブキャリア信号の最大数の半数以下であり、

前記入力データシンボルは、第 1 の OFDM シンボルにマッピングするための第 1 のセットの入力データシンボルと、第 2 の OFDM シンボルにマッピングするための第 2 のセットの入力データシンボルとを有し、

30

前記データ処理装置は、前記第 1 のセットの入力データシンボル及び前記第 2 のセットの入力データシンボルの両方を、奇数インタリーブ処理に従ってインタリーブし、

前記奇数インタリーブ処理は、

前記第 1 のセットの入力データシンボルの並び順に従って、当該第 1 のセットの入力データシンボルを前記インタリーブメモリの第 1 の部分に書き込み、

前記異なる置換コードのシーケンスのうち一つの置換コードにより生成された前記アドレスのセットによって規定された順序に従って、前記第 1 のセットの入力データシンボルを前記インタリーブメモリの第 1 の部分から前記第 1 の OFDM シンボルの前記サブキャリア信号に読み出し、

前記第 2 のセットの入力データシンボルの並び順に従って、当該第 2 のセットの入力データシンボルを前記インタリーブメモリの第 2 の部分に書き込み、

40

前記異なる置換コードのシーケンスのうち別の置換コードにより生成された前記アドレスのセットによって規定された順序に従って、前記第 2 のセットの入力データシンボルを前記インタリーブメモリの第 2 の部分から前記第 2 の OFDM シンボルの前記サブキャリア信号に読み出すことを含む

データ処理装置。

## 【請求項 8】

入力データシンボルを OFDM シンボルの所定の数のサブキャリア信号にマッピングするデータ処理装置を有する、OFDM を用いて入力データシンボルを送信する送信装置であって、

50

前記 OFDM シンボルの前記サブキャリア信号にマッピングするための、所定の数の入力データシンボルをインタリーブメモリに読み込み、当該入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを当該サブキャリア信号にインタリーブしてマッピングを実行するインタリーブと、

前記入力データシンボルを前記サブキャリア信号のうちの 1 つにマッピングするために、当該入力データシンボル毎に、前記アドレスのセットを生成するアドレス生成部とを具備し、

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、4000 であり、

前記線形フィードバックシフトレジスタは、11 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 2】

$$R_i'[10] = R_{i-1}'[0] \oplus R_{i-1}'[2]$$

を有し、

前記置換コードは、1 つの付加的なビットを用いて、12 ビットのアドレスを生成し、

前記置換回路は、前記アドレスを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDM シンボル毎に変更することを特徴とする

送信装置。

【請求項 9】

請求項 8 に記載の送信装置であって、

DVB-T (Digital Video Broadcasting-Terrestrial) 規格、DVB-H (Digital Video Broadcasting-Handheld) 規格、又は DVB-T2 (Digital Video Broadcasting-Terrestrial2) 規格を含むデジタルビデオ放送規格に従ってデータを送信する

送信装置。

【請求項 10】

送信すべき入力データシンボルを、OFDM シンボルの所定の数のサブキャリア信号にマッピングするマッピング方法であって、

前記 OFDM シンボルの前記サブキャリア信号にマッピングするための所定の数の入力データシンボルをインタリーブメモリに読み込むステップと、

前記入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを前記サブキャリア信号にインタリーブしてマッピングを実行する

ステップと、

前記入力データシンボルを前記サブキャリア信号のうちの 1 つにマッピングするために、前記入力データシンボル毎に、前記アドレスのセットを生成するステップとを具備し、

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換コードに従って置換することで前記アドレスを生成するステップと

前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成するステップとを含み、

10

20

30

40

50

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数3】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、当該マッピング方法は、さらに、

前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDMシンボル毎に変更するステップを具備することを特徴とする

10

マッピング方法。

【請求項11】

請求項10に記載のマッピング方法であって、

前記置換コードを変更するステップは、連続したOFDMシンボルに対し、異なる置換コードのシーケンスを循環させるステップを含む

マッピング方法。

【請求項12】

請求項11に記載のマッピング方法であって、

20

前記異なる置換コードのシーケンスのうちの一つは、以下の表

【表4】

R' <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての12ビットのアドレスR<sub>i</sub>[n]を生成するマッピング方法。

【請求項13】

請求項11又は12に記載のマッピング方法であって、

30

前記異なる置換コードのシーケンスは、

【表5】

R' <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

及び

【表6】

R' <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	6	2	7	10	8	0	3	4	1	9	5

40

の2つの置換コードを有する

マッピング方法。

【請求項14】

請求項10に記載のマッピング方法であって、

前記所定の最大有効アドレスは、2000～4096の値である

マッピング方法。

【請求項15】

請求項14に記載のマッピング方法であって、

前記OFDMシンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有し、

50

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブキャリアの数に依存するマッピング方法。

【請求項 16】

請求項 10 に記載のマッピング方法であって、  
複数の動作モードのうちの一つにより、4000 のサブキャリア信号が提供され、  
前記 4000 のサブキャリア信号は、前記複数の動作モードのうち任意の動作モードの OFDM シンボルにおけるサブキャリア信号の最大数の半数以下であり、  
前記マッピング方法は、さらに、  
前記入力データシンボルを、第 1 の OFDM シンボルにマッピングするための第 1 のセットの入力データシンボルと、第 2 の OFDM シンボルにマッピングするための第 2 のセットの入力データシンボルとに分割するステップと、  
前記第 1 のセットの入力データシンボル及び前記第 2 のセットの入力データシンボルの両方を、奇数インタリーブ処理に従ってインタリーブするステップとを具備し、  
前記奇数インタリーブ処理は、  
前記第 1 のセットの入力データシンボルの並び順に従って、当該第 1 のセットの入力データシンボルを前記インタリーブメモリの第 1 の部分に書き込み、  
前記異なる置換コードのシーケンスのうち一つの置換コードにより生成された前記アドレスのセットによって規定された順序に従って、前記第 1 のセットの入力データシンボルを前記インタリーブメモリの第 1 の部分から前記第 1 の OFDM シンボルの前記サブキャリア信号に読み出し、  
前記第 2 のセットの入力データシンボルの並び順に従って、当該第 2 のセットの入力データシンボルを前記インタリーブメモリの第 2 の部分に書き込み、  
前記異なる置換コードのシーケンスのうち別の置換コードにより生成された前記アドレスのセットによって規定された順序に従って、前記第 2 のセットの入力データシンボルを前記インタリーブメモリの第 2 の部分から前記第 2 の OFDM シンボルの前記サブキャリア信号に読み出すことを含む  
マッピング方法。

【請求項 17】

入力データシンボルを、OFDM シンボルの所定の数のサブキャリア信号を介して送信する送信方法であって、  
前記 OFDM シンボルのサブキャリア信号を介して送信するための所定の数の入力データシンボルをインタリーブメモリに読み込むステップと、  
前記 OFDM シンボルのサブキャリア信号を介して送信するための入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを前記サブキャリア信号にインタリーブしてマッピングを実行するステップと、  
前記入力データシンボルを前記サブキャリア信号のうち一つにマッピングするために、前記入力データシンボル毎に、前記アドレスのセットを生成するステップとを具備し、  
前記アドレスのセットを生成するステップは、  
所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、  
前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換コードに従って置換することで前記アドレスを生成するステップと、  
前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成するステップとを含み、  
前記所定の最大有効アドレスは、4000 であり、  
前記線形フィードバックシフトレジスタは、11 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

10

20

30

40

## 【数 4】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、当該送信方法は、さらに、

前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDMシンボル毎に変更するステップを具備することを特徴とする

送信方法。

10

## 【請求項 18】

請求項 17 に記載の送信方法であって、

前記送信は、DVB-T規格、DVB-H規格、又はDVB-T2規格を含むデジタルビデオ放送規格に従って送信することを含む

送信方法。

## 【請求項 19】

OFDMシンボルのサブキャリア信号にインタリーブされたデータシンボルを送信する際に用いられ、当該入力データシンボルを当該サブキャリア信号のうちの1つにマッピングするために、当該入力データシンボル毎に、アドレスのセットを生成するアドレス生成装置であって、

20

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

## 【数 5】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

30

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、

前記置換回路は、前記アドレスを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDMシンボル毎に変更することを特徴とする

アドレス生成装置。

## 【請求項 20】

請求項 19 に記載のアドレス生成装置であって、

前記置換回路は、連続したOFDMシンボルに対し、異なる置換コードのシーケンスを循環させる

40

アドレス生成装置。

## 【請求項 21】

請求項 20 に記載のアドレス生成装置であって、

前記異なる置換コードのシーケンスのうちの一つは、以下の表

## 【表 7】

$R'_i$ for $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i$ for $n =$	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、 $n$ 番目の前記レジスタ段に存在するビット  $R'_i[n]$

50

] から、 $i$  番目のデータシンボルについての 12 ビットのアドレス  $R_i[n]$  を生成するアドレス生成装置。

【請求項 22】

請求項 20 又は 21 に記載のアドレス生成装置であって、前記異なる置換コードのシーケンスは、

【表 8】

$R_i$ for $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i$ for $n =$	7	10	5	8	1	2	4	9	0	3	6

及び

【表 9】

$R_i$ for $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i$ for $n =$	6	2	7	10	8	0	3	4	1	9	5

10

の 2 つの置換コードを有する

アドレス生成装置。

【請求項 23】

OFDM シンボルの所定の数のサブキャリア信号から受信したデータシンボルを、出力シンボルストリームにマッピングするデータ処理装置であって、

前記 OFDM シンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーブメモリに読み込み、当該データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するデインタリーブと、

20

前記 OFDM シンボルのサブキャリア信号から受信したデータシンボルを前記出力シンボルストリームにマッピングするために、当該受信したデータシンボル毎に、前記アドレスのセットを生成するアドレス生成部とを具備し、

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

30

前記サブキャリア信号のうちの 1 つのアドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、4000 であり、

前記線形フィードバックシフトレジスタは、11 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 6】

$$R_i'[10] = R_{i-1}'[0] \oplus R_{i-1}'[2]$$

40

を有し、

前記置換コードは、1 つの付加的なビットを用いて、12 ビットのアドレスを生成し、

前記置換回路は、前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDM シンボル毎に変更することを特徴とするデータ処理装置。

【請求項 24】

請求項 23 に記載のデータ処理装置であって、

前記置換回路は、連続した OFDM シンボルに対し、異なる置換コードのシーケンスを循環させる

50



データ処理装置。

【請求項 25】

請求項 24 に記載のデータ処理装置であって、  
前記異なる置換コードのシーケンスのうちの一つは、以下の表

【表 10】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、n 番目の前記レジスタ段に存在するビット  $R'_i[n]$  から、i 番目のデータシンボルについての 12 ビットのアドレス  $R_i[n]$  を生成する  
データ処理装置。

10

【請求項 26】

請求項 24 又は 25 に記載のデータ処理装置であって、  
前記異なる置換コードのシーケンスは、

【表 11】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

及び

【表 12】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	6	2	7	10	8	0	3	4	1	9	5

20

の 2 つの置換コードを有する

データ処理装置。

【請求項 27】

請求項 23 に記載のデータ処理装置であって、  
前記所定の最大有効アドレスは、2000 ~ 4096 の値である  
データ処理装置。

【請求項 28】

請求項 27 に記載のデータ処理装置であって、  
前記 OFDM シンボルは、既知のシンボルを搬送するように構成されたパイロットサブ  
キャリアを有し、

30

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブ  
キャリアの数に依存する

データ処理装置。

【請求項 29】

請求項 23 に記載のデータ処理装置であって、

複数の動作モードのうちの一つにより、4000 のサブキャリア信号が提供され、

前記 4000 のサブキャリア信号は、前記複数の動作モードのうちの一つの動作モード  
の OFDM シンボルにおけるサブキャリア信号の最大数の半数以下であり、

40

前記データシンボルは、第 1 の OFDM シンボルから受信された第 1 のセットのデータ  
シンボルと、第 2 の OFDM シンボルから受信された第 2 のセットのデータシンボルとを  
有し、

前記データ処理装置は、前記第 1 のセットのデータシンボル及び前記第 2 のセットのデ  
ータシンボルを、奇数インタリーブ処理に従って前記出力シンボルストリームにデインタ  
リーブし、

前記奇数インタリーブ処理は、

前記置換コードのシーケンスのうちの一つの置換コードにより生成されたアドレスのセ  
ットによって規定された順序に従って、前記第 1 の OFDM シンボルのサブキャリア信号

50

から受信した前記第 1 のセットのデータシンボルを、前記インタリーブメモリの第 1 の部分に書き込み、

前記第 1 のセットのデータシンボルの並び順に従って、当該第 1 のセットのデータシンボルを前記インタリーブメモリの第 1 の部分から前記出力シンボルストリームに読み出し、

前記置換コードのシーケンスのうちの別の置換コードにより生成されたアドレスのセットによって規定された順序に従って、前記第 2 の OFDM シンボルのサブキャリア信号から受信した第 2 のセットのデータシンボルを、前記インタリーブメモリの第 2 の部分に書き込み、

前記第 2 のセットのデータシンボルの並び順に従って、当該第 2 のセットのデータシンボルを前記インタリーブメモリの第 2 の部分から前記出力シンボルストリームに読み出すことを含む

データ処理装置。

【請求項 30】

OFDM シンボルの所定の数のサブキャリア信号から受信されたデータシンボルを出力シンボルストリームにマッピングするように構成されたデータ処理装置を有し、OFDM シンボルを受信して、当該 OFDM シンボルからデータシンボルを再生するように構成された、OFDM 変調されたシンボルからデータを受信する受信装置であって、

前記データ処理装置は、

前記 OFDM シンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーブメモリに読み込み、当該データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するデインタリーブと、

前記 OFDM シンボルのサブキャリア信号から受信したデータシンボルを前記出力シンボルストリームにマッピングするために、当該受信したデータシンボル毎に、前記アドレスのセットを生成するアドレス生成部とを具備し、

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記サブキャリア信号のうちの 1 つのアドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、4000 であり、

前記線形フィードバックシフトレジスタは、11 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 7】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1 つの付加的なビットを用いて、12 ビットのアドレスを生成し、

前記置換回路は、前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDM シンボル毎に変更することを特徴とする受信装置。

【請求項 31】

請求項 30 に記載の受信装置であって、

DVB-T 規格、DVB-H 規格、又は DVB-T2 規格を含むデジタルビデオ放送規格に従って変調されたデータを受信するように構成される

10

20

30

40

50

受信装置。

【請求項 3 2】

OFDMシンボルの所定の数のサブキャリア信号から受信したデータシンボルを出力シンボルストリームにマッピングするマッピング方法であって、

前記OFDMシンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーブメモリに読み込むステップと、

前記データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するステップと、

10

前記サブキャリア信号から受信したデータシンボルを前記出力シンボルストリームにマッピングするために、当該受信したデータシンボル毎に、前記アドレスのセットを生成するステップとを具備し、

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換コードに従って置換することで前記アドレスを生成するステップと、

生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成するステップとを含み、

20

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 8】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、当該マッピング方法は、さらに、

前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDMシンボル毎に変更するステップを具備することを特徴とする

30

マッピング方法。

【請求項 3 3】

請求項 3 2に記載のマッピング方法であって、

前記置換コードを変更するステップは、連続したOFDMシンボルに対し、異なる置換コードのシーケンスを循環させるステップを含む

マッピング方法。

【請求項 3 4】

請求項 3 3に記載のマッピング方法であって、

40

前記異なる置換コードのシーケンスのうちの1つは、以下の表

【表 1 3】

R <sub>i</sub> ' for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub>	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての12ビットのアドレスR<sub>i</sub>[n]を生成するマッピング方法。

【請求項 3 5】

請求項 3 3又は3 4に記載のマッピング方法であって、

50

前記異なる置換コードのシーケンスは、

【表 1 4】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

及び

【表 1 5】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	6	2	7	10	8	0	3	4	1	9	5

10

の 2 つの置換コードを有する

マッピング方法。

【請求項 3 6】

請求項 3 2 に記載のマッピング方法であって、

前記所定の最大有効アドレスは、2 0 0 0 ~ 4 0 9 6 の値である

マッピング方法。

【請求項 3 7】

請求項 3 6 に記載のマッピング方法であって、

前記 OFDM シンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有し、

20

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブキャリアの数に依存する

マッピング方法。

【請求項 3 8】

請求項 3 2 に記載のマッピング方法であって、

複数の動作モードのうちの一つにより、4 0 0 0 のサブキャリア信号が提供され、

前記 4 0 0 0 のサブキャリア信号は、前記複数の動作モードのうち任意の動作モードの OFDM シンボルにおけるサブキャリア信号の最大数の半数以下であり、

前記データシンボルは、第 1 の OFDM シンボルから受信された第 1 のセットのデータシンボルと、第 2 の OFDM シンボルから受信された第 2 のセットのデータシンボルとを有し、

30

前記サブキャリア信号から受信した前記所定の数のデータシンボルを前記インタリーブメモリに読み込むステップと、前記データシンボルを前記インタリーブメモリから前記出力シンボルストリームに読み出すステップとは、奇数インタリーブ処理に従って実行され、

前記奇数インタリーブ処理は、

前記置換コードのシーケンスのうちの一つの置換コードにより生成されたアドレスのセットによって規定された順序に従って、前記第 1 の OFDM シンボルのサブキャリア信号から受信した前記第 1 のセットのデータシンボルを、前記インタリーブメモリの第 1 の部分に書き込み、

40

前記第 1 のセットのデータシンボルの並び順に従って、当該第 1 のセットのデータシンボルを、前記インタリーブメモリの第 1 の部分から前記出力シンボルストリームに読み出し、

前記置換コードのシーケンスのうち別の置換コードにより生成されたアドレスのセットによって規定された順序に従って、前記第 2 の OFDM シンボルのサブキャリア信号から受信した前記第 2 のセットのデータシンボルを、前記インタリーブメモリの第 2 の部分に書き込み、

前記第 2 のセットのデータシンボルの並び順に従って、当該第 2 のセットのデータシンボルを、前記インタリーブメモリの第 2 の部分から前記出力シンボルストリームに読み出すことを含む

50

マッピング方法。

【請求項 39】

OFDM変調されたシンボルからデータを受信する受信方法であって、  
出力シンボルストリームを生成するために、前記OFDMシンボルの所定の数のサブキャリア信号から所定の数のデータシンボルを受信するステップと、

前記OFDMシンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーブメモリに読み込むステップと、

前記データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するステップと、

前記サブキャリア信号から受信したデータシンボルを前記出力シンボルストリームにマッピングするために、当該受信したデータシンボル毎に、前記アドレスのセットを生成するステップとを具備し、

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換コードに従って置換することで前記アドレスを生成するステップと

生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成するステップとを含み、

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 9】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、当該受信方法は、さらに、

前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDMシンボル毎に変更するステップを具備することを特徴とする

受信方法。

【請求項 40】

請求項 39 に記載の受信方法であって、

前記データの受信は、DVB-T規格、DVB-H規格、又はDVB-T2規格を含むデジタルビデオ放送規格に従う

受信方法。

【請求項 41】

OFDMシンボルのサブキャリア信号にインタリーブされたデータシンボルを受信する際に用いられ、当該データシンボル毎に、当該データシンボルがマッピングされるサブキャリア信号のうちの1つを示すアドレスのセットを生成するアドレス生成装置であって、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、4000であり、

10

20

30

40

50

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数10】

$$R_i'[10] = R_{i-1}'[0] \oplus R_{i-1}'[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、前記置換回路は、前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDMシンボル毎に変更することを特徴とするアドレス生成装置。

10

【請求項42】

請求項41に記載のアドレス生成装置であって、前記置換回路は、連続したOFDMシンボルに対し、異なる置換コードのシーケンスを循環させるデータ処理装置。

【請求項43】

請求項42に記載のアドレス生成装置であって、前記異なる置換コードのシーケンスのうちの1つは、以下の表

【表16】

R <sub>i</sub> ' for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

20

に規定された置換コードに従って、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての12ビットのアドレスR<sub>i</sub>[n]を生成するアドレス生成装置。

【請求項44】

請求項42又は43に記載のアドレス生成装置であって、前記異なる置換コードのシーケンスは、

【表17】

R <sub>i</sub> ' for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

30

及び

【表18】

R <sub>i</sub> ' for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	6	2	7	10	8	0	3	4	1	9	5

の2つの置換コードを有する

アドレス生成装置。

【請求項45】

第1のOFDMシンボルにマッピングするための第1のセットの入力データシンボルと、第2のOFDMシンボルにマッピングするための第2のセットの入力データシンボルとを有する、送信すべき入力データシンボルを、OFDMシンボルの、複数の動作モードのうちの1つに従って規定される所定の数のサブキャリア信号にマッピングするデータ処理装置であって、

40

前記OFDMシンボルの前記サブキャリア信号にマッピングするための、所定の数の入力データシンボルをインタリーブメモリに読み込み、当該入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを当該サブキャリア信号にインタリーブしてマッピングを実行するインタリーブと、

50

前記入力データシンボルを前記サブキャリア信号のうちの1つにマッピングするために、前記入力データシンボル毎に、前記アドレスのセットを生成するアドレス生成部とを具備し、

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記サブキャリア信号のうちの1つのアドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する制御部とを有し、

前記複数の動作モードのうちの1つは、OFDMシンボルにつき4000のサブキャリア信号を提供し、

前記4000のサブキャリア信号は、前記複数の動作モードのうちの任意の動作モードのOFDMシンボルにおけるサブキャリア信号の最大数の半数以下であり、

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数11】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、

当該データ処理装置は、前記第1のセットの入力データシンボル及び前記第2のセットの入力データシンボルの両方を、奇数インタリーブ処理に従ってインタリーブするように構成され、

前記奇数インタリーブ処理は、

前記第1のセットの入力データシンボルの並び順に従って、当該第1のセットの入力データシンボルを前記インタリーブメモリの第1の部分に書き込み、

前記アドレスのセットによって規定された順序に従って、前記第1のセットの入力データシンボルを、前記インタリーブメモリの第1の部分から前記第1のOFDMシンボルのサブキャリア信号に読み出し、

前記第2のセットの入力データシンボルの並び順に従って、当該第2のセットの入力データシンボルを前記インタリーブメモリの第2の部分に書き込み、

前記アドレスのセットによって規定された順序に従って、前記第2のセットの入力データシンボルを、前記インタリーブメモリの第2の部分から前記第2のOFDMシンボルのサブキャリア信号に読み出すことを含む

データ処理装置。

【請求項46】

請求項45に記載のデータ処理装置であって、

前記置換コードは、以下の表

【表19】

R <sub>i</sub> ' for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての12ビットのアドレスR<sub>i</sub>[n]を生成するデータ処理装置。

【請求項47】

第1のOFDMシンボルにマッピングするための第1のセットの入力データシンボルと

10

20

30

40

50

、第2のOFDMシンボルにマッピングするための第2のセットの入力データシンボルとを有する、送信すべき入力データシンボルを、OFDMシンボルの、複数の動作モードのうちの一つに従って規定される所定の数のサブキャリア信号にマッピングするマッピング方法であって、

前記OFDMシンボルの前記サブキャリア信号にマッピングするための所定の数の入力データシンボルをインタリーブメモリに読み込むステップと、

前記入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを前記サブキャリア信号にインタリーブしてマッピングを実行するステップと、

前記入力データシンボルを前記サブキャリア信号のうちの一つにマッピングするために、前記入力データシンボル毎に、前記アドレスのセットを生成するステップとを具備し、前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換コードに従って置換することで前記アドレスを生成するステップと、

前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成するステップとを含み、

前記複数の動作モードのうちの一つは、OFDMシンボルにつき4000のサブキャリア信号を提供し、

前記4000のサブキャリア信号は、前記複数の動作モードのうちの一つの動作モードのOFDMシンボルにおけるサブキャリア信号の最大数の半数以下であり、

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数12】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、当該マッピング方法は、さらに、

前記第1のセットの入力データシンボル及び前記第2のセットの入力データシンボルを、奇数インタリーブ処理に従ってインタリーブするステップを具備し、

前記奇数インタリーブ処理は、

前記第1のセットの入力データシンボルの並び順に従って、当該第1のセットの入力データシンボルを前記インタリーブメモリの第1の部分に書き込み、

前記アドレスのセットによって規定された順序に従って、前記第1のセットの入力データシンボルを、前記インタリーブメモリの第1の部分から前記第1のOFDMシンボルのサブキャリア信号に読み出し、

前記第2のセットの入力データシンボルの並び順に従って、当該第2のセットの入力データシンボルを前記インタリーブメモリの第2の部分に書き込み、

前記アドレスのセットによって規定された順序に従って、前記第2のセットの入力データシンボルを、前記インタリーブメモリの第2の部分から前記第2のOFDMシンボルのサブキャリア信号に読み出すことを含む

マッピング方法。

【請求項48】

請求項47に記載のマッピング方法であって、

前記置換コードは、以下の表

10

20

30

40



【表 2 0】

R <sub>i</sub> ' for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、n番目の前記レジスタ段に存在するビット  $R'_i[n]$  から、i番目のデータシンボルについての12ビットのアドレス  $R_i[n]$  を生成するマッピング方法。

## 【請求項 4 9】

OFDMシンボルの、複数の動作モードのうちの一つに従って規定された所定の数のサブキャリア信号から受信した、第1のOFDMシンボルから受信した第1のセットのデータシンボルと、第2のOFDMシンボルから受信した第2のセットのデータシンボルとに分割されたデータシンボルを、出力シンボルストリームにマッピングするデータ処理装置であって、

10

前記OFDMシンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーブメモリに読み込み、当該データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するデインタリーブと、

前記OFDMシンボルの前記サブキャリア信号から受信したデータシンボルを前記出力シンボルストリームにマッピングするために、当該受信したデータシンボル毎に、前記アドレスのセットを生成するアドレス生成部とを具備し、

20

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記サブキャリア信号のうちの一つのアドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを置換コードに従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する制御部とを有し、

前記複数の動作モードのうちの一つは、4000のサブキャリア信号を有するOFDM信号を提供し、

30

前記4000のサブキャリア信号は、前記複数の動作モードのうちの任意の動作モードのOFDMシンボルにおけるサブキャリア信号の最大数の半数以下であり、

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

## 【数 1 3】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

40

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、

当該データ処理装置は、前記第1のセットのデータシンボル及び前記第2のセットのデータシンボルを、奇数インタリーブ処理に従って、前記出力シンボルストリームにデインタリーブするように構成され、

前記奇数インタリーブ処理は、

前記アドレスのセットによって規定された順序に従って、前記第1のOFDMシンボルのサブキャリア信号から受信した第1のセットのデータシンボルを、前記インタリーブメモリの第1の部分に書き込み、

前記第1のセットのデータシンボルの並び順に従って、当該第1のセットのデータシンボルを、前記インタリーブメモリの前記第1の部分から前記出力シンボルストリームに読

50

み出し、

前記アドレスのセットによって規定された順序に従って、前記第2のOFDMシンボルのサブキャリア信号から受信した第2のセットのデータシンボルを、前記インタリーブメモリの第2の部分に書き込み、

前記第2のセットのデータシンボルの並び順に従って、当該第2のセットのデータシンボルを、前記インタリーブメモリの前記第2の部分から前記出力シンボルストリームに読み出すことを含む

データ処理装置。

【請求項50】

請求項49に記載のデータ処理装置であって、

前記置換コードは、以下の表

【表21】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

10

に規定された置換コードに従って、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての12ビットのアドレスR<sub>i</sub>[n]を生成する方法。

【請求項51】

OFDMシンボルの、複数の動作モードのうちの1つに従って規定された所定の数のサブキャリア信号から受信した、第1のOFDMシンボルから受信した第1のセットのデータシンボルと、第2のOFDMシンボルから受信した第2のセットのデータシンボルとを有するデータシンボルを、出力シンボルストリームにマッピングするマッピング方法であって、

20

前記OFDMシンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーブメモリに読み込むステップと、

前記データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するステップと、

30

前記サブキャリア信号から受信したデータシンボルを前記出力シンボルストリームにマッピングするために、当該受信したデータシンボル毎に、前記アドレスのセットを生成するステップとを具備し、

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換コードに従って置換することで前記アドレスを生成するステップと、

生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成するステップとを含み、

40

前記所定の最大有効アドレスは、4000であり、

前記線形フィードバックシフトレジスタは、11段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数14】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

を有し、

前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを生成し、

前記複数の動作モードのうちの1つは、OFDMシンボルにつき4000のサブキャリア信号を提供し、

50

前記 4 0 0 0 のサブキャリア信号は、前記複数の動作モードのうちの任意の動作モードの OFDM シンボルにおけるサブキャリア信号の最大数の半数以下であり、

前記サブキャリア信号から受信した前記所定の数のデータシンボルを前記インタリーブメモリに読み込むステップと、前記データシンボルを前記インタリーブメモリから前記出力シンボルストリームに読み出すステップとは、奇数インタリーブ処理に従って実行され、

前記奇数インタリーブ処理は、

前記アドレスのセットによって規定された順序に従って、前記第 1 の OFDM シンボルのサブキャリア信号から受信した第 1 のセットのデータシンボルを、前記インタリーブメモリの第 1 の部分に書き込み、

10

前記第 1 のセットのデータシンボルの並び順に従って、当該第 1 のセットのデータシンボルを、前記インタリーブメモリの前記第 1 の部分から前記出力シンボルストリームに読み出し、

前記アドレスのセットによって規定された順序に従って、前記第 2 の OFDM シンボルのサブキャリア信号から受信した第 2 のセットのデータシンボルを、前記インタリーブメモリの第 2 の部分に書き込み、

前記第 2 のセットのデータシンボルの並び順に従って、当該第 2 のセットのデータシンボルを、前記インタリーブメモリの前記第 2 の部分から前記出力シンボルストリームに読み出すことを含む

マッピング方法。

20

【請求項 5 2】

請求項 5 1 に記載のマッピング方法であって、

前記置換コードは、以下の表

【表 2 2】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

に規定された置換コードに従って、n 番目の前記レジスタ段に存在するビット R<sub>i</sub> [ n ] から、i 番目のデータシンボルについての 1 2 ビットのアドレス R<sub>i</sub> [ n ] を生成するマッピング方法。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、入力シンボルを、OFDM (Orthogonal Frequency Division Multiplexed: 直交周波数分割多重) シンボルのサブキャリア信号にマッピングするデータ処理装置に関する。

【0 0 0 2】

本発明はまた、OFDM シンボルの所定の数のサブキャリア信号から受信されたシンボルを、出力シンボルストリームにマッピングするデータ処理装置にも関する。

【0 0 0 3】

40

本発明の実施の形態は、OFDM 送信装置 / 受信装置を提供し得る。

【背景技術】

【0 0 0 4】

DVB-T (Digital Video Broadcasting-Terrestrial) 規格は、直交周波数分割多重 (OFDM) を利用して、ビデオ画像及び音声を表すデータを、放送無線通信信号を介して受信装置に送信する。DVB-T 規格には、2 つの周知のモードがあり、これらは 2 K モード及び 8 K モードとして知られている。2 K モードは 2 0 4 8 のサブキャリアを提供し、一方、8 K モードは 8 1 9 2 のサブキャリアを提供する。同様に、DVB-H (Digital Video Broadcasting-Handheld) 規格には、4 K モードが提供され、この 4 K モードにおいては、サブキャリアの数は 4 0 9 6 である。

50

## 【 0 0 0 5 】

DVB-T2のために提案された、LDPC (Low Density Parity Check: 低密度パリティチェック) / BCH (Bose-Chaudhuri-Hocquenghem) 符号化等の誤り訂正符号化方式は、通信により生じるシンボル値のノイズ及び劣化が非相関であるときに、より良好に動作する。地上放送チャンネルは、相関フェージングにより、時間領域及び周波数領域の両方において悪影響を受ける可能性がある。したがって、符号化されたシンボルを、OFDMシンボルの別々のサブキャリア信号にできるだけ分離することにより、誤り訂正符号化方式の性能を向上させることができる。したがって、DVB-T又はDVB-Hを用いて送信されるデータの品位を改善するために、入力データシンボルがOFDMシンボルのサブキャリア信号にマッピングされるように、入力データシンボルをインタリーブするためのシンボルインタリーブが設けられる。このようなシンボルインタリーブは、アドレス生成部と、インタリーブメモリとを有する。このインタリーブは、OFDMシンボルのサブキャリア信号にマッピングするためのデータシンボルをインタリーブメモリに読み込み、当該データシンボルを、読み込みの順序とは異なる、アドレス生成部により生成されたアドレスのセットによって規定された順序でインタリーブメモリからサブキャリア信号に読み出すように構成される。2Kモード及び8Kモードの場合、DVB-T規格では、マッピングのためのアドレスを生成する構成が開示されている。同様に、DVB-H規格の4Kモードの場合、マッピングのためのアドレスを生成する構成が提供されており、また、このマッピングを実行するためのアドレス生成部が、下記特許文献1において開示されている。このアドレス生成部は、擬似乱数ビット列を生成する線形フィードバックシフトレジスタと、置換回路とを有する。置換回路は、アドレスを生成するために、線形フィードバックシフトレジスタの保持データの順序を置換する。アドレスは、入力データシンボルをサブキャリア信号のうちの一つにマッピングするために、入力データシンボルをインタリーブメモリに書き込む/インタリーブメモリから読み出すための、インタリーブメモリの記憶場所を示す情報を提供する。同様に、受信装置におけるアドレス生成部は、データシンボルを読み出して出力データストリームを形成するために、OFDMシンボルのサブキャリアから受信したデータシンボルをインタリーブメモリに書き込む/インタリーブメモリから読み出すためのアドレスを生成するように構成される。

10

20

## 【 0 0 0 6 】

【特許文献1】欧州特許出願公開第1662739号明細書

30

【特許文献2】国際公開第2006/136883号パンフレット

【特許文献3】米国特許出願公開第2007/0250742号明細書

【特許文献4】欧州特許出願公開第1463256号明細書

【特許文献5】米国特許出願公開第2006/0282712号明細書

【特許文献6】国際公開第2005/091509号パンフレット

【非特許文献1】ETSI発行、"Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television"、ETSI EN 300 744 V1.4.1、2001年1月

【非特許文献2】Imed Ben Dhaou, Laszlo Horvath、"Performance analysis and low power VLSI implementation of DVB-T receiver"、[online]、1999年3月4日、[2008年3月11日検索]、インターネット<URL : <http://signal.uu.se/Courses/Semabstracts/ofdm2.pdf>>

40

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 7 】

DVB-T2として知られる、地上デジタルビデオ放送規格のさらなる発展に従い、データ送信を改善したい、より具体的には、データシンボルをOFDMシンボルのサブキャリア信号にインタリーブするための改善された構成を提供したいという要望がある。

【課題を解決するための手段】

## 【 0 0 0 8 】

50

本発明の一態様によれば、データ処理装置が提供される。当該データ処理装置は、送信すべき入力データシンボルを、OFDMシンボルの所定の数のサブキャリア信号にマッピングするように構成される。当該データ処理装置は、前記OFDMシンボルの前記サブキャリア信号にマッピングするための所定の数のデータシンボルをインタリーブメモリに読み込み、当該データシンボルを前記インタリーブメモリから前記サブキャリア信号に読み出してマッピングを実行するインタリーブを具備する。前記読み出しは、前記読み込みの順序とは異なる順序で行われ、この順序はアドレスのセットにより規定される。これにより、前記データシンボルが前記サブキャリア信号にインタリーブされる。当該データ処理装置は、前記アドレスのセットを生成するアドレス生成部を有する。アドレスは、前記入力データシンボルを前記サブキャリア信号にマッピングするために、前記入力データシンボル毎に生成される。前記アドレス生成部は、線形フィードバックシフトレジスタと、置換回路と、制御部とを有する。前記線形フィードバックシフトレジスタは、所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビット列を生成する。前記置換回路は、前記OFDMシンボルの前記サブキャリア信号のうちの1つのアドレスを形成するために、前記レジスタ段の保持データを受信し、前記レジスタ段に存在するビットを置換コードに従って置換する。前記制御部は、アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成する。前記所定の最大有効アドレスは、約4000であり、前記線形フィードバックシフトレジスタは11段のレジスタ段、及び当該各線形フィードバックシフトレジスタのための生成多項式

10

20

【0009】

【数1】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

【0010】

を有し、前記置換コードは、1つの付加的なビットを用いて、12ビットのアドレスを形成する。当該データ処理装置は、前記置換回路が、前記アドレスのセットを生成するために、前記レジスタ段の前記ビットの順序を置換する前記置換コードを、OFDMシンボル毎に変更することを特徴とする。

【0011】

本発明の実施形態は、送信するデータシンボルを、約4000のサブキャリア信号を有するOFDMシンボルにマッピングするシンボルインタリーブとして動作可能なデータ処理装置を提供することができ、このデータ処理装置により、データ通信の品位を改善することができる。この改善は、線形フィードバックシフトレジスタに存在するビットの順序を変更するために用いられる置換コードを、OFDMシンボル毎に変更する結果として提供される。例えば、用いられる置換コードは、複数のOFDMシンボルのそれぞれに対して循環される、異なる置換コードのシーケンスのうちの一つであってもよい。結果として、入力データストリームにおける連続したデータビット又は順序の近いデータビットが、OFDMシンボルの同じサブキャリア信号にマッピングされる可能性が低減されることで、誤り訂正符号化をより効率的に実行できるという改善が提供される。

30

【0012】

一実施形態では、前記サブキャリア信号の数は、2000~4096の値であり得る。さらに、前記OFDMシンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有してもよい。前記所定の最大有効アドレスは、前記OFDMシンボルに存在する前記パイロットサブキャリアの数に依存してもよい。したがって、4Kモードのために、例えばDVBT2、DVBT2又はDVBT2-H等のDVBT規格のための効率的なシンボルインタリーブを提供することができる。

40

【0013】

一実施形態では、前記異なる置換コードのシーケンスは、以下の表

【0014】

【表 1】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

## 【0015】

に規定された置換コードに従って、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての12ビットのアドレスR<sub>i</sub>[n]を生成する。

## 【0016】

前記置換コードのシーケンスは、任意の数の置換コードを含んでもよいが、一実施形態では、2つの置換コードがある。一実施形態では、この2つの置換コードは、以下の表に示すものである。

## 【0017】

【表 2】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	7	10	5	8	1	2	4	9	0	3	6

## 【0018】

【表 3】

R <sub>i</sub> for n =	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> for n =	6	2	7	10	8	0	3	4	1	9	5

## 【0019】

例えば、複数の動作モードのうちの一つとして、約4000のサブキャリア信号を提供してもよい。この4000のサブキャリア信号は、前記複数の動作モードのうち任意の動作モードのOFDMシンボルにおけるサブキャリア信号の最大数の半数以下である。前記入力データシンボルを、第1のOFDMシンボルにマッピングするための第1のセットの入力データシンボルと、第2のOFDMシンボルにマッピングするための第2のセットの入力データシンボルとに分割してもよく、又はこのような2つのセットとして見なしてもよい。前記データ処理装置は、前記第1のセットの入力データシンボル及び前記第2のセットの入力データシンボルの両方を、奇数インタリーブ処理に従ってインタリーブしてもよい。前記奇数インタリーブ処理は、前記第1のセットの入力データシンボルの並び順に従って、当該第1のセットの入力データシンボルを前記インタリーブメモリの第1の部分に書き込み、前記異なる置換コードのシーケンスのうちの一つの置換コードにより生成された前記アドレスのセットによって規定された順序に従って、前記第1のセットの入力データシンボルを前記インタリーブメモリの第1の部分から前記第1のOFDMシンボルの前記サブキャリア信号に読み出し、前記第2のセットの入力データシンボルの並び順に従って、当該第2のセットの入力データシンボルを前記インタリーブメモリの第2の部分に書き込み、前記異なる置換コードのシーケンスのうち別の置換コードによって規定された順序に従って、前記第2のセットの入力データシンボルを前記インタリーブメモリの第2の部分から前記第2のOFDMシンボルの前記サブキャリア信号に読み出すことを含む。

## 【0020】

前記第1のOFDMシンボルは、奇数OFDMシンボルであってよく、前記第2のOFDMシンボルは、偶数OFDMシンボルであってよい。

## 【0021】

DVB-Tの場合は2Kモード及び8Kモード、DVB-Hの場合には4Kモードで動作するいくつかの従来のOFDM送信装置及び受信装置では、送信装置及び受信装置において2つのシンボルインタリーブ処理が用いられる。一つは偶数OFDMシンボルのための処理、もう一つは奇数OFDMシンボルのための処理である。しかしながら、DVB-

10

20

30

40

50

Tの2Kシンボルインタリーブ及び8Kシンボルインタリーブ、及びDVB-Hの4Kシンボルインタリーブのために設計されたインタリーブ方式は、偶数シンボルよりも奇数シンボルに対してより良好に動作することが分析によって示されている。本発明の実施形態は、送信装置/受信装置が最大数のサブキャリアを有するモードでない限り、奇数シンボルインタリーブ処理だけが用いられるように構成される。したがって、複数の動作モードのうちの一つにおける、OFDMシンボルのサブキャリアによって搬送可能なデータシンボルの数が、OFDMシンボル当たりのデータ保持サブキャリアの数が最大となる動作モードにおいて搬送可能なデータシンボルの数の半数以下である場合、OFDMシンボルの送信装置及び受信装置のインタリーブは、第1のセットのデータシンボル及び第2のセットのデータシンボルの両方を、奇数インタリーブ処理を用いてインタリーブするように構成される。インタリーブは、第1のセットのデータシンボル及び第2のセットのデータシンボルの両方を、奇数インタリーブ処理を用いてOFDMシンボルにインタリーブするため、当該インタリーブは、インタリーブメモリの別々の部分を用いて、データシンボルの書き込み及び読み出しを行う。したがって、インタリーブが、奇数インタリーブ処理及び偶数インタリーブ処理を用いて、利用可能なメモリを利用して、第1のセットのデータシンボル及び第2のセットのデータシンボルを連続した第1のOFDMシンボル及び第2のOFDMシンボルにインタリーブする例と比較すると、奇数インタリーブ処理のみの場合、用いられるメモリ容量は、OFDMシンボルによって搬送することができるデータシンボルの数の2倍となる。これは、奇数インタリーブ処理及び偶数インタリーブ処理を用いる、OFDMシンボル当たりのデータシンボルの数が最大となるモードにおいて、OFDMシンボルにおいて一度に搬送可能なデータシンボルの数のメモリ条件と比較される。しかしながら、この最大動作モードにおけるOFDMシンボル当たりのサブキャリアの数は、OFDMシンボル当たりのサブキャリアの数が2番目に多い任意の他の動作モードにおける、OFDMシンボル当たりの2番目に多いサブキャリアの最大数の2倍である。

#### 【0022】

したがって、いくつかの実施形態によれば、動作モードのうちの一つにおいて、前記入力データシンボルを搬送するために利用可能な、前記OFDMシンボルの前記サブキャリア信号で搬送することができる入力データシンボルの最大数に従って、最小限のサイズのインタリーブメモリを提供することができる。

#### 【0023】

いくつかの実施形態では、OFDMシンボル当たりの最大数のサブキャリア信号を提供する動作モードは、32Kモードである。他のモードは、1Kモード、2Kモード、4Kモード、8Kモード及び16Kモードのうちの一つ又は複数を含む。したがって、上記説明から理解されるように、32Kモードでは、奇数インタリーブ処理及び偶数インタリーブ処理の両方を用いてデータシンボルがインタリーブされるので、インタリーブメモリのサイズは、32Kのデータシンボルに対応するためにちょうど十分なサイズである。しかしながら、16Kモード及び他のいずれかのモードの場合、奇数インタリーブ処理のみが用いられるので、16Kモードでは32Kシンボルのメモリサイズに等しいメモリサイズが必要とされ、4Kモードでは8Kシンボルのメモリサイズに等しいメモリサイズが必要とされ、2Kモードでは4Kシンボルのメモリサイズに等しいメモリサイズが必要とされる。

#### 【0024】

本発明の種々の態様及び特徴が、添付の特許請求の範囲において規定される。本発明のさらなる態様は、送信する入力シンボルを、OFDMシンボルの所定の数のサブキャリア信号にマッピングする方法及び送信装置を含む。

#### 【発明を実施するための最良の形態】

#### 【0025】

これより、本発明の実施形態を、添付の図面を参照して、例示としてのみ説明する。図面において、同様の部分には対応する参照符号が付される。

#### 【0026】

10

20

30

40

50

以下の説明は、本発明の実施形態の技術によるシンボルインタリーバの動作を説明するために提供されるが、このシンボルインタリーバは他のモード、他のDVB規格及び他のOFDMシステムと共に用いることができることを理解されたい。

【0027】

図1は、DVB-T2規格に従って、例えばビデオ画像及び音声信号を送信するために用いることができる符号化OFDM(Coded OFDM:COFDM)送信装置の例示的なブロック図を示す。図1では、プログラムソースが、COFDM送信装置によって送信されるべきデータを生成する。ビデオ符号化部2、音声符号化部4及びデータ符号化部6は、送信されるべきビデオデータ、音声データ及び他のデータを生成し、これらのデータはプログラムマルチプレクサ10に供給される。プログラムマルチプレクサ10の出力は、ビデオデータ、音声データ及び他のデータを送信するために必要な他の情報と多重化された多重化ストリームを形成する。マルチプレクサ10は、接続チャンネル12上にストリームを供給する。このような多重化ストリームは、種々の異なるブランチA、B等に供給されるように、多数存在してもよい。簡潔にするために、ブランチAのみを説明する。

10

【0028】

図1に示すように、COFDM送信装置20は、多重適応化/エネルギー拡散ブロック22においてストリームを受信する。多重適応化/エネルギー拡散ブロック22は、データをランダム化し、適切なデータを、ストリームの誤り訂正符号化を実行する前方誤り訂正符号化部24に供給する。ビットインタリーバ26は、符号化されたデータビットをインタリーブするために設けられる。この符号化されたデータビットは、DVB-T2の場合、LDPC/BCH符号化部の出力である。ビットインタリーバ26からの出力は、ビットコンステレーションマッピング部28に供給される。ビットコンステレーションマッピング部28は、ビットのグループを、符号化データビットを搬送するために用いられるコンステレーションポイントにマッピングする。ビットコンステレーションマッピング部28からの出力は、実成分及び仮想成分を表すコンステレーションポイントラベルである。コンステレーションポイントラベルは、用いられる変調方式に応じて、2つ以上のビットから形成されたデータシンボルを表す。これらはデータセルと呼ばれる。これらのデータセルは、タイムインタリーバ30を通過する。タイムインタリーバ30は、複数のLDPC符号語から得られたデータセルをインタリーブする。

20

【0029】

データセルは、図1においてブランチB等によって生成されたデータセルと共に、他のチャンネル31を介して、フレームビルダ32によって受信される。その後、フレームビルダ32は、多数のデータセルを、COFDMシンボルで搬送されるべきシーケンスに形成する。ここで、COFDMシンボルは、複数のデータセルを有し、各データセルはサブキャリアのうちの1つにマッピングされる。サブキャリアの数は、システムの動作モードに依存して、1K、2K、4K、8K、16K又は32K等があり、これらは、例えば以下の表の例に従って、それぞれ異なる数のサブキャリアを提供する。

30

【0030】

【表4】

モード	サブキャリア
1K	756
2K	1512
4K	3024
8K	6048
16K	12096
32K	24192

40

DVB-T/Hにおけるサブキャリアの数

【0031】

したがって、一例では、4Kモードの場合のサブキャリアの数は3024である。DVB-T2システムの場合、OFDMシンボル当たりのサブキャリアの数は、パイロットキ

50



キャリア及び他の予備のキャリアの数に依存して変化する。したがって、DVB-T2では、DVB-Tとは異なり、データを搬送するためのサブキャリアの数は固定されない。放送業者は、1K、2K、4K、8K、16K、32Kの動作モードのうちの一つを選択することができる。これらの動作モードは、OFDMシンボル当たりのデータのための、或る範囲のサブキャリアをそれぞれ提供することができる。これらの動作モードのそれぞれについて、利用可能なサブキャリアの最大数は、それぞれ1024、2048、4096、8192、16384、32768である。DVB-T2では、物理層フレームは、多数のOFDMシンボルからなる。典型的には、フレームは、1つ又は複数のプリアンブル又はP2OFDMシンボルで開始され、これらの次に、OFDMシンボルを搬送する複数のペイロードが続く。この物理層フレームの終端は、フレームクローズシンボルによってマークされる。各動作モードについて、サブキャリアの数は各シンボルのタイプによって異なり得る。さらに、サブキャリアの数は、帯域幅の拡大が選択されたか否か、トーンリザベーションが可能となっているか否か、及び、どのパイロットサブキャリアパターンが選択されたかに応じてそれぞれ異なり得る。したがって、OFDMシンボル当たりの特定の数のサブキャリアを一般化することは難しい。しかしながら、周波数インタリーブは、各モードについて、サブキャリアの数が、所与のモードの場合のサブキャリアの最大利用可能数以下であるいかなるシンボルもインタリーブすることができる。例えば、1Kモードでは、インタリーブは、サブキャリアの数が1024以下のシンボルに対して動作し、16Kモードでは、サブキャリアの数が16384以下のシンボルに対して動作する。

#### 【0032】

その後、各COFDMシンボルで搬送されるべきデータセルのシーケンスは、シンボルインタリーブ33に送られる。その後、COFDMシンボルビルダブロック37によって、パイロット信号及び埋込信号形成部36によって供給されたパイロット信号及び同期信号が挿入され、COFDMシンボルが生成される。その後、OFDM変調部38が、時間領域においてOFDMシンボルを形成し、このOFDMシンボルは、シンボル間にガードインターバルを生成するためのガード挿入処理部40に供給され、その後、デジタル-アナログ変換部42に供給され、最後に、RFフロントエンド44内のRF増幅部に供給され、その結果、COFDM送信装置によってアンテナ46から放送される。

#### 【0033】

上述したように、本発明の実施形態は、OFDMサブキャリア信号に対するデータシンボルの準最適マッピングを提供する装置を提供する。例示的な技術によれば、シミュレーション分析により検証された置換コード及び生成多項式に従って、COFDMサブキャリア信号に対する入力データシンボルの最適なマッピングを達成するために、シンボルインタリーブが提供される。

#### 【0034】

図2に示すように、本発明の実施形態の技術を例示的に説明するために、ビットコンステレーションマッピング部28及びフレームビルダ32のより詳細な例示的な説明が提供される。ビットインタリーブ26からチャンネル62を介して受信されたデータビットは、変調方式により提供されるシンボル当たりのビット数に応じてグループ化され、データセルにマッピングされるビットのセットとなる。このビットのグループは、データワードを形成し、データチャンネル64を介して、並行してマッピング処理部66に供給される。その後、マッピング処理部66は、事前に割り当てられたマッピングに従って、データシンボルのうちの一つを選択する。コンステレーションポイントは、フレームビルダ32への入力のセットのうちの一つとして出力チャンネル29に提供される実成分及び仮想成分によって表現される。

#### 【0035】

フレームビルダ32は、ビットコンステレーションマッピング部28からチャンネル29を介して、他のチャンネル31からのデータセルと共にデータセルを受信する。各COFDMシンボルのセルは、多数のCOFDMセルシーケンスからなるフレームを構築した後、アドレス生成部102によって生成された書き込みアドレス及び読み出しアドレスに従っ

10

20

30

40

50

て、インタリーバメモリ100に書き込まれ、インタリーバメモリ100から読み出される。適切なアドレスを生成することにより、書き込み及び読み出しの順序に従って、データセルのインタリーブが達成される。アドレス生成部102及びインタリーバメモリ100の動作は、図3、図4及び図5を参照して、より詳細に説明される。その後、インタリーブされたデータセルは、パイロット信号/埋込信号形成部36から受信されたパイロット信号及び同期シンボルと結合されてOFDMシンボルビルダ37に供給され、COFDMシンボルを形成し、このCOFDMシンボルは、上述のようにOFDM変調部38に供給される。

#### 【0036】

[インタリーバ]

図3は、シンボルをインタリーブするための本発明の実施形態の技術を説明する、シンボルインタリーバ33の部分の一例を提供する。図3では、フレームビルダ32からの入力データセルがインタリーバメモリ100に書き込まれる。データセルは、アドレス生成部102によりチャンネル104を介して供給された書き込みアドレスに従って、インタリーバメモリ100に書き込まれ、アドレス生成部102によりチャンネル106を介して供給された読み出しアドレスに従って、インタリーバメモリ100から読み出される。アドレス生成部102は、以下に説明するように、COFDMシンボルが奇数であるか偶数であるかに応じて、書き込みアドレス及び読み出しアドレスを生成する。COFDMシンボルが奇数であるか偶数であるかは、チャンネル108から供給された信号により、選択されたモードに応じて識別される。選択されたモードは、チャンネル110から供給された信号により識別される。上述のように、モードは、1Kモード、2Kモード、4Kモード、8Kモード、16Kモード、32Kモードのうちの1つであり得る。インタリーバメモリ100の例示的な実施態様を提供する図4を参照して以下に説明するように、書き込みアドレス及び読み出しアドレスは、奇数OFDMシンボルと偶数OFDMシンボルとについて別々に生成される。

#### 【0037】

図4に示す例では、上側部分において、送信装置におけるインタリーバ33のインタリーバメモリ100の動作が説明され、下側部分において、受信装置におけるデインタリーバのデインタリーバメモリ340の動作が説明される。インタリーバメモリ100及びデインタリーバメモリ340は、動作の理解を容易にするために、共に図4に示される。図4に示すように、インタリーバメモリ100とデインタリーバ340メモリとの間の、他の装置及び通信チャンネルを介した通信の表現は簡略化され、インタリーバメモリ100とデインタリーバメモリ340との間の部分140として表現される。以下において、インタリーバメモリ100の動作を説明する。

#### 【0038】

図4は、4つの入力データセルを、COFDMシンボルの4つのサブキャリア信号にインタリーブする例のみを示すが、図4において説明される技術は、1Kモードの場合の756、2Kモードの場合の1512、4Kモードの場合の3024、8Kモードの場合の6048、16Kモードの場合の12096、及び32Kモードの場合の24192等、より多くの数のサブキャリアに拡大適用され得ることは理解されるであろう。

#### 【0039】

図4に示すインタリーバメモリ100の入力アドレス及び出力アドレスの指定は、奇数シンボルの場合と、偶数シンボルの場合とについて示される。偶数COFDMシンボルの場合、データセルは入力チャンネルから取得され、アドレス生成部102によってCOFDMシンボル毎に生成されたアドレスのシーケンス120に従ってインタリーバメモリ124.1に書き込まれる。この書き込みアドレスは、上述のように、インタリーブが書き込みアドレスのシャッフルによって達成されるように、偶数シンボルに適用される。したがって、各インタリーブされたシンボルについて、 $y(h(q)) = y'(q)$ である。

#### 【0040】

奇数シンボルの場合、インタリーバメモリ124.1と同じインタリーバメモリ124

10

20

30

40

50

．2 が用いられる。しかし、図 4 に示すように、奇数シンボルの場合、書き込み順序 1 3 2 は、前の偶数シンボル 1 2 6 の読み出しに用いられるアドレスシーケンスと同じアドレスシーケンスである。この特徴により、奇数シンボルインタリーブ及び偶数シンボルインタリーブの実施態様は、所与のアドレスに対する読み出し動作が書き込み動作の前に行われる場合、1つのインタリーブメモリ 1 0 0のみを用いることができる。奇数シンボルの場合にインタリーブメモリ 1 2 4 に書き込まれたデータセルは、その後、次の偶数 C O F D M シンボルの場合に、アドレス生成部 1 0 2 によって生成されたシーケンス 1 3 4 で読み出され、以下同様に処理される。したがって、シンボルにつき1つのアドレスだけが生成され、奇数 / 偶数 C O F D M シンボルについての書き込み及び読み出しは並行して実行される。

10

## 【 0 0 4 1 】

要約すると、図 4 に表現されるように、すべてのアクティブなサブキャリアについてアドレスのセット  $H(q)$  が計算されると、入力ベクトル  $Y' = (y_0', y_1', y_2', \dots, y_{N_{max}-1}')$  が処理されて、インタリーブされたベクトル  $Y' = (y_0, y_1, y_2, \dots, y_{N_{max}-1})$  が生成される。このインタリーブされたベクトル  $Y' = (y_0, y_1, y_2, \dots, y_{N_{max}-1})$  は、以下の式によって定義される。

偶数シンボルの場合： $y H(q) = y' q (q = 0, \dots, N_{max} - 1)$

奇数シンボルの場合： $y q = y' H(q) (q = 0, \dots, N_{max} - 1)$

20

## 【 0 0 4 2 】

言い換えれば、偶数 O F D M シンボルの場合、入力ワードは、置換された順序でメモリに書き込まれ、並び順で読み出されるが、奇数シンボルの場合、並び順で書き込まれ、置換された順序で読み出される。上記の場合、置換  $H(q)$  は、以下の表によって定義される。

## 【 0 0 4 3 】

## 【表 5】

q	0	1	2	3
H(q)	1	3	0	2

単純なケース(Nmux = 4)における置換

30

## 【 0 0 4 4 】

図 4 に示すように、デインタリーブメモリ 3 4 0 は、インタリーブ 3 3 のアドレス生成部と等価のアドレス生成部によって生成された、アドレス生成部 1 0 2 により生成されたアドレスのセットと同じアドレスのセットを、書き込みアドレスと読み出しアドレスとを逆転させて適用することにより、インタリーブ 1 0 0 によって適用されたインタリーブを逆転させる。したがって、偶数シンボルの場合、書き込みアドレス 3 4 2 は並び順であり、読み出しアドレス 3 4 4 は、アドレス生成部によって提供される。これに対して、奇数シンボルの場合、書き込み順序 3 4 6 は、アドレス生成部によって生成されたアドレスのセットから規定され、読み出し順序 3 4 8 は並び順である。

## 【 0 0 4 5 】

40

## [ 4 K モードにおけるアドレス生成 ]

4 K モードにおける置換関数  $H(q)$  の生成に用いられるアルゴリズムの概略ブロック図が、図 5 に示される。図 5 では、0 ~ 4 0 9 5 のアドレスを生成するために、1 2 段のレジスタ段 2 0 0 と、生成多項式に従ってシフトレジスタ段 2 0 0 に接続された x o r ゲート 2 0 2 とにより、線形フィードバックシフトレジスタが形成される。したがって、レジスタ段 2 0 0 の保持データに従って、レジスタ段 R [ 0 ]、及びレジスタ段 R [ 2 ] の保持データを x o r 演算することにより、シフトレジスタの次のビットが x o r ゲート 2 0 2 の出力から提供される。生成多項式に従って、レジスタ段 2 0 0 の保持データから、擬似ランダムビット列が生成される。しかしながら、説明したように、4 K モード用のアドレスを生成するために、置換回路 2 1 0 が設けられ、この置換回路 2 1 0 は、その出力

50

において、シフトレジスタ200内のビットの順序を順序 $R'_i[n]$ から順序 $R_i[n]$ に効果的に置換する。その後、置換回路210の出力からの11個のビットは、接続チャンネル212に供給される。接続チャンネル212には、チャンネル214を介して、トグル回路218によって提供された最上位ビットが加えられる。したがって、チャンネル212上では12ビットのアドレスが生成される。しかし、アドレスの信頼性を保証するために、アドレスチェック回路216が、生成されたアドレスを分析して、アドレスが所定の最大値を超えているか否かを判断する。生成されたアドレスが所定の最大値を超える場合、制御信号が生成され、接続チャンネル220を介して制御部224に供給される。この場合、生成されたアドレスは廃棄され、特定のシンボルのために新たなアドレスが再生成される。

10

【0046】

要約すると、LFSR (Linear Feedback Shift Register: 線形フィードバックシフトレジスタ) を用いて、 $(N_r - 1)$  のビットワード $R'_i$  が定義される。ここで、 $N_r = \log_2 M_{max}$  であり、4Kモードにおいては、 $M_{max} = 4096$  である。

【0047】

このシーケンスを生成するために用いられる多項式は以下の通りである。

【0048】

【数2】

$$4K\text{モード: } R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

20

【0049】

式中、 $i$  は  $0 \sim M_{max} - 1$  の間で変化する。

【0050】

$R'_i$  ワードが生成されると、 $R'_i$  ワードは置換されて、 $R_i$  と呼ばれる別の  $(N_r - 1)$  のビットワードが生成される。 $R_i$  は、以下に示すビット置換によって  $R'_i$  から導き出される。

【0051】

【表6】

$R'_i$ for $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i$ for $n =$	7	10	5	8	1	2	4	9	0	3	6

30

4Kモードにおけるビット置換

【0052】

すなわち、4Kモードの場合、例えば  $R'_i$  のビット番号10が、 $R_i$  のビット位置番号7へ移動されることを意味する。

【0053】

その後、アドレス  $H(q)$  が、以下の式により  $R_i$  から導き出される。

【0054】

【数3】

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

40

【0055】

上記の式のうち、

【0056】

【数4】

$$(i \bmod 2) \cdot 2^{N_r-1}$$

【0057】

の部分は、図5において、トグルブロックT218によって示されている。

【0058】

50

その後、生成されたアドレスが許容可能なアドレスの範囲内にあるか否かを検証するために、 $H(q)$ に対してアドレスチェックが実行される。例えば、4Kモードにおいて、 $(H(q) < N_{max})$ の場合(ここで、 $N_{max} = 3024$ )、アドレスは有効である。アドレスが有効でない場合、制御部はそれを通知され、指数 $i$ を増分することにより、新たな $H(q)$ を生成しようと試みる。

【0059】

トグルブロックの役割は、1行内で $N_{max}$ を超えるアドレスを2度生成しないことを確実にすることである。実際、 $N_{max}$ を超える値が生成された場合、これは、アドレス $H(q)$ の最上位ビット(Most Significant Bit: MSB)(すなわち、トグルビット)が1であることを意味する。そこで、生成される次の値は、0に設定されたMSBを有し、これにより有効なアドレスが生成されることが保証される。

10

【0060】

以下の式は、以上の挙動をまとめて、このアルゴリズムのループ構造を理解し易くするためのものである。

【0061】

【数5】

$$R_i'[10] = R_{i-1}'[0] \oplus R_{i-1}'[2]$$

【0062】

以下に説明するように、アドレス生成部の一実施形態において、上述した置換コードは、すべてのOFDMシンボルのためのアドレスを生成するために用いられる。別の例では、置換コードのセットが、連続したシンボルに対して循環されるように、置換コードがシンボル間で変化してもよい。このために、OFDMシンボルが奇数であるか偶数であるかを示す情報を提供する制御線108、及び、現在のモードを示す情報を提供する制御線110を用いて、置換コードが選択される。複数の置換コードが循環されるこの例示的な形式は、後述するように、奇数インタリーブのみが用いられる例に特に適している。異なる置換コードを用いるべきであるということを示す信号が、制御線111を介して提供される。一実施形態では、可能な置換コードが、置換回路210に予め格納されている。別の実施形態では、制御部224が、OFDMシンボルのために用いる新たな置換コードを供給する。

20

30

【0063】

[受信装置]

図6は、本発明の実施形態の技術と共に用いることができる受信装置の例を説明するための図である。図6に示すように、COFDM信号は、アンテナ300によって受信され、チューナ302によって復調され、アナログ-デジタル変換部304によってデジタル形式に変換される。ガードインターバル除去処理部306は、周知の技術により、高速フーリエ変換(Fast Fourier Transform: FFT)処理部308をチャネル推定/補正処理部310と共に用いて、埋込-信号復号部311と協働して、受信されたCOFDMシンボルからデータが再生される前に、COFDMシンボルからガードインターバルを除去する。復調されたデータは、マッピング部312から再生され、シンボルデインタリーブ314に供給される。シンボルデインタリーブ314は、受信したデータシンボルを逆マッピングして、デインタリーブされたデータを有する出力データストリームを再生成するように動作する。

40

【0064】

図7に示すように、シンボルデインタリーブ314は、データ処理装置に設けられ、インタリーブメモリ540及びアドレス生成部542を有する。インタリーブメモリ540は、図4に示したものと同様であり、上述したように、アドレス生成部542により生成されたアドレスのセットを利用することによってデインタリーブするように動作する。アドレス生成部542は、図6に示すように形成され、各COFDMサブキャリア信号から再生されたデータシンボルを出力データストリームにマッピングするために、対応するア

50

ドレスを生成するように構成される。

【 0 0 6 5 】

図 6 に示す C O F D M 受信装置の残りの部分には、誤りを訂正し、ソースデータの推定値を再生するための誤り訂正符号化部 3 1 8 が設けられる。

【 0 0 6 6 】

本発明の実施形態の技術によって提供される、受信装置及び送信装置両方にとっての利点の 1 つは、受信装置及び送信装置において動作するシンボルインタリーブ及びシンボルデインタリーブは、生成多項式及び置換順序を変更することにより、1 K モード、2 K モード、4 K モード、8 K モード、1 6 K モード、及び 3 2 K モードの間で切り替わることができることである。したがって、図 7 に示すアドレス生成部 5 4 2 は、モードを示す情報 10 が供給される入力 5 4 4 と、奇数 C O F D M シンボル / 偶数 C O F D M シンボルが存在するか否かを示す情報が供給される入力 5 4 6 とを有する。これにより、図 5 に示すようなアドレス生成部を有する、図 3 及び図 7 に示すようなシンボルインタリーブ及びデインタリーブを形成することができるため、柔軟性のある実施態様が提供される。したがって、アドレス生成部は、各モードについて指示される生成多項式及び置換順序を変更することにより、種々の異なるモードに適応することができる。例えば、これは、ソフトウェアの変更を用いることにより達成される。或いは、他の実施形態では、受信装置は、埋込 - 信号処理部 3 1 1 において D V B - T 2 のモードを示す埋込信号を検出することができ、この信号を用いて、検出されたモードに従うシンボルデインタリーブを自動的に構成することができる。

【 0 0 6 7 】

[ 奇数インタリーブの最適な使用 ]

図 4 に示すように、2 つのシンボルインタリーブ処理により、インタリーブ中に用いられるメモリの量を低減することができる。2 つのシンボルインタリーブ処理のうち 1 つは偶数 C O F D M シンボルのための処理であり、もう 1 つは奇数 C O F D M シンボルのための処理である。図 4 に示す例において、奇数シンボルの書き込み順序は、偶数シンボルの読み出し順序と同じである。したがって、奇数シンボルがメモリから読み出されるときに、偶数シンボルを当該読み出された場所に書き込むことができ、その後、偶数シンボルがメモリから読み出されると、奇数シンボルを当該読み出された場所に書き込むことができる。

【 0 0 6 8 】

上記で説明した、アドレス生成部 1 0 2 のための生成多項式及び置換コードの選択は、以下のインタリーブの相対的な性能のシミュレーション分析によって確認される。インタリーブの相対的な性能は、連続したシンボルを分離するインタリーブの相対的な能力、すなわち「インタリーブ品質」を用いて評価されてきた。上述のように、単一のインタリーブメモリを用いるためには、インタリーブを奇数シンボル及び偶数シンボルの両方に対して効果的に実行しなければならない。インタリーブ品質の相対的な測定値は、( 複数のサブキャリアにおける ) 距離 D を定義することによって求められる。インタリーブの入力において距離 D であり、インタリーブの出力において距離 D であるサブキャリアの数を特定するために、以下の式に示す基準 C が選択される。その後、各距離 D についてのサブキャリアの数は、その相対的な距離に関して重み付けされる。基準 C は、奇数 C O F D M シンボル及び偶数 C O F D M シンボルの両方において評価される。C を最小とすることにより、優れた品質のインタリーブが実現される。

【 0 0 6 9 】

【 数 6 】

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

【 0 0 7 0 】

式中、 $N_{even}(d)$  及び  $N_{odd}(d)$  はそれぞれ、偶数シンボル及び奇数シンボルにおける、インタリーブの出力において、サブキャリア間の間隔が d 以内のままである

サブキャリアの数である。

【 0 0 7 1 】

上述のように、また例えば図 8 ( a ) 及び図 8 ( b ) に示すように、( 上記で定義した基準 C を用いた ) インタリーブの性能の実験的な分析の結果、DVB-T の 2 K シンボルインタリーブ及び 8 K シンボルインタリーブ、並びに DVB-H の 4 K シンボルインタリーブのために設計されたインタリーブ方式は、偶数シンボルよりも奇数シンボルに対して良好に動作することが発見された。したがって、例えば 16 K モードの場合の、図 8 ( a ) 及び図 8 ( b ) によって示されるようなインタリーブの性能の評価結果から、奇数インタリーブは偶数インタリーブよりも良好に動作することが明らかになった。これは、偶数シンボルのインタリーブの結果を示す図 8 ( a ) と、奇数シンボルのインタリーブの結果を示す図 8 ( b ) とを比較することによって分かる。インタリーブの入力において隣接していた複数のサブキャリアの、インタリーブの出力においての平均距離が、偶数シンボルのインタリーブの場合よりも、奇数シンボルのインタリーブの場合に大きいことが分かる。

10

【 0 0 7 2 】

当然のことながら、シンボルインタリーブを実装するために必要とされるインタリーブメモリの量は、COFDM キャリアシンボルにマッピングされるデータシンボルの数に依存する。したがって、16 K モードのシンボルインタリーブは、32 K モードのシンボルインタリーブを実装するのに必要なメモリの半分を必要とする。同様に、8 K モードのシンボルインタリーブを実装するのに必要とされるメモリの量は、16 K モードのインタリーブを実装するのに必要なメモリの量の半分である。したがって、OFDM シンボル当たりの搬送可能なデータシンボルの最大数を設定する或るモードのシンボルインタリーブを実装するように構成された送信装置又は受信装置は、その所与の最大モードにおける OFDM シンボル当たりのサブキャリアの最大数の半数以下のサブキャリアを提供する任意の他のモードにおいて 2 つの奇数インタリーブ処理を実行するのに十分なメモリを有する。例えば、32 K インタリーブを有する受信装置又は送信装置は、各自の 16 K メモリをそれぞれ有する 2 つの 16 K 奇数インタリーブ処理に対応するのに十分なメモリを有する。

20

【 0 0 7 3 】

したがって、奇数インタリーブ処理のより良好な性能を得るために、複数の動作モードに対応可能なシンボルインタリーブを構成することができるので、最大モードにおけるサブキャリアの数、つまり OFDM シンボル当たりのサブキャリアの最大数の半数以下のサブキャリアを有するモードにおいては、奇数シンボルインタリーブ処理だけが用いられる。したがって、この最大モードは、最大メモリサイズを設定する。例えば、32 K モードが可能な送信装置 / 受信装置において、よりキャリアの少ない ( すなわち、16 K、8 K、4 K または 1 K ) モードで動作するとき、別個の奇数シンボルインタリーブ処理及び偶数シンボルインタリーブ処理を用いるのではなく、2 つの奇数インタリーブ処理を用いる。

30

【 0 0 7 4 】

奇数インタリーブモードのみにおいて入力データシンボルを OFDM シンボルのサブキャリアにインタリーブする、図 3 に示したシンボルインタリーブ 33 の応用例が、図 9 に示されている。シンボルインタリーブ 33 . 1 は、アドレス生成部 102 . 1 が、奇数インタリーブ処理のみを実行するように適合されたこと以外は、図 3 に示すシンボルインタリーブ 33 と全く同じである。図 9 に示す例では、シンボルインタリーブ 33 . 1 は、OFDM シンボル当たりの搬送可能なデータシンボルの数が、OFDM シンボル当たりのサブキャリアの数が最大である動作モードにおいて 1 つの OFDM シンボルが搬送できる最大数の半分以下であるモードで動作している。したがって、シンボルインタリーブ 33 . 1 は、インタリーブメモリ 100 を分割するように構成されている。図 9 に示す例では、インタリーブメモリ 100 は、2 つの部分 401、402 に分割されている。図 9 は、データシンボルが、奇数インタリーブ処理を用いて OFDM シンボルにマッピングされるモードで動作するシンボルインタリーブ 33 . 1 の例として、インタリーブメモリ 401、

40

50

402のそれぞれの拡大図示している。この拡大図は、図4において示された送信側における4つのシンボルA、B、C、Dとして表現された奇数インタリーブモードの説明を示す。したがって、図9に示すように、連続した第1のセットのデータシンボル及び第2のセットのデータシンボルについて、これらのデータシンボルは、上述のように、並び順でインタリーブメモリ401、402に書き込まれ、アドレス生成部102によって生成されたアドレスに従う、置換された順序で読み出される。したがって、図9に示すように、連続した第1のセットのデータシンボル及び第2のセットのデータシンボルに対して奇数インタリーブ処理が実行されるように、インタリーブメモリは2つの部分に分割される。シンボルインタリーブはもはや、奇数モード及び偶数モードのインタリーブの場合のように、シンボルインタリーブメモリの同じ部分を再利用することはできないため、第1のセットのデータシンボルは、インタリーブメモリの第1の部分401に書き込まれ、第2のセットのデータシンボルは、インタリーブメモリの第2の部分402に書き込まれる。

10

#### 【0075】

図7にも示したが、奇数インタリーブ処理のみで動作するように応用された受信装置におけるインタリーブの対応する例を、図10に示す。図10に示すように、インタリーブメモリ540は、2つの部分410、412に分割され、アドレス生成部542は、データシンボルの連続したセットについて、データシンボルを、メモリの各部分410、412に書き込み、これらの各部分410、412からデータシンボルを読み出して、奇数インタリーブ処理のみを実行するように応用されている。したがって、図9に示した送信装置に対応して、図10は、受信装置において実行され、拡大図として図4に示された、インタリーブメモリの第1の部分410及び第2の部分412のそれぞれに対して動作するインタリーブ処理のマッピングを示す。したがって、データシンボルの第1のセットは、例えば書き込みシーケンス1、3、0、2として示されるように、アドレス生成部542により生成されたアドレスにより規定された、データシンボルの置換された書き込み順序で、インタリーブメモリの第1の部分410に書き込まれる。図示するように、その後、データシンボルが、インタリーブメモリの第1の部分410から並び順で読み出され、したがって元の順序A、B、C、Dを再生する。

20

#### 【0076】

同様に、連続したOFDMシンボルから再生された後続の第2のセットのデータシンボルが、アドレス生成部542により生成されたアドレスに従って、置換された順序でインタリーブメモリの第2の部分412に書き込まれ、並び順で出力データストリームに読み出される。

30

#### 【0077】

一実施形態では、受信機は、インタリーブメモリの第1の部分410に書き込むために第1のセットのデータシンボルに対して生成されたアドレスを、第2のセットのデータシンボルをインタリーブメモリ412に書き込むために再利用することができる。同様に、送信装置は、インタリーブの第1の部分のために第1のセットのデータシンボルに対して生成されたアドレスも、メモリの第2の部分に並び順で書き込まれた第2のセットのデータシンボルを読み出すために再利用することができる。

40

#### 【0078】

##### [オフセットを有する奇数インタリーブ]

単一の奇数のみのインタリーブではなく、奇数のみのインタリーブのシーケンスを用いることにより、2つの奇数インタリーブを用いるインタリーブの性能をさらに向上させることができる。これは、インタリーブに入力されるあらゆるデータビットが常に同じOFDMシンボルのサブキャリアを変調してしまうことがなくなるからである。

#### 【0079】

奇数のみのインタリーブのシーケンスは、以下のいずれかによって実現され得る。

- ・データキャリアの数を法として、インタリーブアドレスにオフセットを追加すること、又は
- ・インタリーブにおいて置換コードのシーケンスを用いること

50



## 【 0 0 8 0 】

## [ オフセットの追加 ]

データキャリアの数を法として、インタリーバアドレスにオフセットを追加することにより、OFDMシンボルが効果的にシフト及びラップラウンドされるので、インタリーバに入力されるあらゆるデータビットが、常に同じOFDMシンボルのキャリアを変調するわけではなくなる。したがって、アドレス生成部は、オプションとして、出力チャネルH (q) 上でアドレス生成部により生成されたアドレスにおいてオフセットを生成するオフセット生成部を有してもよい。

## 【 0 0 8 1 】

オフセットは、各シンボルを変化させる。例えば、このオフセットは循環的なシーケンスであってもよい。この循環的なシーケンスは、例えば長さ4であってもよく、例えば素数からなってもよい。例えば、このようなシーケンスは

0、4 1、9 7、1 5 7

であってもよい。

## 【 0 0 8 2 】

さらに、オフセットはランダムシーケンスであってもよい。このランダムシーケンスは、類似のOFDMシンボルインタリーバの別の生成部、又は何らかの他の手段によって生成されてもよい。

## 【 0 0 8 3 】

## [ 置換シーケンスの利用 ]

図5に示すように、制御線1 1 1は、アドレス生成部1 0 2の制御部2 2 4から置換回路2 1 0に延びている。上述のように、一実施形態では、アドレス生成部は、連続したOFDMシンボルに対し、置換コードのセットからの異なる置換コードを適用することができる。インタリーバのアドレス生成部において1つの置換シーケンスを用いることにより、インタリーバに入力されるあらゆるデータビットが、OFDMシンボルにおいて常に同じサブキャリアを変調してしまう可能性が低減する。

## 【 0 0 8 4 】

例えば、これは循環的なシーケンスであり得るこれにより、一連の置換コードのセットにおける異なる置換コードが、連続したOFDMシンボルに対して用いられ、その後繰り返される。この循環的なシーケンスは、例えば、2又は4の長さであり得る。4 Kシンボルインタリーバの例の場合、OFDMシンボルを通して循環する2つの置換コードのシーケンスは例えば、以下のようになり得る。

7 1 0 5 8 1 2 4 9 0 3 6 \*  
6 2 7 1 0 8 0 3 4 1 9 5

## 【 0 0 8 5 】

一方、4つの置換コードのシーケンスは以下のようになり得る。

7 1 0 5 8 1 2 4 9 0 3 6 \* \*  
6 2 7 1 0 8 0 3 4 1 9 5  
9 5 4 2 3 1 0 1 0 6 8 7  
1 4 1 0 3 9 7 2 6 5 0 8

## 【 0 0 8 6 】

1つの置換コードから別の置換コードへの切り替えは、制御チャネル1 0 8を介して通知される奇数/偶数信号における変更に応じて達成することができる。これに応じて、制御部2 2 4は、制御線1 1 1を介して、置換コード回路2 1 0において置換コードを変更する。

## 【 0 0 8 7 】

1 Kシンボルインタリーバの例では、2つの置換コードは以下のようになり得る。

4 3 2 1 0 5 6 7 8  
3 2 5 0 1 4 7 8 6

## 【 0 0 8 8 】

10

20

30

40

50

一方、4つの置換コードは以下のようになり得る。

4	3	2	1	0	5	6	7	8
3	2	5	0	1	4	7	8	6
7	5	3	8	2	6	1	4	0
1	6	8	2	5	3	4	0	7

【0089】

2 K、8 K、及び16 Kキャリアのモードの場合、又は0.5 Kキャリアのモードの場合にも、シーケンスの他の組み合わせが可能であり得る。例えば、0.5 K、2 K、8 K及び16 Kについての以下の置換コードは、シンボルの良好な非相関性を提供し、循環的に用いられて、アドレス生成部により各モードについて生成されたアドレスに対するオフセットを生成することができる。

10

2 Kモード：

0	7	5	1	8	2	6	9	3	4	*
4	8	3	2	9	0	1	5	6	7	
8	3	9	0	2	1	5	7	4	6	
7	0	4	8	3	6	9	1	5	2	

8 Kモード：

5	11	3	0	10	8	6	9	2	4	1	7	*
8	10	7	6	0	5	2	1	3	9	4	11	
11	3	6	9	2	7	4	10	5	1	0	8	
10	8	1	7	5	6	0	11	4	2	9	3	

20

16 Kモード：

8	4	3	2	0	11	1	5	12	10	6	7	9
7	9	5	3	11	1	4	0	2	12	10	8	6
6	11	7	5	2	3	0	1	10	8	12	9	4
5	12	9	0	3	10	2	4	6	7	8	11	1

【0090】

上に示した置換コードでは、最初の2つを2シーケンスのサイクルにおいて用いることができ、一方、4つすべてを4シーケンスのサイクルにおいて用いることができる。さらに、アドレス生成部におけるオフセットを提供して、インタリーブされたシンボル（いくつかは上記と共通である）における良好な非相関性を生成するための、いくつかのさらなる循環する4つの置換コードのシーケンスを以下に提供する。

30

0.5 Kモード：

3	7	4	6	1	2	0	5
4	2	5	7	3	0	1	6
5	3	6	0	4	1	2	7
6	1	0	5	2	7	4	3

2 Kモード：

0	7	5	1	8	2	6	9	3	4	*
3	2	7	0	1	5	8	4	9	6	
4	8	3	2	9	0	1	5	6	7	
7	3	9	5	2	1	0	6	4	8	

40

4 Kモード：

7	10	5	8	1	2	4	9	0	3	6	*	*
6	2	7	10	8	0	3	4	1	9	5		
10	3	4	1	2	7	0	6	8	5	9		
0	8	9	5	10	4	6	3	2	1	7		

8 Kモード：

5	11	3	0	10	8	6	9	2	4	1	7	*
8	10	7	6	0	5	2	1	3	9	4	11	

50

1 1 3 6 9 2 7 4 1 0 5 1 0 8  
 1 0 8 1 7 5 6 0 1 1 4 2 9 3

\* これらは D V B - T 規格における置換コードである

\* \* これらは D V B - H 規格における置換コードである

【 0 0 9 1 】

2 K、4 K 及び 8 K モードでのアドレス生成部及び対応するインタリーバの例が、欧州特許出願第 0 4 2 5 1 6 6 7 . 4 号に開示されており、その内容は参照として本明細書に援用される。0 . 5 K モードのためのアドレス生成部は、係属中の英国特許出願第 0 7 2 2 5 5 3 . 5 号に開示されている。本発明の範囲から逸脱することなく、上述した実施形態に対して種々の変更が行われてもよい。特に、本発明の態様を表すために用いられた生成多項式及び置換順序の例示的な表現は、限定を意図しておらず、等価な形式の生成多項式及び置換順序に拡大適用される。

10

【 0 0 9 2 】

当然のことながら、図 1 に示す送信装置及び図 6 に示す受信装置は、例示の目的のみで提供され、限定を意図していない。例えば、ビットインタリーバ及びマッピング部及びデマッピング部に対するシンボルインタリーバ及びデインタリーバの位置は変更され得ることが理解されるであろう。当然のことながら、インタリーバは v - ビットベクトルの代わりに I / Q シンボルをインタリーブし得るが、インタリーバ及びデインタリーバの効果は、その相対位置を変更しても同様の硬貨を達成することができる。受信装置において、同様の変更を行ってもよい。したがって、インタリーバ及びデインタリーバは異なるデータタイプに対して動作してもよく、例示的な上記実施形態において記載した位置とは異なる位置に配置してもよい。

20

【 0 0 9 3 】

受信装置の一実施態様によれば、O F D M シンボルの所定の数のサブキャリア信号から受信したシンボルを出力シンボルストリームにマッピングするデータ処理装置が提供される。

【 0 0 9 4 】

上述したように、特定のモードの実施態様を参照して説明したインタリーバの置換コード及び生成多項式を、そのモードでのキャリアの数に従って所定の許容されるアドレスの最大数を変更することにより、他のモードに等しく適用することができる。

30

【 0 0 9 5 】

上述のように、本発明の実施形態は、D V B - T、D V B - T 2 及び D V B - H 等の D V B 規格で用いられ、これらは本明細書に参照として援用される。例えば、本発明の実施形態は、D V B - H 規格に従って、ハンドヘルド端末において動作する送信装置又は受信装置において用いられてもよい。このハンドヘルド端末は、例えば、携帯電話（第 2 世代、第 3 世代又はより高次の世代のいずれか）又は個人情報端末又はタブレット型パーソナルコンピュータに組み込まれてもよい。このようなハンドヘルド端末は、建物の中、又は例えば自動車若しくは電車での高速移動中に、D V B - H 又は D V B - T / T 2 に互換性のある信号を受信可能であってもよい。このハンドヘルド端末は、電池、電気の幹線、又は低圧直流電源によって電力供給されてもよく、又は自動車のバッテリーによって電力供給されてもよい。D V B - H によって提供されるサービスは、音声、メッセージ、インターネットの閲覧、ラジオ、静止画及び / 又は動画、テレビジョンサービス、双方向サービス、ビデオオンデマンド又はニアビデオオンデマンド及びオブション等であり得る。これらのサービスは、互いに組み合わせさせて動作してもよい。本発明の他の例示的な実施形態は、ヨーロッパ電気通信標準化協会（European Telecommunications Standards Institute : E T S I）規格 E N 3 0 2 7 5 5 に従って指定された D V B - T 2 において用いられる。本発明の他の例示的な実施形態は、D V B - C 2 として知られているケーブル送信規格で用いられる。しかしながら、本明細書は D V B での利用に限定されず、他の固定及び移動体の両方の送信又は受信用の規格に拡大適用されてもよいことは理解されるであろう。

40

50

【図面の簡単な説明】

【0096】

【図1】例えばDVB-T2規格で用いることができる、符号化OFDM送信装置の概略ブロック図である。

【図2】シンボルマッピング部及びフレームビルダがインタリーブの動作を説明する、図1に示す送信装置の部分の概略ブロック図である。

【図3】図2に示すシンボルインタリーブの概略ブロック図である。

【図4】図3に示すインタリーブメモリ、及び受信装置における対応するシンボルデインタリーブの概略ブロック図である。

【図5】4Kモードの場合の、図3に示すアドレス生成部の概略ブロック図である。

10

【図6】例えばDVB-T2規格で用いることができる、符号化OFDM受信装置の概略ブロック図である。

【図7】図6に示すシンボルデインタリーブの概略ブロック図である。

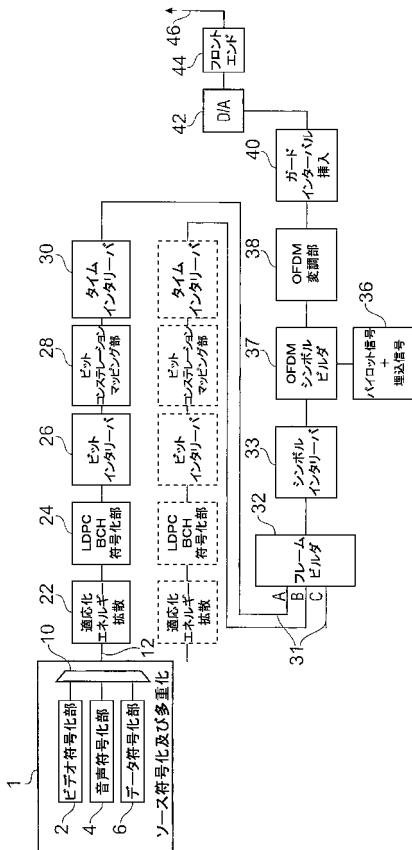
【図8】図8(a)は、偶数OFDMシンボルの場合のインタリーブの結果を示す図であり、インタリーブの入力において隣接していたサブキャリアの、インタリーブの出力における距離のプロットを示す。図8(b)は、奇数OFDMシンボルの場合のインタリーブの結果を示す図であり、インタリーブの入力において隣接していたサブキャリアの、インタリーブの出力における距離のプロットを示す。

【図9】図3に示すシンボルインタリーブの概略ブロック図であり、奇数インタリーブモードのみに従ってインタリーブが実行される動作モードを示す。

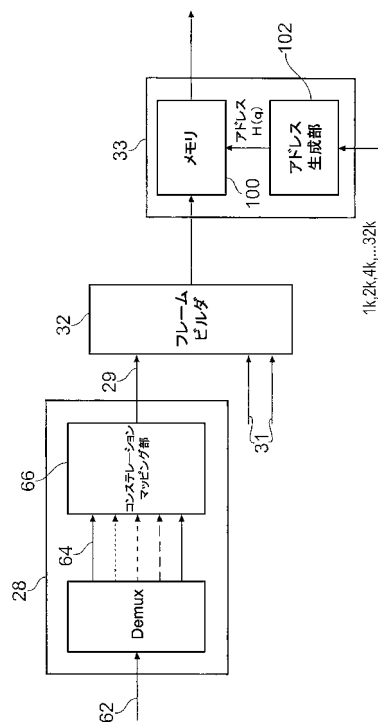
20

【図10】図7に示すシンボルデインタリーブの概略ブロック図であり、奇数インタリーブモードのみに従ってインタリーブが実行される動作モードを示す。

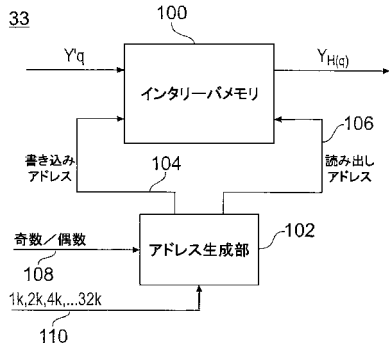
【図1】



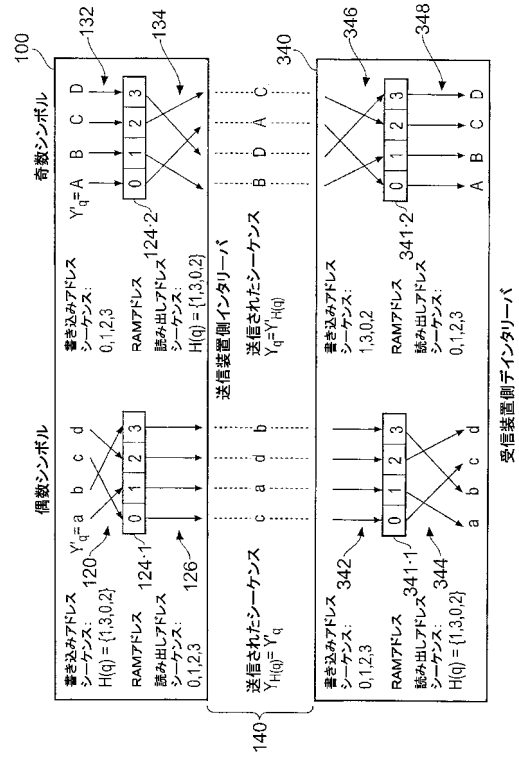
【図2】



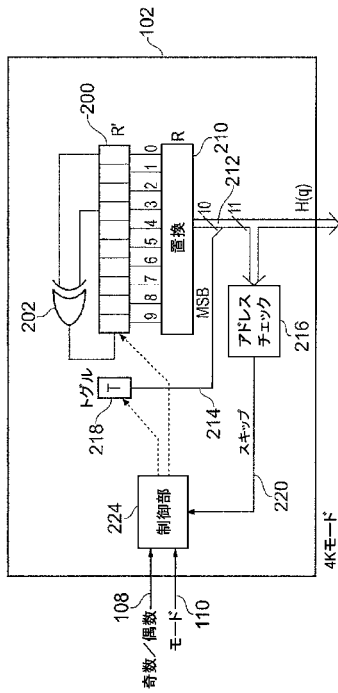
【 図 3 】



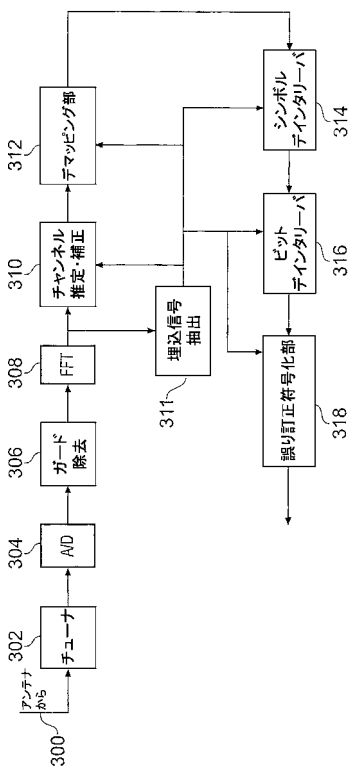
【 図 4 】



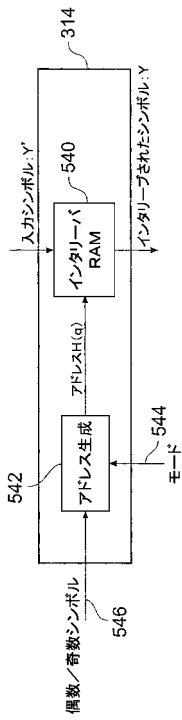
【 図 5 】



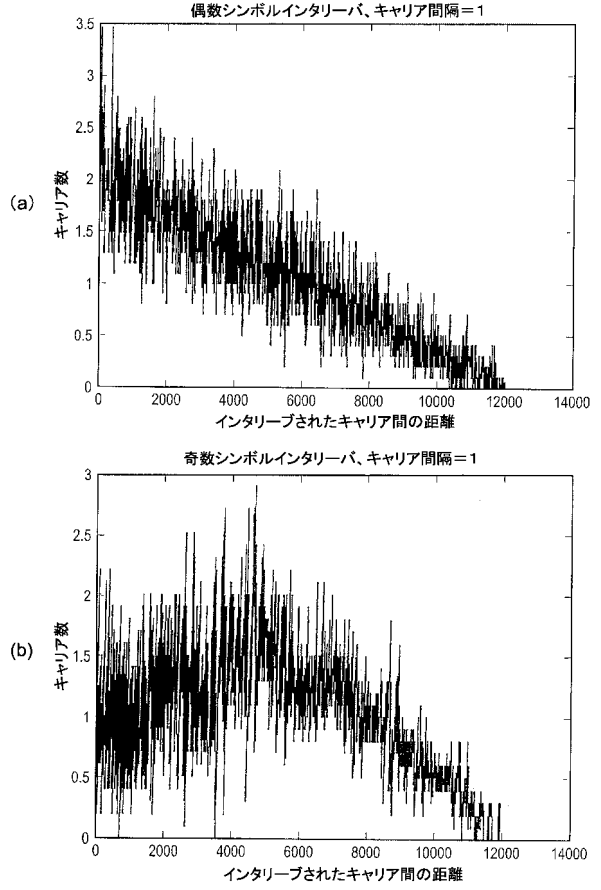
【 図 6 】



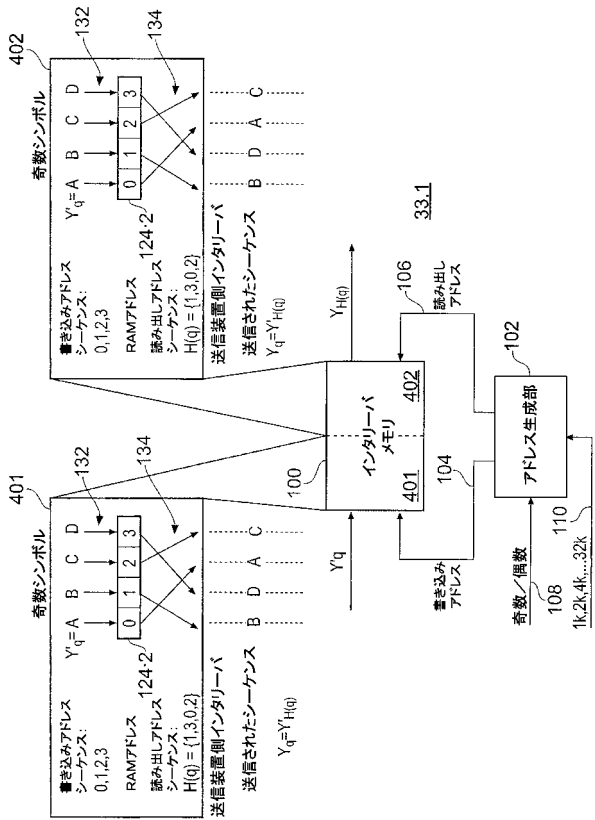
【図 7】



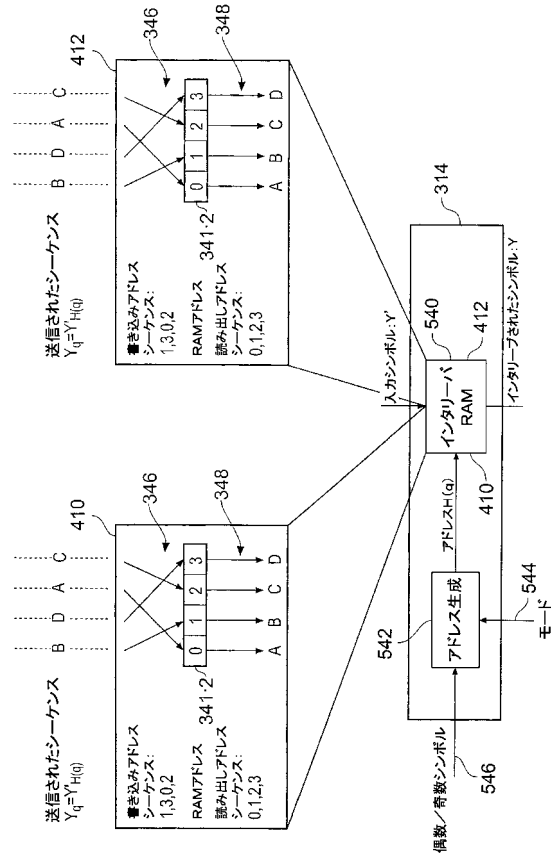
【図 8】



【図 9】



【図 10】



---

フロントページの続き

- (72)発明者 サミュエル アサンベン アツングシリ  
イギリス ハンプシャー ベイジングストーク シモンズウオーク 1 3
- (72)発明者 ジョン ニコラス ウィルソン  
イギリス ハンプシャー ホック クインズツリーウェイ 4
- Fターム(参考) 5K022 DD01 DD13 DD19 DD23 DD33