

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/337

H01L 29/80

H01L 29/808



[12] 发明专利申请公开说明书

[21] 申请号 03815406.4

[43] 公开日 2005 年 9 月 7 日

[11] 公开号 CN 1666325A

[22] 申请日 2003.7.24 [21] 申请号 03815406.4

[30] 优先权

[32] 2002.7.24 [33] JP [31] 215804/2002

[32] 2002.8.12 [33] JP [31] 235045/2002

[86] 国际申请 PCT/JP2003/009412 2003.7.24

[87] 国际公布 WO2004/010489 日 2004.1.29

[85] 进入国家阶段日期 2004.12.29

[71] 申请人 住友电气工业株式会社

地址 日本大阪府

[72] 发明人 星野孝志 原田真 藤川一洋

初川聪 弘津研一

[74] 专利代理机构 中科专利商标代理有限责任公司

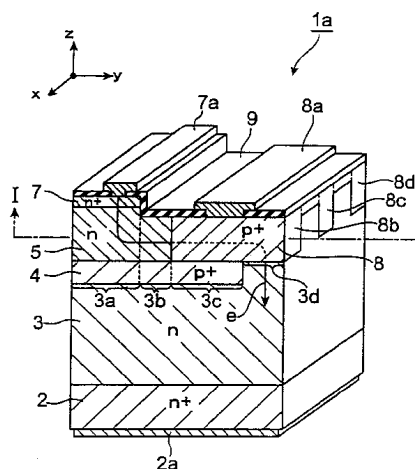
代理人 汪惠民

权利要求书 14 页 说明书 44 页 附图 48 页

[54] 发明名称 纵向结型场效应晶体管及其制造方法

[57] 摘要

本发明的纵向 JFET1a 配备 n⁺ 型漏极半导体部 (2)、n 型漂移半导体部 (3)、p⁺ 型栅极半导体部 (4)、n 型沟道半导体部 (5)、n⁺ 型源极半导体部 (7)、和 p⁺ 型栅极半导体部 (8)。n 型漂移半导体部 (3) 设置在 n⁺ 型漏极半导体部 (2) 的主面上, 具有沿与该主面交叉的方向延伸的第 1 ~ 第 4 区域 (3a - 3d)。p⁺ 型栅极半导体部 (4) 设置在 n 型漂移半导体部 (3) 的第 1 ~ 第 3 区域 (3a - 3c) 上。n 型沟道半导体部 (5) 沿 p⁺ 型栅极半导体部 (4) 设置, 电连接于 n 型漂移半导体部 (3) 的第 4 区域 (3d) 上。



- 1、一种纵向结型场效应晶体管，备有：
- 5 漏极半导体部；
- 漂移半导体部，设置在所述漏极半导体部的主面上，具有沿与该主面交叉的规定轴向延伸的第1、第2、第3和第4区域；
- 埋入半导体部，具有与所述漂移半导体部的导电类型相反的导电类型，设置在所述漂移半导体部的所述第1、第2和第3区域上；
- 10 沟道半导体部，沿所述埋入半导体部设置，具有与所述埋入半导体部的导电类型相反的导电类型，电连接于所述漂移半导体部的所述第4区域上；
- 源极半导体部，设置在所述漂移半导体部的第1区域和所述沟道半导体部上；和
- 栅极半导体部，具有与所述漏极半导体部的导电类型相反的导电类型，设置
- 15 在所述第3和第4区域和所述沟道半导体部上，
- 所述栅极半导体部具有在从所述第3区域向所述第4区域的方向上延伸的多个凸部，在所述凸部之间设置所述沟道半导体部，所述凸部连接于所述埋入半导体部上。
- 2、一种纵向结型场效应晶体管，备有：
- 20 漏极半导体部；
- 漂移半导体部，设置在所述漏极半导体部的主面上，具有沿与该主面交叉的规定轴向延伸的第1、第2、第3和第4区域；
- 埋入半导体部，具有与所述漂移半导体部的导电类型相反的导电类型，设置在所述漂移半导体部的所述第1、第2和第3区域上；
- 25 沟道半导体部，沿所述埋入半导体部设置，具有与所述埋入半导体部的导电类型相反的导电类型，电连接于所述漂移半导体部的所述第4区域上；
- 源极半导体部，设置在所述漂移半导体部的第1区域和所述沟道半导体部上；和
- 多个栅极半导体部，具有与所述漏极半导体部的导电类型相反的导电类型，
- 30 设置在所述第3和第4区域和所述沟道半导体部上，

所述多个栅极半导体部分别在从所述第3区域向所述第4区域的方向上延伸，在所述多个栅极半导体部之间设置所述沟道半导体部，各栅极半导体部连接于所述埋入半导体部上。

3、一种纵向结型场效应晶体管，备有：

5 漏极半导体部；

漂移半导体部，设置在所述漏极半导体部的主面上，具有沿与该主面交叉的规定轴向延伸的第1、第2、第3和第4区域；

埋入半导体部，设置在所述漂移半导体部的主面上，设置在与该主面交叉的规定轴向延伸的第1、第2和第3区域上；

10 沟道半导体部，沿所述埋入半导体部设置，具有与所述埋入半导体部的导电类型相反的导电类型，电连接于所述漂移半导体部的所述第4区域上；和

栅极半导体部，具有与所述漂移半导体部的导电类型相反的导电类型，设置在所述第3和第4区域以及所述沟道半导体部上，

15 所述栅极半导体部具有在从所述第3区域向所述第4区域的方向上延伸的多个凸部，在所述凸部之间设置所述沟道半导体部，所述漂移半导体部连接于所述埋入半导体部上，

所述漂移半导体部具有沿与所述漏极半导体部的主面交叉的轴向延伸的第5区域，

20 还备有第2半导体部，所述第2半导体部具有与所述漏极半导体部的导电类型相反的导电类型，设置在所述第5区域上，

所述第2半导体部从所述埋入半导体部沿源极半导体部在所述规定轴向上延伸。

4、根据权利要求1~3中任一项所述的纵向结型场效应晶体管，其特征在于：

25 还备有第1半导体部，所述第1半导体部设置在所述漂移半导体部的第1、第2区域和所述沟道半导体部上，具有与所述源极半导体部的导电类型相同的导电类型，

所述第1半导体部的掺杂物浓度比所述沟道半导体部的掺杂物浓度低。

5、一种纵向结型场效应晶体管，备有：

漏极半导体部；

30 漂移半导体部，设置在所述漏极半导体部的主面上，具有在沿与该主面延伸

的基准面交叉的规定轴向上延伸的第1至第5区域；

埋入半导体部，具有与所述漂移半导体部的导电类型相反的导电类型，沿所述基准面设置在所述漂移半导体部的所述第1至第4区域上；

5 多个栅极半导体部，沿所述基准面设置在所述漂移半导体部的所述第2至第4区域上，具有与所述埋入半导体部的导电类型相同的导电类型；

沟道半导体部，设置在所述埋入半导体部与所述多个栅极半导体部之间、和所述多个栅极半导体部之间，具有与所述埋入半导体部的导电类型相反的导电类型；

10 连接半导体部，具有与所述埋入半导体部和所述沟道半导体部的导电类型相同的导电类型，沿所述规定轴向延伸，连接所述埋入半导体部和所述多个栅极半导体部；

第1集合半导体部，在所述漂移半导体部的第1区域上，连接所述沟道半导体部；

15 第2集合半导体部，在所述漂移半导体部的第5区域上，连接所述沟道半导体部；和

源极半导体部，设置在所述漂移半导体部的第1区域上，连接于所述第1集合半导体部上。

6、一种纵向结型场效应晶体管，备有：

漏极半导体部；

20 漂移半导体部，设置在所述漏极半导体部的主面上，具有在沿与该主面延伸的基准面交叉的规定轴向上延伸的第1至第5区域；

埋入半导体部，具有与所述漂移半导体部的导电类型相反的导电类型，沿所述基准面设置在所述漂移半导体部的所述第1至第4区域上；

25 多个栅极半导体部，沿所述基准面设置在所述漂移半导体部的所述第2至第4区域上，具有与所述埋入半导体部的导电类型相同的导电类型；

沟道半导体部，设置在所述埋入半导体部与所述多个栅极半导体部之间、和所述多个栅极半导体部之间，具有与所述埋入半导体部的导电类型相反的导电类型；

30 连接半导体部，具有与所述沟道半导体部的导电类型相同的导电类型，连接所述多个栅极半导体部；

第1集合半导体部,在所述漂移半导体部的第1区域上,连接所述沟道半导体部;

第2集合半导体部,在所述漂移半导体部的第5区域上,连接所述沟道半导体部;和

5 源极半导体部,设置在所述漂移半导体部的第1区域上,连接于所述第1集合半导体部上,

所述漂移半导体部具有设置在所述主面上、沿与该主面交叉的方向延伸的第6区域,

10 还备有第3连接半导体部,所述第3连接半导体部具有与所述漏极半导体部的导电类型相反的导电类型,设置在所述第6区域上,

所述第3连接半导体部沿所述第1集合半导体部设置。

7、根据权利要求1~4中任一项所述的纵向结型场效应晶体管,其特征在于:所述栅极半导体部和所述沟道半导体部的厚度,比所述漂移半导体部的所述第1区域上的所述埋入半导体部与所述源极半导体部的间隔小。

15 8、根据权利要求5或6所述的纵向结型场效应晶体管,其特征在于:

所述漂移半导体部的所述第2至第4区域上的所述多个栅极半导体部和所述沟道半导体部的厚度,比所述漂移半导体部的所述第1区域上的所述埋入半导体部与所述源极半导体部的间隔小。

20 9、根据权利要求1、2、4中任一项所述的纵向结型场效应晶体管,其特征在于:

确定所述栅极半导体部的凸部间隔,使该纵向结型场效应晶体管显示常断开特性。

10、根据权利要求3所述的纵向结型场效应晶体管,其特征在于:

25 确定所述栅极半导体部的所述凸部间隔、和所述栅极半导体部的所述凸部与所述埋入半导体部的间隔,使该纵向结型场效应晶体管显示常断开特性。

11、根据权利要求5~7中任一项所述的纵向结型场效应晶体管,其特征在于:

确定各栅极半导体部的间隔、和所述栅极半导体部与所述埋入半导体部的间隔,使该纵向结型场效应晶体管显示常断开特性。

30 12、根据权利要求1~11中任一项所述的纵向结型场效应晶体管,其特征在

于：

所述沟道半导体部具有交互层叠低浓度层与高浓度层的结构。

13、根据权利要求1~11中任一项所述的纵向结型场效应晶体管，其特征在于：

5 所述漂移半导体部具有：导电半导体区域，沿与所述漏极半导体部的主面交叉的基准面延伸，具有与所述漏极半导体部的导电类型相同的导电类型，电连接于所述沟道半导体部上；和

非导电半导体区域，邻接所述导电半导体区域设置，具有与所述漏极半导体部的导电类型相反的导电类型，电连接于所述埋入半导体部上，

10 所述导电半导体区域与所述非导电半导体区域形成于与所述漂移半导体部的第1至第4区域排列的方向相同的方向上。

14、根据权利要求1~11中任一项所述的纵向结型场效应晶体管，其特征在于：

15 所述漂移半导体部具有：导电半导体区域，沿与所述漏极半导体部的主面交叉的基准面延伸，具有与所述漏极半导体部的导电类型相同的导电类型，电连接于所述沟道半导体部上；和

非导电半导体区域，邻接所述导电半导体区域设置，具有与所述漏极半导体部的导电类型相反的导电类型，电连接于所述埋入半导体部上，

20 所述导电半导体区域与所述非导电半导体区域形成于与所述漂移半导体部的第1至第4区域排列的方向交叉的方向上。

15、根据权利要求1~14中任一项所述的纵向结型场效应晶体管，其特征在于：

25 所述漏极半导体部、所述漂移半导体部、所述埋入半导体部、所述栅极半导体部、所述沟道半导体部、所述连接半导体部和所述源极半导体部，由作为宽禁带宽度半导体材料的SiC或GaN形成。

16、一种纵向结型场效应晶体管的制造方法，具备在第1导电类型的基板上形成第1导电类型的第1半导体层的工序，所述第1半导体层的主面具有沿规定的轴向依次配置的第1至第4区域，

30 具备向所述第1半导体层的主面的第1至第3区域中导入第2导电类型的掺杂物并形成埋入半导体部的工序，

具备在所述第1半导体层上形成第1导电类型的第2半导体层的工序，
具备在所述第2半导体层上形成第1导电类型的源极半导体层的工序，
具备蚀刻所述第1半导体层的主面的至少第2、第3、第4中任一区域上的
所述源极半导体层、以达到所述第1半导体层、露出所述第2半导体层的规定区
5 域的工序，

所述规定区域具有沿所述规定轴向延伸的多个第1部分、和规定成包含该多
个部分的第2部分，

具备向所述多个第1部分中导入栅极半导体部用的第2导电类型的掺杂物并
形成第2导电类型的第1半导体部的工序。

10 17、根据权利要求16所述的纵向结型场效应晶体管的制造方法，其特征在
于：

还具备向所述第2部分中导入栅极半导体部用的第2导电类型的掺杂物并形
成第2导电类型的第2半导体部的工序，

所述第2半导体部的深度比所述第1半导体部的深度浅。

15 18、根据权利要求16或17所述的纵向结型场效应晶体管的制造方法，其特
征在于：

所述第1半导体部形成为连接于所述埋入半导体部上。

19、一种纵向结型场效应晶体管的制造方法，具备第1半导体层形成工序，
在第1导电类型的基板上形成第1导电类型的第1半导体层，

20 所述第1半导体层的主面具有沿规定的轴向依次配置的第1至第4区域，
具备埋入半导体部形成工序，向所述第1半导体层的主面的第1至第3区域
中导入第2导电类型的掺杂物并形成埋入半导体部，

具备第2半导体层形成工序，在所述第1半导体层上形成第1导电类型的第
2半导体层，

25 具备第2半导体区域工序，在所述第1半导体层主面的第2和第3区域上的
所述第2半导体层中，将栅极半导体部用的第2导电类型的掺杂物导入规定深度，
形成第2导电类型的第2半导体区域，

沟道半导体部形成工序，在得到期望数量的所述第2半导体层之前，重复所
述第2半导体层形成工序和所述第2半导体区域工序，形成层叠的多个栅极半导
30 体部和沟道半导体部，

具备源极半导体部形成工序，在所述沟道半导体部上形成源极半导体部。

20、根据权利要求 19 所述的纵向结型场效应晶体管的制造方法，其特征在于：

5 在所述第 2 半导体层形成工序中，在所述第 1 半导体层上形成具有规定厚度的第 1 导电类型的第 2 半导体层，

在所述沟道半导体部形成工序中，导入第 2 导电类型的掺杂物，以在所述第 2 半导体层内的规定深度，浓度为极大，形成层叠的多个栅极半导体部和沟道半导体部。

10 21、根据权利要求 20 所述的纵向结型场效应晶体管的制造方法，其特征在于：

在所述沟道半导体部形成工序中，交互导入第 1 掺杂物和第 2 掺杂物，以在所述第 2 半导体层内的规定深度，浓度为极大，形成层叠的多个栅极半导体部和沟道半导体部。

15 22、根据权利要求 19~21 中任一项所述的纵向结型场效应晶体管的制造方法，其特征在于：

所述沟道半导体部形成工序包含连接区域形成工序，形成第 2 导电类型的第 2 半导体连接区域，以在所述第 2 半导体层内相互连接。

20 23、根据权利要求 16~22 中任一项所述的纵向结型场效应晶体管的制造方法，其特征在于：

在形成所述第 1 半导体层的工序中，形成导电类型与所述第 1 导电类型的基板相同的导电半导体层，在所述导电半导体层上形成导电类型与所述导电半导体层相反的非导电半导体层，形成所述第 1 半导体层，以使所述导电半导体层与所述沟道半导体部电连接。

25 24、根据权利要求 16~22 中任一项所述的纵向结型场效应晶体管的制造方法，其特征在于：

在形成所述第 1 半导体层的工序中，形成导电类型与所述第 1 导电类型的基板相反的非导电半导体层，在所述非导电半导体层上形成导电类型与所述非导电半导体层相反的导电半导体层，形成所述第 1 半导体层，以使所述导电半导体层与所述沟道半导体部电连接。

30 25、根据权利要求 16~22 中任一项所述的纵向结型场效应晶体管的制造方

法，其特征在于：

在形成所述第1半导体层的工序中，通过在与所述基板的主面交叉的方向上形成所述导电半导体层与所述非导电半导体层，形成所述第1半导体层。

26、根据权利要求3所述的纵向结型场效应晶体管，其特征在于：
5 还备有与所述源极半导体部和所述第2半导体部电连接的源极电极，所述埋入半导体部经所述第2半导体部电连接于所述源极电极上。

27、一种纵向结型场效应晶体管，备有：
漏极半导体部；

10 漂移半导体部，设置在所述漏极半导体部的主面上，具有沿与该主面交叉的方向延伸的第1、第2、第3和第4区域；

埋入半导体部，具有与所述漂移半导体部的导电类型相反的导电类型，设置在所述漂移半导体部的所述第1、第2和第4区域上；

15 沟道半导体部，沿所述第1和第2区域上的埋入半导体部设置，具有不同于所述埋入半导体部的导电类型的导电类型，电连接于所述漂移半导体部的第3区域上；

源极半导体部，设置在所述漂移半导体部的第1区域和所述沟道半导体部上；

第1栅极半导体部，具有与所述埋入半导体部相同的导电类型，与所述埋入半导体部电连接，设置在所述漂移半导体部的第4区域上；

20 第1栅极电极，在所述漂移半导体部的第4区域上，与所述第1栅极半导体部电连接；和

源极电极，与所述漂移半导体部的第1区域上的源极半导体部电连接，在所述第1栅极电极上，与所述第1栅极电极电绝缘，设置在所述漂移半导体部的第1、第2、第3和第4区域上。

25 28、根据权利要求27所述的纵向结型场效应晶体管，其特征在于：

还备有第2栅极半导体部，所述第2栅极半导体部具有与所述漏极半导体部的导电类型相反的导电类型，设置在所述漂移半导体部的第2区域或第2和第3区域上，

30 在所述埋入半导体部与所述第2栅极半导体部之间，设置所述沟道半导体部，

在所述漂移半导体部的第2区域或第2和第3区域上,设置与所述第2栅极半导体部电连接、在源极电极下电绝缘的第2栅极电极。

29、一种纵向结型场效应晶体管,备有:

漏极半导体部;

5 漂移半导体部,设置在所述漏极半导体部的主面上,具有沿与该主面交叉的方向延伸的第1、第2、第3和第4区域;

埋入半导体部,具有与所述漂移半导体部的导电类型相反的导电类型,设置在所述漂移半导体部的所述第1、第2和第4区域上;

10 沟道半导体部,沿所述第1和第2区域的埋入半导体部设置,具有不同于所述埋入半导体部的导电类型的导电类型,电连接于所述漂移半导体部的第3区域上;

源极半导体部,设置在所述漂移半导体部的第1区域和所述沟道半导体部上;

15 第1栅极半导体部,具有与所述埋入半导体部相同的导电类型,与所述埋入半导体部电连接,设置在所述漂移半导体部的第4区域上;

源极电极,与所述漂移半导体部的第1区域上的源极半导体部电连接,在第1栅极电极上与所述第1栅极电极电绝缘,设置在所述漂移半导体部的第1、第2、第3和第4区域上;和

20 第2栅极半导体部,具有与所述漏极半导体部的导电类型相反的导电类型,设置在所述漂移半导体部的第2区域或第2和第3区域上,

在所述埋入半导体部与所述第2栅极半导体部之间,设置所述沟道半导体部,

在所述漂移半导体部的第2区域或第2和第3区域上,设置与所述第2栅极半导体部电连接、在源极电极下电绝缘的第2栅极电极,

25 所述第1栅极半导体部与所述源极半导体部通过所述源极电极电连接。

30、一种纵向结型场效应晶体管,备有:

漏极半导体部;

漂移半导体部,设置在所述漏极半导体部的主面上,具有沿与该主面交叉的方向延伸的第1、第2和第3区域;

30 埋入半导体部,具有与所述漂移半导体部的导电类型相反的导电类型,设置

在所述漂移半导体部的所述第 1、第 2 和第 3 区域上；

沟道半导体部，沿所述第 1 和第 2 区域的埋入半导体部设置，具有不同于所述埋入半导体部的导电类型的导电类型，电连接于所述漂移半导体部的第 3 区域上；

5 源极半导体部，设置在所述漂移半导体部的第 1 区域和所述沟道半导体部上；和

第 2 栅极半导体部，具有与所述漏极半导体部的导电类型相反的导电类型，设置在所述漂移半导体部的第 2 区域或第 2 和第 3 区域上，

10 在所述漂移半导体部的第 2 区域或第 2 和第 3 区域上，设置第 2 栅极电极，与所述第 2 栅极半导体部电连接，在源极电极下电绝缘；和源极电极，与所述漂移半导体部的第 1 区域上的源极半导体部电连接，在第 2 栅极电极上，与所述第 2 栅极电极电绝缘，设置在所述漂移半导体部的第 1、第 2 和第 3 区域上，

设置连接半导体部，所述连接半导体部具有与所述埋入半导体部相同的导电类型，贯穿所述沟道半导体部，以便电连接所述第 2 栅极半导体部与所述埋入半导体部，散布在所述漂移半导体部的第 2 区域上。

15 31、根据权利要求 27~30 中任一项所述的纵向结型场效应晶体管，其特征在于：

还备有第 1 半导体部，设置在所述漂移半导体部的第 1 区域和所述沟道半导体部上，具有与所述源极半导体部的导电类型相同的导电类型，

20 所述第 1 半导体部的杂质浓度比所述沟道半导体部的杂质浓度低。

32、根据权利要求 27~31 中任一项所述的纵向结型场效应晶体管，其特征在于：

在由多个晶体管构成的基本单元或芯片的外周部分，设置所述第 1 和第 2 栅极电极的至少一方，作为栅极电极。

25 33、根据权利要求 6 所述的纵向结型场效应晶体管，其特征在于：

在由多个晶体管构成的基本单元或芯片的外周部分，通过所述源极电极电连接所述第 1 栅极半导体部与所述源极半导体部。

34、根据权利要求 28~33 中任一项所述的纵向结型场效应晶体管，其特征在于：

30 设置所述第 2 栅极半导体部与所述沟道半导体部，以构成异型结。

35、根据权利要求 27~34 中任一项所述的纵向结型场效应晶体管，其特征在于：

设置在所述漂移半导体部的第 2 区域上的所述沟道半导体部的厚度，比设置在所述漂移半导体部的第 1 区域上的所述埋入半导体部与所述源极半导体部的间隔小。

36、根据权利要求 27~35 中任一项所述的纵向结型场效应晶体管，其特征在于：

确定设置在所述漂移半导体部的第 2 区域上的所述沟道半导体部的厚度，以使该纵向结型场效应晶体管显示常断开特性。

37、根据权利要求 27~36 中任一项所述的纵向结型场效应晶体管，其特征在于：

所述沟道半导体部具有交互层叠低浓度层与高浓度层的结构。

38、根据权利要求 27~37 中任一项所述的纵向结型场效应晶体管，其特征在于：

所述漂移半导体部具有：导电半导体区域，沿与所述漏极半导体部的主面交叉的基准面延伸，具有与所述漏极半导体部的导电类型相同的导电类型，从所述漂移半导体部的第 3 区域电连接到所述沟道半导体部上；和

非导电半导体区域，邻接所述导电半导体区域设置，具有与所述漏极半导体部的导电类型相反的导电类型，电连接于所述埋入半导体部上，

所述导电半导体区域与所述非导电半导体区域形成于与所述漂移半导体部的第 1 至第 4 区域排列的方向相同的方向上。

39、根据权利要求 27~37 中任一项所述的纵向结型场效应晶体管，其特征在于：

所述漂移半导体部具有：导电半导体区域，沿与所述漏极半导体部的主面交叉的基准面延伸，具有与所述漏极半导体部的导电类型相同的导电类型，从所述漂移半导体部的第 3 区域电连接到所述沟道半导体部上；和

非导电半导体区域，邻接所述导电半导体区域设置，具有与所述漏极半导体部的导电类型相反的导电类型，电连接于所述埋入半导体部上，

所述导电半导体区域与所述非导电半导体区域形成于与所述漂移半导体部的第 1 至第 4 区域排列的方向交叉的方向上。

40、根据权利要求 27~39 中任一项所述的纵向结型场效应晶体管，其特征在于：

所述漏极半导体部、所述漂移半导体部、所述第 1 栅极半导体部、所述沟道半导体部由作为宽禁带宽度半导体材料的 SiC 或 GaN 形成。

5 41、一种纵向结型场效应晶体管的制造方法，包含如下工序：

在第 1 导电型基板上形成具有第 1、第 2、第 3 和第 4 区域的漂移半导体层；向所述漂移半导体层的第 1、第 2 和第 4 区域中，导入导电类型与所述漂移半导体层的导电类型相反的杂质，形成埋入半导体部；

10 在所述埋入半导体部和所述漂移半导体层上，形成具有与所述埋入半导体部的导电类型相反的导电类型的沟道半导体部；

在所述漂移半导体层的第 1 区域上，形成源极半导体部；

向所述漂移半导体层的第 4 区域上的一部分导入导电类型与所述埋入半导体部的导电类型相同的杂质，形成第 1 栅极半导体部；

形成电连接于所述第 1 栅极半导体部的第 1 栅极电极；

15 形成与所述第 1 栅极电极电绝缘的层间膜；和

在所述层间膜上，形成与源极半导体部电连接的源极电极。

42、根据权利要求 41 所述的纵向结型场效应晶体管的制造方法，其特征在于：

20 在形成所述第 1 栅极半导体部的工序之前，还包含如下工序，向所述漂移半导体层的第 2 区域或第 2 和第 3 区域中，导入导电类型与所述第 1 栅极半导体部的导电类型相同的杂质，形成第 2 栅极半导体部，

用形成所述第 1 栅极电极的工序来形成与所述第 2 栅极半导体部电连接的第 2 栅极电极。

43、一种纵向结型场效应晶体管的制造方法，包含如下工序：

25 在第 1 导电型基板上形成具有第 1、第 2、第 3 和第 4 区域的漂移半导体层；向所述漂移半导体层的第 1、第 2 和第 4 区域中，导入导电类型与所述漂移半导体层的导电类型相反的杂质，形成埋入半导体部；

在所述埋入半导体部和所述漂移半导体层上，形成具有与所述埋入半导体部的导电类型相反的导电类型的沟道半导体部；

30 在所述漂移半导体层的第 1 区域上，形成源极半导体部；

向所述漂移半导体层的第2区域或第2和第3区域中,导入导电类型与所述埋入半导体部的导电类型相同的杂质,形成第2栅极半导体部;

向所述漂移半导体层的第4区域上的一部分导入导电类型与所述埋入半导体部的导电类型相同的杂质,形成第1栅极半导体部;

5 形成电连接于所述第2栅极半导体部的第2栅极电极;

形成源极电极,对设置在所述漂移半导体层的第1区域和所述沟道半导体部上、导电类型与所述源极半导体部的导电类型相同的第1半导体部、和所述源极半导体部进行电连接。

44、一种纵向结型场效应晶体管的制造方法,包含如下工序:

10 在第1导电型基板上形成具有第1、第2、第3和第4区域的漂移半导体层;
向所述漂移半导体层的第1、第2和第4区域中,导入导电类型与所述漂移半导体层的导电类型相反的杂质,形成埋入半导体部;

在所述埋入半导体部和所述漂移半导体层上,形成具有与所述埋入半导体部的导电类型相反的导电类型的沟道半导体部;

15 在所述漂移半导体层的第1区域上,形成源极半导体部;

向所述漂移半导体层的第2区域或第2和第3区域中,导入导电类型与所述埋入半导体部的导电类型相同的杂质,形成第2栅极半导体部;

向所述漂移半导体层的第2区域上的一部分导入导电类型与所述埋入半导体部的导电类型相同的杂质,以散布的状态形成连接所述第2栅极半导体部与所述埋入半导体部的连接半导体部;和

20 形成电连接于所述第2栅极半导体部的第2栅极电极。

45、根据权利要求41~44中任一项所述的纵向结型场效应晶体管的制造方法,其特征在于:

25 在形成所述源极半导体部的工序之前,还包含在所述沟道半导体部上形成导电类型与所述源极半导体部的导电类型相同的第1半导体部的工序,

所述第1半导体部的杂质浓度比所述沟道半导体部的杂质浓度低。

46、根据权利要求41、43、44中任一项所述的纵向结型场效应晶体管的制造方法,其特征在于:

30 在形成所述漂移半导体层的工序中,形成导电类型与漏极半导体部相同的导电半导体层,在所述导电半导体层内形成导电类型与所述导电半导体层相反的非

导电半导体层，并形成所述漂移半导体层，使所述导电半导体层与所述沟道半导体部电连接。

47、根据权利要求 41、43、44 中任一项所述的纵向结型场效应晶体管的制造方法，其特征在于：

- 5 在形成所述漂移半导体层的工序中，形成导电类型与所述漂移半导体部相反的非导电半导体层，在所述非导电半导体层内形成导电类型与所述非导电半导体层相反的导电半导体层，并形成所述漂移半导体层，使所述导电半导体层与所述沟道半导体部电连接。

纵向结型场效应晶体管及其制造方法

5

技术领域

本发明涉及一种纵向结型场效应晶体管和纵向结型场效应晶体管的制造方法。

10 背景技术

结型场效应晶体管(JFET: Junction Field Effect Transistor)是通过栅极电压来控制源极电极与漏极电极间的电流的电压控制半导体器件。具体而言, JFET 是如下器件, 即具有位于源极电极与漏极电极之间、并与栅极电极连接的沟道区域, 通过施加于栅极电极上的电压, 使由栅极半导体层与沟道半导体层形成的 pn 结所产生耗尽层的厚度变化, 控制沟道区域中流过的漏极电流。

如今, 以硅作为半导体材料的半导体器件成为主流。在硅类功率半导体器件中, 随着器件的耐压不同, 所使用的器件种类不同, 在器件耐压为 200V 以下的低压类中, MOSFET(金属/氧化膜/半导体场效应晶体管)成为主流, 在器件耐压为 200V 以上的高压类中, IGBT(绝缘栅极双极晶体管)、晶闸管等成为主流。

20 就 JFET 而言, 作为 JFET 之一的静电感应晶体管(SIT)被作为功率半导体开发和制品化。SIT 虽具有与 JFET 一样的器件结构, 但相对于 JFET 的静特性为具有饱和的五极管特性, SIT 的静特性为以非饱和为特征的三极管特性。

近年来, 碳化硅(SiC)、氮化镓(GaN)等宽禁带宽度半导体材料作为与硅相比、高耐压、低损耗、高输出、可实现高频动作等好的功率半导体器件的半导体材料而引人注目。尤其是就高耐压、低损耗而言, 可期待在耐压 1kV 下、比硅低 2 位数以上的低损耗化。但是, 在现状下, 由于 MOS 结构器件中氧化膜正下方的表面迁移率小, 所以不能实现可期待的低损耗器件。

25 作为功率器件类型, MOS 结构的优先性在电压驱动下为常断开型。因此, 发明人等着眼于在硅中不太开发的、通过结晶内部的迁移率来表征其特性的 JFET, 30 以研究高耐压的低损耗器件。此外, 常断开型器件的 JFET 是可实现的。另外,

判断在从基板表面向里面的方向流过电流的结构作为功率器件是好的结构，研究纵向 JFET。

发明内容

5 本发明的目的在于提供一种在维持高漏极耐压的同时、损耗低的纵向结型场效应晶体管、和纵向结型场效应晶体管的制造方法。

首先，在该纵向 JFET 结构中，为了实现低损耗而继续研究的结果，实现如下发明。

10 本发明的纵向结型场效应晶体管配备漏极半导体部、漂移半导体部、埋入半导体部、沟道半导体部、源极半导体部和栅极半导体部。漂移半导体部设置在漏极半导体部的主面上，具有沿与该主面交叉的规定轴向延伸的第 1、第 2、第 3 和第 4 区域。埋入半导体部具有与漂移半导体部的导电类型相反的导电类型，设置在漂移半导体部的第 1、第 2 和第 3 区域上。沟道半导体部沿埋入半导体部设置，具有与埋入半导体部的导电类型相反的导电类型，电连接于漂移半导体部的第 4 区域上。源极半导体部设置在漂移半导体部的第 1 区域和沟道半导体部上。栅极半导体部具有与漏极半导体部的导电类型相反的导电类型，设置在第 3 和第 4 区域和沟道半导体部上。栅极半导体部具有在从第 3 区域向第 4 区域的方向上延伸的多个凸部，在凸部之间设置沟道半导体部，凸部连接于埋入半导体部上。

20 根据这种纵向结型场效应晶体管，可在漂移半导体部上配置埋入半导体部和沟道半导体部。在该结构中，沟道半导体部的损耗与漂移半导体部的损耗之和变为器件的基本损耗。因此，若仅由于沟道半导体部而将器件的耐压变为高耐压，则沟道的杂质浓度变低，沟道长度也变长，器件的损耗变大。因此，如本发明的结构那样，通过设置控制漏极电流的沟道半导体部与承担器件耐压的漂移半导体部，具有如下效果。第一，沟道半导体部可提高杂质浓度，并且，可缩短沟道长度，所以可减小沟道半导体部的损耗。第二，漂移半导体部可通过其杂质浓度和厚度得到期望的漏极耐压，可将损耗抑制到最小限度。第三，通过沿纵向层叠漂移半导体部和沟道半导体部，降低有限面积中的器件损耗。

30 另外，一种纵向结型场效应晶体管配备漏极半导体部、漂移半导体部、埋入半导体部、沟道半导体部、源极半导体部和多个栅极半导体部。漂移半导体部设置在漏极半导体部的主面上，具有沿与该主面交叉的规定轴向延伸的第 1、第 2、

第3和第4区域。埋入半导体部具有与漂移半导体部的导电类型相反的导电类型，设置在漂移半导体部的第1、第2和第3区域上。沟道半导体部沿埋入半导体部设置，具有与埋入半导体部的导电类型相反的导电类型，电连接于漂移半导体部的第4区域上。源极半导体部设置在漂移半导体部的第1区域和沟道半导体部上。

5 多个栅极半导体部具有与漏极半导体部的导电类型相反的导电类型，设置在第3和第4区域和沟道半导体部上。多个栅极半导体部分别在从第3区域向第4区域的方向上延伸，在多个栅极半导体部之间设置沟道半导体部，各栅极半导体部连接于埋入半导体部上。

10 根据这种晶体管，因为在多个栅极半导体部之间具有沟道半导体部，所以从两侧控制沟道半导体部。因此，可增大沟道的厚度，减小损耗。

另外，一种纵向结型场效应晶体管，配备漏极半导体部、漂移半导体部、埋入半导体部、沟道半导体部和栅极半导体部。漂移半导体部设置在漏极半导体部的主面上，具有沿与该主面交叉的规定轴向延伸的第1、第2、第3和第4区域。埋入半导体部设置在漂移半导体部的主面上，设置在与该主面交叉的规定轴向延伸的第1、第2和第3区域上。沟道半导体部沿埋入半导体部设置，具有与埋入半导体部的导电类型相反的导电类型，电连接于漂移半导体部的第4区域上。栅极半导体部具有与漂移半导体部的导电类型相反的导电类型，设置在第3和第4区域和沟道半导体部上。栅极半导体部具有在从第3区域向第4区域的方向上延伸的多个凸部，在凸部之间设置沟道半导体部，漂移半导体部连接于埋入半导体部上。

15 漂移半导体部具有沿与漏极半导体部的主面交叉的轴向延伸的第5区域，还备有第2半导体部，具有与漏极半导体部的导电类型相反的导电类型，设置在第5区域上。第2半导体部从埋入半导体部开始，沿源极半导体部在规定的轴向上延伸。

25 根据这种晶体管，因为在埋入半导体部与栅极半导体部之间具有沟道半导体部，所以从两侧控制沟道半导体部。因此，可增大沟道的厚度，减小损耗。

纵向结型场效应晶体管还备有第1半导体部。第1半导体部设置在漂移半导体部的第1、第2区域和沟道半导体部上，具有与源极半导体部的导电类型相同的导电类型。第1半导体部的掺杂物浓度比沟道半导体部的掺杂物浓度低。

30 根据这种晶体管，在沟道半导体部与源极半导体部之间设置第1半导体部。通过该结构，可吸收伴随蚀刻的沟道半导体部的厚度公差。因此，可减小纵向结

型场效应晶体管的电特性的个体差。

一种纵向结型场效应晶体管，配备漏极半导体部、漂移半导体部、埋入半导体部、多个栅极半导体部、沟道半导体部、连接半导体部、第1集合半导体部、第2集合半导体部和源极半导体部。漂移半导体部设置在漏极半导体部的主面上，具有在沿与该主面延伸的基准面交叉的规定轴向上延伸的第1至第5区域。埋入半导体部具有与漂移半导体部的导电类型相反的导电类型，沿基准面设置在漂移半导体部的第1至第4区域上。多个栅极半导体部沿基准面设置在漂移半导体部的第2至第4区域上，具有与埋入半导体部的导电类型相同的导电类型。沟道半导体部设置在埋入半导体部与多个栅极半导体部之间、和多个栅极半导体部之间，具有与埋入半导体部的导电类型相反的导电类型。连接半导体部具有与埋入半导体部和沟道半导体部的导电类型相同的导电类型，沿规定轴向延伸，连接埋入半导体部和多个栅极半导体部。第1集合半导体部在漂移半导体部的第1区域上，连接沟道半导体部。第2集合半导体部在漂移半导体部的第5区域上，连接沟道半导体部。源极半导体部设置在漂移半导体部的第1区域上，连接于第1集合半导体部上。

这种纵向结型场效应晶体管在埋入半导体部与多个栅极半导体部之间设置沟道区域。因此，可增加栅极半导体部可控制的沟道区域。另外，可将埋入半导体部和沟道半导体部配置在漂移半导体部上。因此，可通过漂移半导体部的厚度得到期望的漏极耐压。

另外，一种纵向结型场效应晶体管，配备漏极半导体部、漂移半导体部、埋入半导体部、多个栅极半导体部、沟道半导体部、连接半导体部、第1集合半导体部、第2集合半导体部、源极半导体部和第3连接半导体部。漂移半导体部设置在漏极半导体部的主面上，具有在沿与该主面延伸的基准面交叉的规定轴向上延伸的第1至第5区域。埋入半导体部具有与漂移半导体部的导电类型相反的导电类型，沿基准面设置在漂移半导体部的第1至第4区域上。多个栅极半导体部沿基准面设置在漂移半导体部的第2至第4区域上，具有与埋入半导体部的导电类型相同的导电类型。沟道半导体部设置在埋入半导体部与多个栅极半导体部之间、和多个栅极半导体部之间，具有与埋入半导体部的导电类型相反的导电类型。连接半导体部具有与沟道半导体部的导电类型相同的导电类型，连接多个栅极半导体部。第1集合半导体部在漂移半导体部的第1区域上，连接沟道半导体部。

第2集合半导体部在漂移半导体部的第5区域上,连接沟道半导体部。源极半导体部设置在漂移半导体部的第1区域上,连接于第1集合半导体部上。漂移半导体部具有设置在主面上、沿与该主面交叉的方向延伸的第6区域。第3连接半导体部,具有与漏极半导体部的导电类型相反的导电类型,设置在第6区域上。沿第1集合半导体部来设置第3连接半导体部。

由此,多个栅极半导体部经第3连接半导体部与埋入半导体部电连接。由此,可将埋入半导体部与多个栅极半导体部一起用作栅极。因此,可控制的沟道厚度增加。

在纵向结型场效应晶体管中,最好栅极半导体部和沟道半导体部的厚度比漂移半导体部的第1区域上的埋入半导体部与源极半导体部的间隔小。

另外,在纵向结型场效应晶体管中,最好漂移半导体部的第2至第4区域上的多个栅极半导体部和沟道半导体部的厚度比漂移半导体部的第1区域上的埋入半导体部与源极半导体部的间隔小。

根据这些晶体管,可从源极半导体部分离埋入半导体部。由此,提高栅极与源极间的耐压。另外,因为沿纵向取沟道半导体部与源极半导体部的距离,所以即便增大该距离,晶体管的芯片尺寸也不会增大。

在纵向结型场效应晶体管中,最好确定栅极半导体部的凸部间隔,使该纵向结型场效应晶体管显示常断开特性。

在纵向结型场效应晶体管中,最好确定栅极半导体部的凸部间隔、和栅极半导体部的凸部与埋入半导体部的间隔,使该纵向结型场效应晶体管显示常断开特性。

在纵向结型场效应晶体管中,最好确定各栅极半导体部的间隔、和栅极半导体部与埋入半导体部的间隔,使该纵向结型场效应晶体管显示常断开特性。

根据这些纵向结型场效应晶体管,可通过蚀刻来确定沟道半导体部的厚度。因此,使沟道半导体部的杂质浓度和厚度变薄变得容易,以便基于各栅极半导体部或埋入半导体部与具有导电类型和该半导体部相反的沟道半导体部之间的扩散电位所产生的耗尽层跨跃沟道半导体部的整个区域。因此,即便不施加栅极电压,也可使沟道半导体部耗尽化,可实现常断开型晶体管。

根据纵向结型场效应晶体管,沟道半导体部具有交互层叠低浓度层与高浓度层的结构。各层的厚度为nm(纳米: 10^{-9} m)级。通过该结构,由于量子效应,载流

子从多数载流子存在的高浓度层向载流子迁移率大的低浓度层浸出。结果，沟道半导体部中流过的电流增大，降低沟道半导体部的损耗。

最好纵向结型场效应晶体管的漂移半导体部具有：导电半导体区域，沿与漏极半导体部的主面交叉的基准面延伸，具有与漏极半导体部的导电类型相同的导电类型，电连接于沟道半导体部上；和非导电半导体区域，邻接该导电半导体区域设置，具有与漏极半导体部的导电类型相反的导电类型，电连接于埋入半导体部上。另外，导电半导体区域与非导电半导体区域形成于与漂移半导体部的第1至第4区域排列的方向相同的方向或交叉的方向上。

根据这种纵向结型场效应晶体管，可减小漂移半导体部的损耗。即，若施加电压以在栅极半导体部中流过漏极电流，则由沟道半导体部控制的漏极电流经由漂移半导体部的导电半导体区域到达漏极半导体部。另一方面，若施加电压以不在栅极半导体部中流过漏极电流，则确定杂质浓度和各半导体区域的厚度，使漂移半导体部的导电半导体区域和非导电半导体区域同时耗尽化，变为与一种电介质等效的状态。在这种状态下，因为漂移半导体部具有一定的电场强度，所以与漂移半导体部中没有导电半导体区域和非导电半导体区域的情况相比，可将漂移半导体部的厚度减少一半。因此，可实现期望的漏极耐压，提高导电半导体区域的杂质浓度，并且，将漂移半导体部的厚度减少一半。结果，可减小漂移半导体部的损耗。

在这种纵向结型场效应晶体管中，最好漏极半导体部、漂移半导体部、埋入半导体部、栅极半导体部、沟道半导体部、连接半导体部和源极半导体部等各半导体部由作为宽禁带宽度半导体材料的SiC或GaN等形成。宽禁带宽度半导体与硅相比，具有禁带宽度大、最大绝缘破坏强度大等作为功率器件半导体材料好的特性。因此，尤其与硅相比，可实现低损耗。

一种纵向结型场效应晶体管的制造方法，具备在第1导电类型的基板上形成第1导电类型的第1半导体层的工序，第1半导体层的主面具有沿规定的轴向依次配置的第1至第4区域，具备向第1半导体层的主面的第1至第3区域中导入第2导电类型的掺杂物并形成埋入半导体部的工序，具备在第1半导体层上形成第1导电类型的第2半导体层的工序，具备在第2半导体层上形成第1导电类型的源极半导体层的工序，具备蚀刻第1半导体层的主面的至少第2、第3、第4任一区域上的源极半导体层、以达到第1半导体层、露出第2半导体层的规定区

域的工序,规定区域具有沿规定轴向延伸的多个第1部分、和规定成包含该多个部分的第2部分,具备向多个第1部分中导入栅极半导体部用的第2导电类型的掺杂物并形成第2导电类型的第1半导体部的工序。

在纵向结型场效应晶体管的制造方法中,还具备向第2部分中导入栅极半导体部用的第2导电类型的掺杂物并形成第2导电类型的第2半导体部的工序,第2半导体部的深度比第1半导体部的深度浅。

在纵向结型场效应晶体管的制造方法中,第1半导体部形成为连接于埋入半导体部上。

一种纵向结型场效应晶体管的制造方法,具备第1半导体层形成工序,在第1导电类型的基板上形成第1导电类型的第1半导体层,第1半导体层的主面具有沿规定的轴向依次配置的第1至第4区域,具备埋入半导体部形成工序,向第1半导体层的主面的第1至第3区域中导入第2导电类型的掺杂物并形成埋入半导体部,具备第2半导体层形成工序,在第1半导体层上形成第1导电类型的第2半导体层,具备第2半导体区域工序,在第1半导体层主面的第2和第3区域上的第2半导体层中,将栅极半导体部用的第2导电类型的掺杂物导入规定深度,形成第2导电类型的第2半导体区域,沟道半导体部形成工序,在得到期望数量的第2半导体层之前,重复第2半导体层形成工序和第2半导体区域工序,形成层叠的多个栅极半导体部和沟道半导体部,具备源极半导体部形成工序,在沟道半导体部上形成源极半导体部。

在纵向结型场效应晶体管的制造方法中,在第2半导体层形成工序中,在第1半导体层上形成具有规定厚度的第1导电类型的第2半导体层,在沟道半导体部形成工序中,导入第2导电类型的掺杂物,以在第2半导体层内的规定深度,浓度为极大,形成层叠的多个栅极半导体部和沟道半导体部。

在纵向结型场效应晶体管的制造方法中,在沟道半导体部形成工序中,交互导入第1掺杂物和第2掺杂物,以在第2半导体层内的规定深度,浓度为极大,同时形成层叠的多个栅极半导体部和沟道半导体部。

在纵向结型场效应晶体管的制造方法中,沟道半导体部形成工序包含连接区域形成工序,形成第2导电类型的第2半导体连接区域,以在第2半导体层内相互连接。

在纵向结型场效应晶体管的制造方法中,在形成第1半导体层的工序中,形

成导电类型与第1导电类型的基板相同的导电半导体层，在导电半导体层上形成导电类型与导电半导体层相反的非导电半导体层，形成第1半导体层，以使导电半导体层与沟道半导体部电连接。

在纵向结型场效应晶体管的制造方法中，在形成第1半导体层的工序中，形成导电类型与第1导电类型的基板相反的非导电半导体层，在非导电半导体层上形成导电类型与非导电半导体层相反的导电半导体层，形成第1半导体层，以使导电半导体层与沟道半导体部电连接。

在纵向结型场效应晶体管的制造方法中，在形成第1半导体层的工序中，通过在与基板的主面交叉的方向上形成导电半导体层与非导电半导体层，形成第1半导体层。

在纵向结型场效应晶体管中，还备有与源极半导体部和第2半导体部电连接的源极电极，埋入半导体部经第2半导体部电连接于源极电极上。

根据这种纵向结型场效应晶体管，通过将第2半导体部连接于源极电极上，将埋入半导体部与源极半导体部电连接于同一源极电极上。由此，纵向结型场效应晶体管栅极、漏极间的电容成为栅极、源极间的电容成分，所以可进行高频动作。

本发明的纵向结型场效应晶体管配备漏极半导体部、漂移半导体部、埋入半导体部、沟道半导体部、源极半导体部、第1栅极半导体部、第1栅极电极和源极电极。漂移半导体部设置在漏极半导体部的主面上，具有沿与该主面交叉的方向延伸的第1、第2、第3和第4区域。埋入半导体部具有与漂移半导体部的导电类型相反的导电类型，设置在漂移半导体部的第1、第2和第4区域上。沟道半导体部沿第1和第2区域上的埋入半导体部设置，具有不同于埋入半导体部的导电类型的导电类型，电连接于漂移半导体部的第3区域上。源极半导体部设置在漂移半导体部的第1区域和沟道半导体部上。第1栅极半导体部具有与埋入半导体部相同的导电类型，与埋入半导体部电连接，设置在漂移半导体部的第4区域上。第1栅极电极在漂移半导体部的第4区域上，与第1栅极半导体部电连接。源极电极与漂移半导体部的第1区域上的源极半导体部电连接，在第1栅极电极上，与第1栅极电极电绝缘，设置在漂移半导体部的第1、第2、第3和第4区域上。

根据这种纵向结型场效应晶体管，可在漂移半导体部上配置埋入半导体部和

沟道半导体部、第1栅极电极和源极电极。在该结构中，沟道半导体部的损耗与漂移半导体部的损耗之和变为器件的基本损耗。因此，若仅由于沟道半导体部而将器件的耐压变为高耐压，则沟道的杂质浓度变低，沟道长度也变长，器件的损耗变大。因此，如本发明的结构那样，通过设置控制漏极电流的沟道半导体部与承担器件耐压的漂移半导体部，具有如下效果。第一，沟道半导体部可提高杂质浓度，并且，可缩短沟道长度，所以可减小沟道半导体部的损耗。第二，漂移半导体部可通过其杂质浓度和厚度得到期望的漏极耐压，可将损耗抑制到最小限度。第三，通过沿纵向层叠漂移半导体部和沟道半导体部，降低有限面积中的器件损耗。

10 另外，最好纵向结型场效应晶体管还备有第2栅极半导体部。第2栅极半导体部具有与漏极半导体部的导电类型相反的导电类型，设置在漂移半导体部的第2区域或第2和第3区域上。在第1栅极半导体部与第2栅极半导体部之间，设置沟道半导体部。在漂移半导体部的第2区域或第2和第3区域上，设置与第2栅极半导体部电连接、在源极电极下电绝缘的第2栅极电极。

15 根据这种晶体管，因为在第1栅极埋入半导体部与第2栅极半导体部之间具有沟道半导体部，所以从两侧控制沟道半导体部。因此，可增大沟道的厚度，减小损耗。

另外，纵向结型场效应晶体管通过由源极电极电连接第1栅极半导体部与源极半导体部，仅将第2栅极半导体部作为栅极电极。作为表示晶体管动作频率的指标，多使用反馈电容(栅极/漏极间电容)÷相互电导。通过将第1栅极半导体部连接于源极电极上，从反馈电容中去除基于漏极半导体部与埋入半导体部的电容成分，所以可在更高频区域中进行动作。

25 在纵向结型场效应晶体管中设置连接半导体部。连接半导体部具有与埋入半导体部相同的导电类型，贯穿沟道半导体部，以便电连接第2栅极半导体部与埋入半导体部，散布在漂移半导体部的第2区域上。根据该结构，可废弃漂移半导体部的第4区域和第1栅极半导体部，在相同损耗下可减小器件面积。

纵向结型场效应晶体管还备有第1半导体部。第1半导体部设置在漂移半导体部的第1区域和沟道半导体部上，具有与源极半导体部的导电类型相同的导电类型。第1半导体部的杂质浓度比沟道半导体部的杂质浓度低。

30 根据这种晶体管，在沟道半导体部与源极半导体部之间设置第1半导体部。

通过该结构,可吸收伴随蚀刻的沟道半导体部的厚度公差。因此,可减小纵向结型场效应晶体管的电特性的个体差。

纵向结型场效应晶体管在由多个晶体管构成的基本单元(块)或芯片的外周部分,设置第1和第2栅极电极的至少一方,作为栅极电极。另外,在这种结构的晶体管中,最好通过源极电极电连接第1栅极半导体部与源极半导体部。这种

纵向结型场效应晶体管可同时形成栅极电极与源极电极,结果,可简化制造工序。纵向结型场效应晶体管设置异型(hetero)结半导体材料,作为第2栅极电极,以使第2栅极半导体部与沟道半导体部构成异型结。根据这种结构的晶体管,不需要形成第2栅极半导体部的工序,简化制造工序。

在纵向结型场效应晶体管中,设置在漂移半导体部的第2区域上的沟道半导体部的厚度比设置在漂移半导体部的第1区域上的埋入半导体部与源极半导体部的间隔小。根据这种晶体管,可从源极半导体部分离埋入半导体部和第2栅极半导体部。由此,提高栅极与源极间的耐压。另外,因为沿纵向取沟道半导体部与源极半导体部的距离,所以即便增大该距离,晶体管的芯片尺寸也不会增大。

在纵向结型场效应晶体管中,确定埋入半导体部上的沟道半导体部的厚度、或位于埋入半导体部与第2栅极半导体部之间的、导电类型与漏极半导体部的导电类型相同的沟道半导体部的厚度,以使该纵向结型场效应晶体管显示常断开特性。

根据这种纵向结型场效应晶体管,可通过蚀刻来确定沟道半导体部的厚度。因此,使沟道半导体部的杂质浓度和厚度变薄变得容易,以便基于各栅极半导体部或埋入半导体部与具有导电类型和该半导体部相反的沟道半导体部之间的扩散电位所产生的耗尽层,跨跃沟道半导体部的整个区域。因此,即便不施加栅极电压,也可使沟道半导体部耗尽化,可实现常断开型晶体管。

根据纵向结型场效应晶体管,沟道半导体部具有交互层叠低浓度层与高浓度层的结构。各层的厚度为nm(纳米: 10^{-9} m)级。通过该结构,由于量子效应,载流子从多数载流子存在的高浓度层向载流子迁移率大的低浓度层浸出。结果,沟道半导体部中流过的电流增大,降低沟道半导体部的损耗。

纵向结型场效应晶体管的漂移半导体部具有:导电半导体区域,沿与漏极半导体部的主面交叉的基准面延伸,具有与漏极半导体部的导电类型相同的导电类型,从漂移半导体部的第3区域电连接到沟道半导体部上;和非导电半导体区域,

邻接导电半导体区域设置，具有与漏极半导体部的导电类型相反的导电类型，电连接于埋入半导体部上。另外，导电半导体区域与非导电半导体区域形成于与漂移半导体部的第1至第4区域排列的方向相同的方向、或交叉的方向上。

根据这种纵向结型场效应晶体管，可减小漂移半导体部的损耗。即，若施加电压以在栅极半导体部中流过漏极电流，则由沟道半导体部控制的漏极电流经由漂移半导体部的导电半导体区域到达漏极半导体部。另一方面，若施加电压以不在栅极半导体部中流过漏极电流，则确定杂质浓度和各半导体区域的厚度，使漂移半导体部的导电半导体区域和非导电半导体区域同时耗尽化，变为与一种电介质等效的状态。在这种状态下，因为漂移半导体部具有一定的电场强度，所以与漂移半导体部中没有导电半导体区域和非导电半导体区域的情况相比，可将漂移半导体部的厚度减少一半。因此，可实现期望的漏极耐压，提高导电半导体区域的杂质浓度，并且，将漂移半导体部的厚度减少一半。结果，可减小漂移半导体部的损耗。

在这种纵向结型场效应晶体管中，由作为宽禁带宽度半导体材料的 SiC 或 GaN 等形成漏极半导体部、漂移半导体部、第1栅极半导体部、沟道半导体部等各半导体部。宽禁带宽度半导体与硅相比，具有禁带宽度大、最大绝缘破坏强度大等作为功率器件半导体材料好的特性。因此，尤其与硅相比，可实现低损耗。

一种纵向结型场效应晶体管的制造方法，包含如下工序：在第1导电型基板上形成具有第1、第2、第3和第4区域的漂移半导体层；向漂移半导体层的第1、第2和第4区域中，导入导电类型与漂移半导体层的导电类型相反的杂质，形成埋入半导体部；在埋入半导体部和漂移半导体层上，形成具有与埋入半导体部的导电类型相反的导电类型的沟道半导体部；在漂移半导体层的第1区域上，形成源极半导体部；向漂移半导体层的第4区域上的一部分导入导电类型与埋入半导体部的导电类型相同的杂质，形成第1栅极半导体部；形成电连接于第1栅极半导体部的第1栅极电极；形成与第1栅极电极电绝缘的层间膜；和在层间膜上，形成与源极半导体部电连接的源极电极。

纵向结型场效应晶体管的制造方法中，在形成第1栅极半导体部的工序之前，还包含如下工序，向漂移半导体层的第2区域或第2和第3区域中，导入导电类型与第1栅极半导体部的导电类型相同的杂质，形成第2栅极半导体部，用形成第1栅极电极的工序来形成与第2栅极半导体部电连接的第2栅极电极。

一种纵向结型场效应晶体管的制造方法，包含如下工序：在第1导电型基板上形成具有第1、第2、第3和第4区域的漂移半导体层；向漂移半导体层的第1、第2和第4区域中，导入导电类型与漂移半导体层的导电类型相反的杂质，形成埋入半导体部；在埋入半导体部和漂移半导体层上，形成具有与埋入半导体部的导电类型相反的导电类型的沟道半导体部；在漂移半导体层的第1区域上，形成源极半导体部；向漂移半导体层的第2区域或第2和第3区域中，导入导电类型与埋入半导体部的导电类型相同的杂质，形成第2栅极半导体部；向漂移半导体层的第4区域上的一部分导入导电类型与埋入半导体部的导电类型相同的杂质，形成第1栅极半导体部；形成电连接于第2栅极半导体部的第2栅极电极；形成同时电连接第1栅极半导体部和源极半导体部的源极电极。

一种纵向结型场效应晶体管的制造方法，包含如下工序：在第1导电型基板上形成具有第1、第2、第3和第4区域的漂移半导体层；向漂移半导体层的第1、第2和第4区域中，导入导电类型与漂移半导体层的导电类型相反的杂质，形成埋入半导体部；在埋入半导体部和漂移半导体层上，形成具有与埋入半导体部的导电类型相反的导电类型的沟道半导体部；在漂移半导体层的第1区域上，形成源极半导体部；向漂移半导体层的第2区域或第2和第3区域中，导入导电类型与埋入半导体部的导电类型相同的杂质，形成第2栅极半导体部；向漂移半导体层的第2区域上的一部分导入导电类型与埋入半导体部的导电类型相同的杂质，形成电连接第2栅极半导体部与埋入半导体部的连接半导体部；和形成电连接于第2栅极半导体部的第2栅极电极。

纵向结型场效应晶体管的制造方法中，在形成源极半导体部的工序之前，还包含在沟道半导体部上形成导电类型与源极半导体部的导电类型相同的第1半导体部的工序，第1半导体部的杂质浓度比沟道半导体部的杂质浓度低。

纵向结型场效应晶体管的制造方法中，在形成漂移半导体层的工序中，形成导电类型与漏极半导体部相同的导电半导体层，在导电半导体层内形成导电类型与导电半导体层相反的非导电半导体层，并形成漂移半导体层，使导电半导体层与沟道半导体部电连接。

纵向结型场效应晶体管的制造方法中，在形成漂移半导体层的工序中，形成导电类型与漂移半导体部相反的非导电半导体层，在非导电半导体层内形成导电类型与非导电半导体层相反的导电半导体层，并形成漂移半导体层，使导电半导

体层与沟道半导体部电连接。

附图说明

5 图 1A 是第 1 实施方式的纵向 JFET 的立体图。图 1B 是第 1 实施方式的纵向 JFET 的 I-I 线的截面图。

图 2A 是漏极半导体膜形成工序的立体图。图 2B 是漂移半导体膜形成工序的立体图。图 2C 是埋入半导体部形成工序的立体图。

图 3A 是沟道半导体膜形成工序的立体图。图 3B 是源极半导体膜形成工序的立体图。

10 图 4A 是源极半导体部形成工序的立体图。图 4B 是 p+型半导体区域形成工序的立体图。

图 5A 是 p+型半导体部形成工序的立体图。图 5B 是热氧化工序的立体图。

图 6A 是开口部形成工序的立体图。图 6B 是电极形成工序的立体图。

图 7A 是浅凹部形成工序的立体图。图 7B 是深凹部形成工序的立体图。

15 图 8 是栅极半导体部形成工序的立体图。

图 9 是第 4 实施方式的纵向 JFET 的立体图。

图 10 是第 4 实施方式的纵向 JFET 的立体图。

图 11A 是 p+型半导体膜形成工序的立体图。图 11B 是源极半导体膜形成工序的立体图。图 11C 是 p+型半导体部形成工序的立体图。

20 图 12 是第 6 实施方式的纵向 JFET 的立体图。

图 13A 是第 7 实施方式的纵向 JFET 的立体图。图 13B 是第 7 实施方式的纵向 JFET 的 II-II 线的截面图。

图 14A 是 p+型半导体层形成工序的立体图。图 14B 是 p+型连接半导体层形成工序的立体图。

25 图 15A 是 p+型栅极半导体部形成工序的立体图。图 15B 是 p+型栅极半导体部形成工序的立体图。

图 16A 是沟道半导体膜形成工序的立体图。图 16B 是源极半导体膜形成工序的立体图。

图 17A 是源极半导体部形成工序的立体图。图 17B 是热氧化工序的立体图。

30 图 18A 是开口部形成工序的立体图。图 18B 是电极形成工序的立体图。

图 19A 是第 9 实施方式的纵向 JFET 的立体图。图 19B 是第 9 实施方式的纵向 JFET 的 III-III 线的截面图。

图 20A 是第 2p+型半导体层形成工序的立体图。图 20B 是 p+型连接半导体层形成工序的立体图。

5 图 21A 是第 11 实施方式的纵向 JFET 的立体图。图 21B 是第 11 实施方式的纵向 JFET 的脉冲掺杂半导体部的立体图。

图 22A 是表示具有脉冲掺杂结构的另一方式的纵向 JFET 的立体图。图 22B 是表示具有脉冲掺杂结构的再一方式的纵向 JFET 的立体图。

图 23 是第 12 实施方式的纵向 JFET 的立体图。

10 图 24A 是第 12 实施方式的纵向 JFET 的立体图。图 24B 是第 12 实施方式的纵向 JFET 的立体图。

图 25 是第 13 实施方式的纵向 JFET 的截面图。

图 26 是表示具有超级结结构的另一方式的纵向 JFET 的截面图。

图 27 是表示具有超级结结构的再一方式的纵向 JFET 的截面图。

15 图 28A 是表示第 14 实施方式中的纵向 JFET 的半导体区域与栅极半导体部的位置关系的模式图。图 28B 是表示第 13 实施方式的纵向 JFET 的模式图。图 28C 是表示再一方式的纵向 JFET 的模式图。

图 29A 是漂移区域形成工序中的纵向 JFET 的立体图。图 29B 是 p+型半导体区域形成工序中的纵向 JFET 的立体图。图 29C 是源极区域形成工序中的纵向 JFET 20 的立体图。

图 30 是第 16 实施方式的纵向 JFET 的截面图。

图 31A 是漏极半导体膜形成工序中的截面图。图 31B 是漂移半导体膜形成工序中的截面图。图 31C 是栅极半导体部形成工序中的截面图。

图 32A 是沟道半导体膜形成工序中的截面图。图 32B 是源极半导体膜形成工 25 序中的截面图。图 32C 是源极半导体部形成工序中的截面图。

图 33A 是 P⁺型栅极半导体部形成工序中的截面图。图 33B 是热氧化工序中的截面图。图 33C 是开口部形成工序中的断面图。

图 34A 是栅极电极形成工序中的截面图。图 34B 是绝缘膜形成工序中的截面图。图 34C 是开口部形成工序中的截面图。

30 图 35 是源极电极形成工序中的截面图。

图 36 是第 18 实施方式中的纵向 JFET 的截面图。

图 37A 是沟道半导体膜形成工序中的截面图。图 37B 是 n 型半导体膜形成工序中的截面图。图 37C 是源极半导体部形成工序中的截面图。

图 38 是第 20 实施方式中的纵向 JFET 的立体图。

5 图 39 是第 21 实施方式中的纵向 JFET 的截面图。

图 40A 是 p+型栅极半导体部形成工序中的截面图。图 40B 是 p+型栅极半导体部形成后的截面图。

图 41 是第 23 实施方式中的纵向 JFET 的截面图。

10 图 42A 是第 24 实施方式的纵向 JFET 的立体图。图 42B 是第 24 实施方式的纵向 JFET 的 III-III 线的截面图。

图 43A 是第 25 实施方式的纵向 JFET 的立体图。图 43B 是第 25 实施方式的纵向 JFET 的脉冲掺杂半导体部的立体图。

图 44 是第 26 实施方式中的纵向 JFET 的截面图。

图 45 是表示具有超级结结构的另一方式的纵向 JFET 的截面图。

15 图 46 是表示具有超级结结构的再一方式的纵向 JFET 的截面图。

图 47A 是表示第 27 实施方式中的纵向 JFET 的半导体区域与栅极半导体部的位置关系的模式图。图 47B 是表示第 27 实施方式的纵向 JFET 的模式图。图 47C 是表示再一方式的纵向 JFET 的模式图。

20 图 48A 是漂移区域形成工序中的纵向 JFET 的立体图。图 48B 是 p+型半导体区域形成工序中的纵向 JFET 的立体图。图 48C 是源极区域形成工序中的纵向 JFET 的立体图。

具体实施方式

25 下面，参照附图来详细说明本发明的纵向结型场效应晶体管的最佳实施方式。另外，以下说明中，向相同或相当的要素附加相同符号，省略重复说明。另外，图中的晶体管的纵横比未必与实际的晶体管的一致。

(第 1 实施方式)

30 图 1A 是第 1 实施方式的纵向 JFET1a 的立体图。如图 1A 所示，纵向 JFET1a 具有 n⁺型漏极半导体部 2、n 型漂移半导体部 3、p+型栅极半导体部 4、n 型沟道半导体部 5、n⁺型源极半导体部 7、和 p+型栅极半导体部 8。

纵向 JFET1a 具有多数载流子在从该元件的一个面向另一面的方向(下面记作“电流方向”)上移动的纵向结构。图 1A 中示出坐标系。该坐标规定 JFET 的电流方向与 y 轴一致。

n⁺型漏极半导体部 2 具有相对的一对面。另外, n⁺型漏极半导体部 2 可以是添加掺杂物的基板, 在最佳实施例中, 该基板由 SiC(碳化硅)形成。作为添加在 SiC 中的掺杂物, 可利用作为周期表第 5 族元素的 N(氮)、P(磷)、As(砷)等施主(donor)杂质。n⁺型漏极半导体部 2 在一对面对的一个(背面)具有漏极电极 2a。漏极电极 2a 由金属形成。

n 型漂移半导体部 3 设置在 n⁺型漏极半导体部 2 一对面的另一个(表面)上。n 型漂移半导体部 3 在该表面上具有沿 y 轴方向依次配置的第 1-第 4 区域 3a、3b、3c、3d。第 1-第 4 区域 3a、3b、3c、3d 分别沿规定轴向(图 1A 的 x 轴方向)延伸, 在最佳实施例中, 是矩形的区域。第 1、第 2、第 3 区域 3a、3b、3c 上设置 p⁺型埋入半导体部 4。在第 4 区域 3d 上设置沟道半导体部 5。漂移半导体部 3 的导电类型与漏极半导体部 2 的导电类型相同, 漂移半导体部 3 的掺杂物浓度比漏极半导体部 2 的掺杂物浓度低。在最佳实施例中, 漂移半导体部 3 由添加掺杂物的 SiC(碳化硅)形成。

p⁺型埋入半导体部 4 设置在第 1、第 2、第 3 区域 3a、3b、3c 上。埋入半导体部 4 的导电类型与漂移半导体部 3 的导电类型相反。埋入半导体部 4 的 p 型掺杂物浓度比漂移半导体部 3 的 n 型掺杂物浓度高。在最佳实施例中, p⁺型埋入半导体部 4 由添加掺杂物的 SiC(碳化硅)形成。作为该掺杂物, 可利用作为周期表第 3 族元素的 B(硼)、Al(铝)等受主杂质。

n 型沟道半导体部 5 设置在第 1-第 3 区域 3a、3b、3c 和 p⁺型埋入半导体部 4 上、与第 4 区域 3d 上。n 型沟道半导体部 5 沿 p⁺型埋入半导体部 4 在规定的轴向(图 1A 的 y 轴方向)延伸。n 型沟道半导体部 5 在第 4 区域 3d 与 n 型漂移半导体部 3 电连接。沟道半导体部 5 的导电类型与埋入半导体部 4 的导电类型相反, 所以在埋入半导体部 4 与沟道半导体部 5 的界面上形成 pn 结。n 型沟道半导体部 5 的掺杂物浓度比 n⁺型漏极半导体部 2 的掺杂物浓度低。在最佳实施例中, n 型沟道半导体部 5 由添加掺杂物的 SiC 形成。

n⁺型源极半导体部 7 设置在第 1 区域 3a 和 n 型沟道半导体部 5 上。源极半导体部 7 具有与漏极半导体部 2 的导电类型相同的导电类型。源极半导体部 7 经

沟道半导体部 5 与漂移半导体部 3 连接。另外，在 n^+ 型源极半导体部 7 上，设置源极电极 7a。源极电极 7a 由金属形成。在 n 型源极半导体部 7 上设置称为氧化硅膜的绝缘膜 9， n 型源极半导体部 7 经绝缘膜 9 的开口部与源极电极 7a 连接。

如图 1B 所示， p^+ 型栅极半导体部 8 设置在第 3 和第 4 区域 3c、3d 和沟道半导体部 5 上。 p^+ 型栅极半导体部 8 具有在从第 3 区域 3c 向第 4 区域 3d 的方向(图中 y 轴方向)上延伸的凸部 8b、8c、8d。凸部 8b、8c、8d 延伸以到达埋入半导体部 4。凸部 8b、8c、8d 在第 3 区域 3c 上与埋入半导体部 4 电连接。在凸部 8b、8c、8d 之间设置 n 型沟道半导体部 5。因为栅极半导体部 8 的导电类型与沟道半导体部 5 的导电类型相反，所以在栅极半导体部 8 与沟道半导体部 5 的界面形成 pn 结。流过 n 型沟道半导体部 5 的漏极电流由 p^+ 型埋入半导体部 4 和 p^+ 型栅极半导体部 8 控制。栅极半导体部 8 的 p 型掺杂物浓度比沟道半导体部 5 的 n 型掺杂物浓度高。在最佳实施例中， p^+ 型栅极半导体部 8 由添加掺杂物的 SiC 形成。在最佳实施例中，沟道长度(图中 y 轴方向)比沟道厚度(图中 z 轴方向)的 10 倍还大。在 p^+ 型栅极半导体部 8 的表面上设置栅极电极 8a。栅极电极 8a 由金属形成。源极电极 7a 由金属形成。在 p^+ 型栅极半导体部 8 上设置称为氧化硅膜的绝缘膜 9， p^+ 型栅极半导体部 8 经绝缘膜 9 的开口部与栅极电极 8a 连接。箭头 e 表示从源极半导体部 7 流入漏极半导体部 2 的电流的路径。

(第 2 实施方式)

下面，说明纵向 JFETa 的制造方法。图 2A-图 2C、图 3A 和图 3B、图 4A 和图 4B、图 5A 和图 5B、图 6A 和图 6B、图 7A 和图 7B、图 8 是表示第 2 实施方式的纵向 JFET1a 的制造工序的立体图。

(漏极半导体膜形成工序)

首先，如图 2A 所示，准备基板。作为基板，示例 n^+ 型 SiC 半导体基板。基板的掺杂物浓度在该基板可用作漏极半导体部 2 的程度下是高浓度。

(漂移半导体膜形成工序)

如图 2B 所示，在 n^+ 型漏极半导体部 2 的表面，通过外延生成法形成 SiC 膜 3。SiC 膜 3 的膜厚 T1 例如为 10 微米。SiC 膜 3 的导电类型与 n^+ 型漏极半导体部 2 的导电类型相同。另外，SiC 膜 3 的掺杂物浓度比 n^+ 型掺杂物半导体 2 的掺杂物浓度低。SiC 膜 3 的掺杂物浓度例如为 $1 \times 10^{16}/\text{cm}^3$ 左右。由该 SiC 膜 3 形成 n 型漂移半导体部。

(埋入半导体部形成工序)

参照图 2C, 说明形成埋入半导体部的工序。形成具有沿规定轴向(图中 x 轴方向)延伸的图案的掩膜 M1。用该掩膜 M1, 向形成于 SiC 膜 3 上的区域 3e 中有选择地离子注入掺杂物 A1, 形成具有规定深度的 p⁺型埋入半导体部 4。p⁺型埋入半导体部 4 的深度 D1 例如为 1.2 微米左右。p⁺型埋入半导体部 4 的掺杂物浓度例如为 $1 \times 10^{18}/\text{cm}^3$ 左右。在形成埋入半导体部之后, 去除掩膜 M1。

(沟道半导体膜形成工序)

如图 3A 所示, 在 p⁺型埋入半导体部 4 的表面和 SiC 膜 3 上, 通过外延生成法形成 SiC 膜 5。SiC 膜 5 的膜厚 T2 例如为 0.5 微米左右。SiC 膜 5 的导电类型与漏极半导体部 2 的导电类型相同。另外, SiC 膜 5 的掺杂物浓度比漏极半导体部 2 的掺杂物浓度低。SiC 膜 5 的掺杂物浓度例如为 $1 \times 10^{17}/\text{cm}^3$ 左右。由该 SiC 膜 5 形成 n 型沟道半导体部。另外, 在本实施方式中, 尽管为了 n 型漂移半导体部和 n 型沟道半导体部而形成单个 SiC 膜, 但也包含为了漂移半导体部和 n 型沟道半导体部的各个而反复成膜 SiC 膜的多个成膜工序。另外, 可对 SiC 膜采用期望的掺杂物浓度轮廓, 以使 SiC 膜 3 作为漂移半导体部和沟道半导体部动作。

(源极半导体膜形成工序)

如图 3B 所示, 在 SiC 膜 5 的表面, 通过外延生成法, 形成 n⁺型源极半导体部用的 SiC 膜 7。SiC 膜 7 的膜厚 T3 例如为 0.2 微米左右。SiC 膜 7 的导电类型与漏极半导体部 2 的导电类型相同。另外, SiC 膜 7 的掺杂物浓度比 SiC 膜 5 的掺杂物浓度高。

(源极半导体部形成工序)

参照图 4A, 说明形成源极半导体部的工序。形成具有沿规定轴向(图中 x 轴方向)延伸的图案的掩膜 M2。使用掩膜 M2, 选择地蚀刻 n⁺型源极膜 7 与 SiC 膜 5。结果, 被掩膜 M2 覆盖的 n⁺型源极层 7 与 SiC 膜 5 的部分未被蚀刻而保留, 形成 n⁺型源极半导体部用的半导体部。在形成该半导体部之后, 去除掩膜 M2。

(p⁺型半导体区域形成工序)

参照图 4B, 说明形成 p⁺型半导体区域的工序。形成具有规定形状的图案的掩膜 M3。通过掩膜 M3, 选择地向 SiC 膜 5 上规定的区域 5a、5b、5c 中离子注入掺杂物 A2, 形成具有规定深度的 p⁺型半导体区域 81、82、83。p⁺型半导体区域 81、82、83 的掺杂物浓度例如是 $1 \times 10^{18}/\text{cm}^3$ 左右。形成 p⁺型半导体区域之后,

去除掩膜 M3。

(p+型半导体部形成工序)

参照图 5A, 说明形成 p+型半导体部的工序。形成具有规定形状的图案的掩膜 M4。通过掩膜 M4, 在 SiC 膜 5 上规定的区域(例如包含区域 5a-5c 的区域 5a-5e) 5 中, 选择地离子注入掺杂物 A3, 形成具有规定深度的 p+型半导体层 84、85。p+型半导体层 84、85 的掺杂物浓度例如是 $1 \times 10^{18}/\text{cm}^3$ 左右。另外, 表面附近的浓度是 $1 \times 10^{19}-1 \times 10^{20}/\text{cm}^3$ 左右。在形成 p+型半导体层之后, 去除掩膜 M4。另外, 进行 p+型半导体层形成工序与 p+型半导体部形成工序的顺序可以交换。

(热氧化工序)

10 参照图 5B, 说明热氧化纵向 JFET1a 的工序。对纵向 JFET1a 实施热氧化处理。热氧化处理若在高温(例如约 1200 度)下将 SiC 曝露于氧化性气氛中, 则各半导体部中的硅与氧进行化学反应, 形成氧化硅膜(SiO_2)。结果, 各半导体部的表面被氧化膜 9 覆盖。

(开口部形成工序)

15 参照图 6A, 说明形成用于形成源极电极和栅极电极的开口部的工序。使用光刻胶掩膜, 选择地蚀刻氧化膜 9, 形成开口部 9a、9b。在开口部 9a、9b 中, 分别露出源极半导体部 7 和栅极半导体部 8 的表面部分。这些露出部分分别成为向源极电极和栅极电极的导通部分。在形成开口部后, 去除抗蚀剂掩膜。

(电极形成工序)

20 参照图 6B, 说明形成电极的工序。首先, 在纵向 JFET1a 的表面, 堆积例如称为镍(Ni)的欧姆接触电极用金属膜。接着, 如仅在源极电极用开口部 9a 与栅极电极用开口部 9b 中剩余 Ni 所示, 形成光刻胶掩膜, 蚀刻 Ni 金属膜, 去除抗蚀剂。接着, 在高温(例如在 Ni 的情况下为 1000 度左右)的氮、氩等惰性气体气氛中, 进行热处理, 从而形成欧姆接触。作为欧姆接触电极用的金属膜材料, 可 25 以是 Ni、钨(W)、钛(Ti)等, 但不限于此。

并且, 堆积称为铝(Al)的电极用金属膜。形成具有规定形状的光刻胶掩膜。使用该掩膜, 选择地蚀刻电极用金属膜。结果, 被抗蚀剂图案覆盖的电极用金属膜部分未被蚀刻而保留, 变为源极电极 7a 和栅极电极 8a。作为电极用金属膜的材料, 可以是铝金属或铜(Cu)、钨(W), 但不限于此。在形成电极后, 去除抗蚀 30 剂掩膜。

通过以上说明的工序，完成第 1 实施方式中示出的纵向 JFET1a。在纵向 JFET1a 的结构中，可在 n 型漂移半导体部 3 上配置 p+型埋入半导体部 4 和 p+型栅极半导体部 8。因此，不会增大芯片尺寸，可通过 n 型漂移半导体部 3 的厚度而得到期望的漏极耐压。因此，可提高源极与漏极间的耐压。另外，不仅 n 型沟道半导体部 5 的下面，位于 p+型埋入半导体部 4 的下面的 n 型漂移半导体部 3 中也流过载流子。因此，可在维持耐压的同时，降低流通电阻。即，本结构适于高耐压 JFET。

纵向 JFET1a 在 p+型埋入半导体部 4 与 p+型栅极半导体部 8 之间设置 n 型沟道半导体部 5，同时，还在 p+型栅极半导体部 8 的凸部之间设置 n 型沟道半导体部 5。根据该结构，与从 n 型沟道半导体部 5 的单侧控制沟道的情况相比，可控制的沟道幅度增加。p+型埋入半导体部 4 与 p+型栅极半导体部 8 的间隔 A 比 p+型栅极半导体部 8 的凸部间的间隔 B 宽的情况下，由间隔 B 来确定纵向 JFET1a 的阈值。相反，p+型埋入半导体部 4 与 p+型栅极半导体部 8 的间隔 A 比 p+型栅极半导体部 8 的凸部间的间隔 B 窄的情况下，由间隔 A 来确定纵向 JFET1a 的阈值。

另外，在本实施方式中，由 SiC 形成漏极、源极、栅极的半导体部。SiC 与 Si(硅)或 GaAs(砷化镓)等半导体相比，在以下方面优越。即，因为高熔点且禁带宽度大，所以元件的高温动作变容易。另外，因为绝缘破坏电场大，所以可高耐压化。另外，因为导热率高，所以大电流、低损耗化变得容易。

(第 3 实施方式)

本实施方式涉及纵向 JFET1a 的 p+型半导体层形成工序和 p+型半导体部形成工序中、与第 2 实施方式不同的制造方法。即，在第 2 实施方式中，通过离子注入法来形成栅极半导体部 8，但在本实施方式中，经以下所示的工序来形成栅极半导体部 8。另外，就 p+型半导体层形成工序和 p+型半导体部形成工序以外的工序而言，省略说明与图示。向与第 2 实施方式一样的各结构部分附加相同符号。

(浅凹部形成工序)

参照图 7A，说明在 n 型半导体层 5 中形成浅凹部的工序。浅凹部形成工序紧接在第 2 实施方式的源极半导体部形成工序之后进行。形成具有规定形状的图案的光刻胶掩膜 M5。使用掩膜 M5，选择地蚀刻 n 型半导体层 5。蚀刻的深度

D5 为达到 p+型埋入半导体部 4 的程度。结果，由抗蚀剂图案覆盖的 n 型半导体层 5 的部分未被蚀刻而保留，形成浅凹部。在形成浅凹部之后，去除掩膜 M5。

(深凹部形成工序)

参照图 7B，说明在 n 型半导体层 5 中形成深凹部的工序。形成具有规定形状的图案的光刻胶掩膜 M6。使用掩膜 M6，选择地蚀刻 n 型半导体层 5。蚀刻的深度 D6 为达到 p+型埋入半导体部 4 的程度。结果，由抗蚀剂图案覆盖的 n 型半导体层 5 的部分未被蚀刻而保留，形成沿规定轴向(图中 y 轴方向)延伸的带状的深凹部。在形成深凹部后，去除掩膜 M6。

(栅极半导体部形成工序)

参照图 8，说明形成栅极半导体部的工序。在 n 型漂移半导体层 3、p+型埋入半导体层 4、和 n 型半导体层 5 的表面堆积多晶硅，在浅凹部与深凹部内形成多晶硅半导体部 8。多晶硅膜使用化学气相生长法，例如通过热分解 SiH₄(硅烷)来生长。多晶硅半导体部 8 的导电类型与漏极半导体部 2 的导电类型相反。另外，多晶硅半导体部 8 的掺杂物浓度比 n 型半导体层 5 的掺杂物浓度高。在栅极半导体部形成工序之后，进行热氧化工序以后的工序。根据第 3 实施方式所示的制造方法，可通过异型结来形成沟道半导体部与栅极半导体部。

(第 4 实施方式)

第 1 实施方式中说明的纵向 JFET1a 可采取图 9 所示的变形方式。图 9 是第 4 实施方式中的纵向 JFET1c 的立体图。即，第 4 实施方式中的纵向 JFET1c 在第 5 区域 3e 和 p+型埋入半导体部 4 上配备 p+型半导体部 6。

第 1 实施方式中说明的纵向 JFET1b 也可采取图 10 所示的变形方式。图 10 是第 5 实施方式中的纵向 JFET1d 的立体图。即，再一实施方式中的纵向 JFET1d 在第 5 区域 3e 和 p+型埋入半导体部 4 上配备 p+型半导体部 6。

在纵向 JFET1c、1d 中，n 型漂移半导体部 3 在其表面上具有沿 y 轴方向依次配置的第 1-第 5 区域 3e、3a、3b、3c、3d。p+型半导体部 6 设置在第 5 区域 3e 和 p+型埋入半导体部 4 上。p+型半导体部 6 沿 n 型沟道半导体部 5(图中 z 轴方向)延伸。半导体部 6 的导电类型与沟道半导体部 5 的导电类型相反。半导体部 6 的 p 型掺杂物浓度比沟道半导体部 5 的 n 型掺杂物浓度高。在最佳实施例中，p+型半导体部 6 由添加掺杂物的 SiC 形成。

根据第 4 实施方式中的纵向 JFET1c、1d，p+型埋入半导体部 4 经 p+型半

导体部 6 与电极 6a 电连接。若将电极 6a 用作栅极电极，则在 p+型半导体部与 p+型埋入半导体部之间也形成沟道半导体部。因此，可多地流过电流，减小损耗。

另外，在本实施方式中的纵向 JFET1c、1d 中，也可通过代替电极 6a 而将 p+半导体部 6 连接于源极电极 7a 上，将 p+型埋入半导体部 4 与源极半导体部 7 电连接于相同的源极电极 7a 上。由此，p+型埋入半导体部 4 与源极半导体部 7 为相同电位。此时，p+型埋入半导体部与漏极半导体部之间形成的电容从栅极、漏极间电容变化为栅极、源极间电容，可进行高频动作。

(第 5 实施方式)

下面，参照图 11A-图 11C，说明作为第 2 实施方式的变形的第 5 实施方式。就第 5 实施方式中的纵向 JFET 的制造方法而言，向与第 2 实施方式中说明的纵向 JFET1a 的制造方法一样的各结构要素附加相同符号。下面，说明与第 2 实施方式不同的 p+型半导体膜形成工序以后的工序。

(p+型半导体膜形成工序)

参照图 11A，说明形成 p+型半导体膜的工序。p+型半导体膜形成工序在沟道半导体膜形成工序之后执行。形成具有规定形状的图案的掩膜 M7。使用掩膜 M7，向形成于 SiC 膜 51 上的区域 51a 中选择地离子注入掺杂物 A4，形成 p+型半导体层 61。SiC 膜 51 的厚度 T4 为可通过离子注入形成到达 p+型栅极半导体部 4 的 p+型半导体层 61 的厚度。p+型半导体层 61 的掺杂物浓度与 p+型栅极半导体部 4 相同。在形成 p+型半导体层 61 之后，去除掩膜 M7。反复执行沟道半导体膜形成工序与 p+型半导体膜形成工序，直到沟道半导体膜与 p+型半导体膜变为规定厚度。

(源极半导体膜形成工序)

如图 11B 所示，在 n 型半导体层 5 与 p+型半导体层 6 上，通过外延生成法，形成 n+型源极层用的 SiC 膜 7。SiC 膜 7 的导电类型与 n+型漏极半导体部 2 的导电类型相同。另外，SiC 膜 7 的掺杂物浓度比 SiC 膜 5 的掺杂物浓度高。

(p+型半导体部形成工序)

参照图 11C，说明形成 p+型半导体部的工序。形成具有规定形状的图案的掩膜 M8。使用掩膜 M8，向在 SiC 膜 7 上形成的区域 7a 中选择地离子注入掺杂物 A5，形成 p+型半导体部 6。在形成 p+型半导体部 6 后，去除掩膜 M8。在 p+

型半导体部形成工序之后, 执行源极半导体部形成工序。以上说明了与第 2 实施方式不同的 p+型半导体膜形成工序之后的工序。就其它工序而言, 虽与第 2 实施方式一样, 但不限于此。

(第 6 实施方式)

5 第 4 实施方式中说明的纵向 JFET1a 也可采用图 12 所示的变形方式。图 12 是第 6 实施方式中的纵向 JFET1e 的立体图。即, 在第 4 实施方式中, n 型沟道半导体部 5 构成为在第 1 区域 3a 上与 n⁺型源极半导体部 7 接触。相反, 在第 6 实施方式中, 纵向 JFET1e 在 n 型沟道半导体部 5 与 n⁺型源极半导体部 7 之间还备有 n 型半导体部 10。本实施方式特别适用于 p+型栅极半导体部 4 与 n 型半导体部 10 的间隔比 p+型栅极半导体部 8 的凸部间隔小的方式。

n 型半导体部 10 设置在第 1 和第 2 区域 3a、3b、3c、3d 和 n 型沟道半导体部 5 上。半导体部 10 的导电类型与沟道半导体部 5 的导电类型相同。半导体部 10 的 n 型掺杂物浓度比沟道半导体部 5 的 n 型掺杂物浓度低。n 型半导体部 10 的掺杂物浓度例如为 $1 \times 10^{16}/\text{cm}^3$ 左右。在最佳实施例中, 由添加掺杂物的 SiC(碳化硅)来形成 n 型半导体部 10。

15 根据该结构, n 型沟道半导体部 5 未被蚀刻, 所以沟道半导体部的厚度不受蚀刻工序引起的偏差的影响。因此, 可减小纵向 JFET1e 的电气特性的个体差。

另外, 在本实施方式中的纵向 JFET1e 中, 也可通过代替电极 6a 而将 p+型半导体部 6 连接于源极电极 7a 上, 将 p+型埋入半导体部 4 与源极半导体部 7 电连接于相同的源极电极 7a 上。由此, p+型埋入半导体部 4 与源极半导体部 7 为相同电位, p+型埋入半导体部与漏极半导体部之间形成的电容从栅极、漏极间电容变化为栅极、源极间电容, 可进行高频动作。

(第 7 实施方式)

25 下面, 参照图 13A 来说明作为第 1 实施方式的变形的第 7 实施方式。就第 7 实施方式中的纵向 JFET 而言, 向与第 1 实施方式中说明的纵向 JFET1f 的结构一样的各结构要素附加相同符号。下面, 说明与第 1 实施方式不同的沟道半导体部的结构。

图 13A 是第 7 实施方式中的纵向 JFET1f 的立体图。第 1 实施方式和第 7 实施方式在沟道半导体部的结构上不同。如图 13A 所示, 纵向 JFET1f 具有 n⁺型漏极半导体部 2、n 型漂移半导体部 3、p+型栅极半导体部 4、n 型沟道半导体

30

部 5、n⁺型源极半导体部 7、p⁺型栅极半导体部 81、82、83 和 p⁺型连接半导体部 11。

n 型沟道半导体部 5 具有 n 型沟道半导体区域 51、52、53。n 型沟道半导体区域 51 设置在 n 型漂移半导体部 3 的第 2-第 4 区域 3b、3c、3d 和 p⁺型栅极半导体部 4 上。n 型沟道半导体区域 51 设置在 p⁺型栅极半导体部 4 与 p⁺型栅极半导体部 81 之间、p⁺型栅极半导体部 81、82 之间、和 p⁺型栅极半导体部 82、83 之间。n 型沟道半导体区域 52 设置在 n 型漂移半导体部 3 的第 5 区域 3e 上，在第 5 区域 3e 中，与 n 型漂移半导体部 3 连接。n 型沟道半导体区域 53 设置在 n 型漂移半导体部 3 的第 1 区域 3a 上。n 型沟道半导体区域 53 经 n 型沟道半导体区域 51 与 n 型沟道半导体区域 52 连接。

n 型沟道半导体部 5 的掺杂物浓度比 n⁺型漏极半导体部 2 的掺杂物浓度低。在最佳实施例中，n 型沟道半导体部 5 由添加了掺杂物的 SiC 形成。

p⁺型栅极半导体部 81、82、83 设置在第 2-第 4 区域 3b-3d 上。在 p⁺型栅极半导体部 81、82、83 之间，设置 n 型沟道半导体区域 51。因为栅极半导体部 81、82、83 和栅极半导体部 4 的导电类型与沟道半导体区域 51 的导电类型相反，所以在栅极半导体部 81、82、83、4 与沟道半导体区域 51 的界面形成 pn 结。流过 n 型沟道半导体区域 51 的漏极电流由 p⁺型栅极半导体部 81、82、83、4 控制。栅极半导体部 81、82、83、4 的 p 型掺杂物浓度比沟道半导体区域 51 的 n 型掺杂物浓度高。在最佳实施例中，p⁺型栅极半导体部 81、82、83、4 由添加了掺杂物的 SiC 形成。在 p⁺型栅极半导体部 83 的表面上，设置栅极电极 8a。栅极电极 8a 由金属形成。在 p⁺型栅极半导体部 83 上，设置称为氧化硅膜的绝缘膜 9。p⁺型栅极半导体部 83 经绝缘膜 9 的开口部与栅极电极 8a 连接。

如图 13B 所示，p⁺型连接半导体部 11 设置在第 3 区域 3c 上。连接半导体部 11 的导电类型与栅极半导体部 4 的导电类型相同。p⁺型连接半导体部 11 沿纵向(图中 z 轴方向)延伸，连接 p⁺型栅极半导体部 4 与 p⁺型栅极半导体部 81、82、83。连接半导体部 11 的 p 型掺杂物浓度比沟道半导体区域 51 的 n 型掺杂物浓度高。在最佳实施例中，p⁺型连接半导体部 11 由添加掺杂物的 SiC 形成。箭头 e 表示从源极半导体部 7 流入漏极半导体部 2 的电流的路径。

(第 8 实施方式)

下面，参照图 14A 和图 14B、图 15A 和图 15B、图 16A 和图 16B、图 17A

和图 17B、图 18A 和图 18B 来说明作为第 2 实施方式的变形的第 8 实施方式。就第 8 实施方式中的纵向 JFET 的制造方法而言，向与第 2 实施方式中说明的纵向 JFET1a 的制造方法一样的各结构要素附加相同符号。下面，说明与第 2 实施方式不同的沟道半导体膜形成工序以后的工序。

5 (p+型半导体层形成工序)

参照图 14A，说明形成 p+型半导体层的工序。p+型半导体层形成工序在沟道半导体膜形成工序之后进行。形成具有沿规定方向(图中 x 轴方向)延伸的图案的掩膜 M9。通过掩膜 M9，选择地向 SiC 膜 51 上规定的区域 51a 中离子注入掺杂物 A6，形成 p+型半导体层 81。对应于该纵向 JFET 的阈值来确定离子注入的
10 深度 D7。形成 p+型半导体层之后，去除掩膜 M9。

(p+型连接半导体层形成工序)

参照图 14B，说明形成 p+型连接半导体层的工序。形成具有规定形状的图案的掩膜 M10。通过掩膜 M10，选择地向 SiC 膜 51 上规定的区域 51b 中离子注入掺杂物 A7，形成 p+型连接半导体 111。离子注入的深度深至到达 p+型栅极半
15 导体部 4 的程度。p+型连接半导体 111 的掺杂物浓度与 p+型栅极半导体部 4 相同。形成 p+型半导体层之后，去除掩膜 M10。

(p+型栅极半导体部形成工序)

参照图 15A 和图 15B，说明形成 p+型栅极半导体部的工序。在该工序中，反复进行沟道半导体膜形成工序、p+型半导体层形成工序与 p+型连接半导体层
20 形成工序，在 n 型漂移半导体部 3 上堆积具有 p+型半导体层与 p+型连接半导体层的半导体层，形成层叠型沟道部。结果，形成具有规定厚度 T5(图中 z 轴方向)的半导体层 5。

(沟道半导体膜形成工序)

参照图 16A，说明形成 n 型沟道半导体膜的工序。如图 16A 所示，在 SiC
25 膜 5 上，通过外延生成法形成 SiC 膜 54。SiC 膜 54 的导电类型与 n+型漏极半导体部 2 的导电类型相同。另外，SiC 膜 54 的掺杂物浓度比漏极半导体部 2 的掺杂物浓度低。

(源极半导体膜形成工序)

如图 16B 所示，在 SiC 膜 54 的表面，通过外延生成法，形成 n+型源极层用的
30 的 SiC 膜 7。SiC 膜 7 的导电类型与漏极半导体部 2 的导电类型相同。另外，SiC

膜 7 的掺杂物浓度比 SiC 膜 54 的掺杂物浓度高。

(源极半导体部形成工序)

参照图 17A, 说明形成源极半导体部的工序。形成具有沿规定轴向(图中 x 轴方向)延伸的图案的掩膜 M11。使用掩膜 M11, 选择地蚀刻 n⁺型源极层 7 与 SiC 膜 54。结果, 被抗蚀剂图案覆盖的 n⁺型源极层 7 与 SiC 膜 54 的部分 54a 未被蚀刻而保留, 形成 n⁺型源极半导体部 7。在形成源极半导体部之后, 去除掩膜 M11。

(热氧化工序)

参照图 17B, 说明热氧化纵向 JFET1f 的工序。对纵向 JFET1f 实施热氧化处理。热氧化处理若在高温(例如约 1200 度)下将 SiC 曝露于氧化性气氛中, 则各半导体部中的硅与氧进行化学反应, 形成氧化硅膜(SiO₂)。结果, 各半导体部的表面被氧化膜 9 覆盖。

(开口部形成工序)

参照图 18A, 说明形成用于形成源极电极和栅极电极的开口部的工序。使用光刻胶掩膜, 选择地蚀刻氧化膜 9, 形成开口部 9a、9b。在开口部 9a、9b 中, 露出源极半导体部 7 和栅极半导体部 8 的表面部分。露出部分成为向源极电极和栅极电极的导通部分。在形成开口部后, 去除抗蚀剂掩膜。

(电极形成工序)

参照图 18B, 说明形成电极的工序。首先, 在纵向 JFET1f 的表面, 堆积例如称为镍(Ni)的欧姆接触电极用金属膜。接着, 如仅在源极电极用开口部 9a 与栅极电极用开口部 9b 中剩余 Ni 所示, 形成光刻胶掩膜, 蚀刻 Ni 金属膜, 去除抗蚀剂。接着, 在高温(例如在 Ni 的情况下为 1000 度左右)的氮、氩等惰性气体气氛中, 进行热处理, 从而形成欧姆接触。作为欧姆接触电极用的金属膜材料, 可以是 Ni、钨(W)、钛(Ti)等, 但不限于此。

并且, 堆积称为铝(Al)的电极用金属膜。形成具有规定形状的光刻胶掩膜。使用该掩膜, 选择地蚀刻电极用金属膜。结果, 被抗蚀剂图案覆盖的电极用金属膜部分未被蚀刻而保留, 变为源极电极 7a 和栅极电极 8a。作为电极用金属膜的材料, 可以是铝金属或铜(Cu)、钨(W), 但不限于此。在形成电极后, 去除抗蚀剂掩膜。

通过以上说明的工序, 完成第 1 实施方式中示出的纵向 JFET1f。在纵向 JFET1f 的结构中, p⁺型栅极半导体部 81、82、83 经 p⁺型连接半导体部 11 连接

在 p+型栅极半导体部 4 上。由此, 可将 p+型连接半导体部 11 与 p+型栅极半导体部 81、82、83 都用作栅极。另外, 可将栅极电极 8a 连接于埋入的栅极半导体部上。因此, 在与 p+型栅极半导体部 4、81、82、83 之间形成沟道区域。从而, 可增加栅极半导体部可控制的沟道区域, 可降低导通电阻。

5 (第 9 实施方式)

第 7 实施方式中说明的纵向 JFET1f 也可采取图 19 所示的变形方式。图 19A 是第 9 实施方式中的纵向 JFET1g 的立体图。即, 第 9 实施方式中的纵向 JFET1g 在第 6 区域 3f 和 p+型埋入半导体部 4 上配备 p+型半导体部 6 这点上与纵向 JFET1f 不同。

10 在纵向 JFET1g 中, n 型漂移半导体部 3 在其表面上具有沿 y 轴方向依次配置的第 1-第 6 区域 3f、3a、3b、3c、3d、3e。p+型半导体部 6 设置在第 6 区域 3f 和 p+型埋入半导体部 4 上。p+型半导体部 6 沿 n⁺型源极半导体部 7(图中 x 轴方向)延伸。p+型半导体部 6 的导电类型与 n 型沟道半导体部 5 的导电类型相反。半导体部 6 的 p 型掺杂物浓度比沟道半导体部 5 的 n 型掺杂物浓度高。在最佳
15 实施例中, p+型半导体部 6 由添加掺杂物的 SiC 形成。

根据第 9 实施方式中的纵向 JFET1g, p+型埋入半导体部 4 经 p+型半导体部 6 与电极 6a 电连接。也可将电极 6a 用作栅极电极, 仅在 p+型栅极半导体部 81 与 p+型埋入半导体部 4 之间的沟道半导体部中不存在连接半导体部 11, 电流
20 路径大, 可减小导通电阻。

另外, 在本实施方式中的纵向 JFET1g 中, 也可通过代替电极 6a 而将 p+半导体部 6 连接于源极电极 7a 上, 将 p+型埋入半导体部 4 与源极半导体部 7 电连接于相同的源极电极 7a 上。由此, p+型埋入半导体部 4 与源极半导体部 7 为相同电位, p+型埋入半导体部与漏极半导体部之间形成的电容从栅极、漏极间电容
25 变化为栅极、源极间电容, 可进行高频动作。

(第 10 实施方式)

下面, 参照图 20A 和图 20B, 说明作为第 8 实施方式的变形的第 10 实施方式。就第 10 实施方式中的纵向 JFET 的制造方法而言, 向与第 8 实施方式中说明的纵向 JFET1f 的制造方法一样的各结构要素附加相同符号。下面, 说明与第
30 8 实施方式不同的 p+型半导体部形成工序。

(第 2p+型半导体层形成工序)

参照图 20A, 说明形成 p+型半导体层的工序。第 2p+型半导体层形成工序在 p+型半导体层形成工序之后执行。形成具有规定形状的图案的掩膜 M12。通过掩膜 M12, 向 SiC 膜 51 上规定的区域 51c 中选择地离子注入掺杂物 A8, 形成 p+型半导体层 61。离子注入的深度深至到达 p+型埋入半导体部 4 的程度。

5 p+型半导体层 61 的掺杂物浓度与 p+型栅极半导体部 4 相同。在形成 p+型半导体层之后, 去除掩膜 M12。

(p+型连接半导体层形成工序)

参照图 20B, 说明形成 p+型连接半导体层的工序。在 p+型连接半导体层形成之前, 形成 n 型半导体膜 52、p+型半导体部 82 和 p+型半导体部 62。形成具有规定形状的图案的掩膜 M.13。通过掩膜 M13, 向 n 型半导体膜 52 上形成的区域 52a 中选择地离子注入掺杂物 A9, 形成 p+型连接半导体层 111。离子注入的深度深至到达 p+型栅极半导体部 81 的程度。p+型连接半导体层 111 的掺杂物浓度与 p+型半导体层 61 相同。在形成 p+型连接半导体层 111 之后, 去除掩膜 M13。

10

在 p+型连接半导体层形成工序之后, 进行沟道半导体膜形成工序。反复沟道半导体膜形成工序、p+型半导体层形成工序、第 2p+型半导体层形成工序和 p+型连接半导体层形成工序, 在 n 型漂移半导体部 3 上形成层叠沟道部。以上说明与第 8 实施方式不同的第 2p+型半导体层形成工序之后的工序。其它工序与第 8 实施方式一样, 但不限于此。

15

(第 11 实施方式)

下面, 参照图 21A 和图 21B 来说明作为第 1 实施方式的变形方式的第 11 实施方式。就第 11 实施方式中的纵向 JFET 而言, 向与第 1 实施方式中说明的纵向 JFET1a 的结构一样的各结构要素附加相同符号。下面, 说明与第 1 实施方式的差异。

20

图 21A 是第 11 实施方式中的纵向 JFET1h 的立体图。第 11 实施方式和第 1 实施方式在沟道半导体部的结构上不同。即, 在第 11 实施方式中, 沟道半导体部具有脉冲掺杂结构。

25

如图 21B 所示, 脉冲掺杂半导体部 12 通过交互配置 n 型 SiC 层 121-124 与 n⁺型 SiC 层 125-127 来构成。另外, SiC 层 121-124 的 n 型掺杂物浓度比 SiC 层 125-127 的 n 型掺杂物浓度低。n 型 SiC 层 121-124 的掺杂物浓度例如为

30

1×10¹⁶/cm³左右。n型 SiC 层 121-124 的厚度 T6 例如为 10nm 前后。n⁺型 SiC 层 125-127 的掺杂物浓度例如为 1×10¹⁷/cm³~1×10¹⁸/cm³ 左右。n⁺型 SiC 层 125-127 的厚度 T7 例如为 10nm 前后。通过这种结构，载流子在载流子迁移率比高浓度层大的低浓度层中移动，所以流过沟道区域的电流增加。结果，可降低导通电阻。

脉冲掺杂结构如图 22A 所示，也可适用于第 7 实施方式中说明的纵向 JFET1f 的沟道半导体部中。另外，脉冲掺杂结构如图 22B 所示，也可适用于第 9 实施方式中说明的纵向 JFET1g 的沟道半导体部中。

另外，在本实施方式中的纵向 JFET1h、1k 中，也可通过代替电极 6a 而将 p⁺半导体部 6 连接于源极电极 7a 上，将 p⁺型埋入半导体部 4 与源极半导体部 7 电连接于相同的源极电极 7a 上。由此，p⁺型埋入半导体部 4 与源极半导体部 7 为相同电位，p⁺型埋入半导体部与漏极半导体部中形成的电容从栅极、漏极间电容变化为源极、漏极间电容，可进行高频动作。

(第 12 实施方式)

下面，参照图 23 来说明作为第 1 实施方式的变形方式的第 12 实施方式。就第 12 实施方式中的纵向 JFET 而言，向与第 1 实施方式中说明的纵向 JFET1a 的结构一样的各结构要素附加相同符号。下面，说明与第 1 实施方式的差异。

图 23 是第 12 实施方式中的纵向 JFET1n 的立体图。第 12 实施方式与第 1 实施方式在栅极半导体部的结构上不同。即，在第 12 实施方式中，纵向 JFET1n 在栅极半导体部 4 中具有 p⁺型半导体部 13。p⁺型半导体部 13 形成于埋入半导体部 4、沟道半导体部 5 和 p⁺型半导体部 6 之间。p⁺型半导体部 13 通过添加 Al(铝)来作为掺杂物的 SiC 形成。栅极半导体部 4 通过添加 B(硼)来作为掺杂物的 SiC 形成。B 的射程比 Al 的射程大，所以栅极半导体部 4 形成于 p⁺型半导体部 13 与漂移半导体部 3 之间。栅极半导体部 4 的掺杂物浓度比 p⁺型半导体部 13 的掺杂物浓度小。根据该结构，因为耗尽层延伸到栅极半导体部 4，所以可缓和栅极半导体部与漂移半导体部之间的电位梯度，缓和电场集中。结果，提高纵向 JFET 的耐压性。

如图 24A 所示，本结构也可适用于第 7 实施方式中说明的纵向 JFET1f 的栅极半导体部。另外，如图 24B 所示，脉冲掺杂结构也可适用于第 9 实施方式中说明的纵向 JFET1g 的栅极半导体部。

根据该结构,可使栅极半导体部4的掺杂物浓度比p+型半导体部13的掺杂物浓度小。由此,因为耗尽层延伸到栅极半导体部4,所以可缓和栅极半导体部与漂移半导体部之间的电位梯度,缓和电场集中。结果,提高纵向JFET的耐压性。

5 另外,在本实施方式中的纵向JFET1n、1p中,也可通过代替电极6a而将p+半导体部6连接于源极电极7a上,将p+型埋入半导体部4与源极半导体部7电连接于相同的源极电极7a上。由此,p+型埋入半导体部4与源极半导体部7为相同电位,p+型埋入半导体部与漏极半导体部之间形成的电容从栅极、漏极间电容变化为源极、漏极间电容,所以可进行高频动作。

10 (第13实施方式)

下面,参照图25来说明作为第1实施方式的变形方式的第13实施方式。就第13实施方式中的纵向JFET而言,向与第1实施方式中说明的纵向JFET1a的结构一样的各结构要素附加相同符号。下面,说明与第1实施方式不同的漂移半导体部的结构。

15 图25是第13实施方式中的纵向JFET1r的截面图。第13实施方式与第1实施方式在漂移半导体部的结构上不同。即,在第1实施方式中,漂移半导体部的导电类型与n+型漏极半导体部2的导电类型相同,而在第13实施方式中,漂移半导体部具有由导电类型不同的半导体区域构成的超级结(SJ: Super Junction)结构。

20 参照图25,将漂移半导体部设置在n+型漏极半导体部2的主面上。漂移半导体部具有沿与n+型漏极半导体部2的主面交叉的基准面延伸的p型半导体区域31、33和n型半导体区域32。夹持n型半导体区域32来排列p型半导体区域31、33。p型半导体区域与n型半导体区域的结位于p+型栅极半导体部41、42与n+型漏极半导体部2之间。

25 p型半导体区域31、33位于p+型栅极半导体部41、42与n+型漏极半导体部2之间,沿p+型栅极半导体部41、42(图中x轴方向)延伸。

n型半导体区域32位于p+型栅极半导体部41与p+型栅极半导体部42之间的n型沟道半导体部5、与n+型漏极半导体部2之间,沿p+型栅极半导体部41、42(图中x轴方向)延伸。n型半导体区域32具有与漏极半导体部2的导电类型相同的导电类型。

30

图 26 是表示具有超级结结构的另一方式的纵向 JFET1s 的截面图。如图 26 所示, 超级结结构也可适用于第 7 实施方式中说明的纵向 JFET1f 的漂移半导体部中。另外, 图 27 是表示具有超级结结构的再一方式的纵向 JFET1t 的截面图。如图 27 所示, 超级结结构也可适用于第 9 实施方式中说明的纵向 JFET1g 的漂移半导体部中。超级结结构也可适用于其它实施方式中说明的纵向 JFET 中。

根据本实施方式中的纵向 JFET1r、1s、1t, 漂移半导体部由导电类型不同的多个半导体区域构成。具有这种结构的漂移半导体部在漏极电压高时, 漂移半导体部的整体被充分耗尽化。因此, 漂移半导体部中的电场的最大值变低。所以, 可变薄漂移半导体部的厚度。因此, 导通电阻变小。

p 型半导体区域 31、33 与 n 型半导体区域 32 的掺杂物浓度最好基本相同。在假设 500V 耐压的情况下的最佳实施例中, p 型半导体区域 31、33 与 n 型半导体区域 32 的掺杂物浓度约为 $2.7 \times 10^{17} \text{cm}^{-3}$ 。另外, 在假设 500V 耐压的情况下的最佳实施例中, p 型半导体区域 31、33 与 n 型半导体区域 32 的幅度(图中 y 轴方向)为 0.5 微米左右。由此, 耗尽层在延伸到 p 型半导体区域的整体时, 延伸到 n 型半导体区域的整体。这样, 因为耗尽层在两个半导体区域中延伸, 所以漂移半导体部中缓和电场集中。

(第 14 实施方式)

n 型半导体区域和 p 型半导体区域、与栅极半导体部的位置关系不限于此前的实施方式中所示的位置关系。图 28A 是表示第 14 实施方式中的各半导体区域与栅极半导体部的位置关系的模式图。p 型半导体区域 31、33 和 n 型半导体区域 32 都沿规定轴向(图中 x 轴方向)延伸。夹持 n 型半导体区域 32 来排列 p 型半导体区域 31、33。p 型半导体区域与 n 型半导体区域的结位于 p+型栅极半导体部 41、42 的下面。

相反, 图 28B 是表示第 14 实施方式中的各半导体区域与栅极半导体部的位置关系的模式图。p 型半导体区域 31、33 和 n 型半导体区域 32、34 都沿规定轴向(图中 x 轴方向)延伸。p 型半导体区域 31、33 与 n 型半导体区域 32、34 交互配置。p 型半导体区域与 n 型半导体区域的结不仅位于 p+型栅极半导体部 41、42 的下面, 还位于各栅极半导体部之间。

图 28C 是表示再一方式中的各半导体区域与栅极半导体部的位置关系的模式图。p 型半导体区域 31、33 和 n 型半导体区域 32 都沿规定轴向(图中 y 轴方向)

延伸。夹持 n 型半导体区域 32 来排列 p 型半导体区域 31、33。n 型半导体区域也可以是多个。

(第 15 实施方式)

下面,说明具有超级结结构的纵向 JFET 的制造方法中、构成超级结结构的 n 型半导体区域和 p 型半导体区域的形成方法。

(n 型半导体层形成工序)

首先,准备 n⁺型 SiC 半导体基板。基板的 n 型杂质浓度在该基板可用作漏极半导体部的程度下是高浓度。如图 29A 所示,在 n⁺型漏极半导体部 2 的表面上,通过外延生成法,形成 SiC 膜 3。在假设 500V 耐压的情况下的最佳实施例中, SiC 膜 3 的膜厚 T8 为 2.0 微米以上、3.0 微米以下。SiC 膜 3 的导电类型与漏极半导体部 2 的导电类型相同。另外, SiC 膜 3 的掺杂物浓度比 n⁺型漏极半导体部 2 的掺杂物浓度低。由该 SiC 膜 3,形成 n 型半导体层 32、34、36。

(p 型半导体层形成工序)

参照图 29B,说明形成 p 型半导体层的工序。使用规定的掩膜 M,在 n 型半导体层 3 上形成的区域 31a、33a、35a、37a 中,选择地离子注入掺杂物 A10,形成具有规定深度的 p 型半导体层 311、331、351、371。在形成 p 型半导体层后,去除掩膜 M。

(漂移半导体部形成工序)

参照图 29C,说明形成期望厚度的漂移半导体部的工序。即,交互反复 n 型半导体层形成工序与 p 型半导体层形成工序,在 n⁺型漏极半导体部 2 上形成具有超级结结构的漂移半导体部。结果,形成具有规定厚度(图中 z 轴方向)的半导体层 3。以上说明具有 n 型半导体区域和 p 型半导体区域的漂移半导体部的形成方法。其它工序与第 2、第 6、第 8 实施方式一样,但不限于此。

(第 16 实施方式)

图 30 是第 16 实施方式中的纵向 JFET1u 的截面图。如图 30 所示,纵向 JFET1u 具有 n⁺型漏极半导体部 2、n 型漂移半导体部 3、p 型埋入半导体层 4、n 型沟道半导体部 5、p⁺型栅极半导体部 6 和 n⁺型源极半导体部 7。

纵向 JFET1u 具有多数载流子在从该元件的一个面向另一面的方向(下面记作“电流方向”)上移动的纵向结构。图 30 中示出坐标系。该坐标规定 JFET 沟道部的电流方向与 y 轴一致。

n^+ 型漏极半导体部 2 具有相对的一对面。另外, n^+ 型漏极半导体部 2 可以是添加掺杂物的基板, 在最佳实施例中, 该基板由 SiC(碳化硅)形成。作为添加在 SiC 中的掺杂物, 可利用作为周期表第 5 族元素的 N(氮)、P(磷)、As(砷)等施主杂质。 n^+ 型漏极半导体部 2 在一对面对的一个(背面)具有漏极电极 2a。漏极电极 2a 由金属形成。

n 型漂移半导体部 3 设置在 n^+ 型漏极半导体部 2 一对面的另一个(表面)上。 n 型漂移半导体部 3 在该表面上具有沿 y 轴方向依次配置的第 1-第 4 区域 3a、3b、3c、3d。第 1-第 4 区域 3a、3b、3c、3d 分别沿规定轴向(图 30 的 x 轴方向)延伸, 在最佳实施例中, 是矩形的区域。第 1、第 2、第 4 区域 3a、3b、3d 上设置 p 型埋入半导体部 4。在第 1-第 3 区域 3a、3b、3c 上设置沟道半导体部 5。漂移半导体部 3 的导电类型与漏极半导体部 2 的导电类型相同, 漂移半导体部 3 的掺杂物浓度比漏极半导体部 2 的掺杂物浓度低。在最佳实施例中, 漂移半导体部 3 由添加掺杂物的 SiC(碳化硅)形成。

p 型埋入半导体部 4 设置在第 1-第 3 区域 3a、3b、3c 上。埋入半导体部 4 的导电类型与漂移半导体部 3 的导电类型相反。在最佳实施例中, p 型埋入半导体部 4 由添加掺杂物的 SiC(碳化硅)形成。作为该掺杂物, 可利用作为周期表第 3 族元素的 B(硼)、Al(铝)等受主杂质。

n 型沟道半导体部 5 设置在第 1-第 3 区域 3a、3b、3c 上。 n 型沟道半导体部 5 沿 p 型埋入半导体部 4 在规定的轴向(图 30 的 y 轴方向)延伸。 n 型沟道半导体部 5 在第 3 区域 3c 中与 n 型漂移半导体部 3 电连接。沟道半导体部 5 的导电类型与埋入半导体部 4 的导电类型相反, 所以在埋入半导体部 4 与沟道半导体部 5 的界面上形成 pn 结。 n 型沟道半导体部 5 中流过的漏极电流由 p 型埋入半导体部 4 控制。 n 型沟道半导体部 5 的掺杂物浓度比 n^+ 型漏极半导体部 2 的掺杂物浓度低。在最佳实施例中, n 型沟道半导体部 5 由添加掺杂物的 SiC 形成。在最佳实施例中, 沟道长度(图中 y 轴方向)比沟道厚度(图中 z 轴方向)的 10 倍还大。

p^+ 型栅极半导体部 6 设置在第 4 区域 3d 和 p 型埋入半导体部 4 上。 p^+ 型栅极半导体部 6 沿纵向(图 30 的 x 轴方向)延伸。在 p^+ 型栅极半导体部 6 的表面上, 设置栅极电极 6a。栅极电极 6a 由金属形成。 p^+ 型栅极半导体部 6 将 p 型埋入半导体部 4 连接于栅极电极 6a 上。

n^+ 型源极半导体部 7 设置在第 1 区域 3a 和 n 型沟道半导体部 5 上。源极半

导体部 7 具有与漏极半导体部 2 的导电类型相同的导电类型。源极半导体部 7 经沟道半导体部 5 与漂移半导体部 3 连接。另外，在 n^+ 型源极半导体部 7 上，设置源极电极 7a。源极电极 7a 由金属形成。n 型沟道半导体部 5 通过称为氧化硅膜的绝缘膜 8、9 与源极电极 7a 绝缘。

5 (第 17 实施方式)

下面，说明纵向 JFET1u 的制造方法。图 31A-图 31C、图 32A-图 32C、图 33A-图 33C、图 34A-图 34C、图 35 是表示第 17 实施方式的纵向 JFET1u 的制造工序的截面图。

(漏极半导体膜形成工序)

10 首先，如图 31A 所示，准备基板。作为基板，示例 n^+ 型 SiC 半导体基板。基板的掺杂物浓度在该基板可用作漏极半导体部 2 的程度下是高浓度。

(漂移半导体膜形成工序)

如图 31B 所示，在 n^+ 型漏极半导体部 2 的表面，通过外延生成法形成 SiC 膜 3。SiC 膜 3 的膜厚 T1 例如为 10 微米。SiC 膜 3 的导电类型与 n^+ 型漏极半导体部 2 的导电类型相同。另外，SiC 膜 3 的掺杂物浓度比 n^+ 型掺杂物半导体 2 的掺杂物浓度低。SiC 膜 3 的掺杂物浓度例如为 $1 \times 10^{16}/\text{cm}^3$ 左右。由该 SiC 膜 3 形成 n 型漂移半导体部。

(埋入半导体部形成工序)

20 参照图 31C，说明形成埋入半导体部的工序。形成具有沿规定轴向(图中 x 轴方向)延伸的图案的掩膜 M1。用该掩膜 M1，向形成于 SiC 膜 3 上的区域 3e 中有选择地离子注入掺杂物 Al，形成具有规定深度的 p 型埋入半导体部 4。p 型埋入半导体部 4 的深度 D1 例如为 1.2 微米左右。p 型埋入半导体部 4 的掺杂物浓度例如为 $1 \times 10^{18}/\text{cm}^3$ 左右。在形成埋入半导体部之后，去除掩膜 M1。

(沟道半导体膜形成工序)

25 如图 32A 所示，在 p 型埋入半导体部 4 的表面和 SiC 膜 3 上，通过外延生成法形成 SiC 膜 5。SiC 膜 5 的膜厚 T2 例如为 0.3 微米左右。SiC 膜 5 的导电类型与 n^+ 漏极半导体部 2 的导电类型相同。另外，SiC 膜 5 的掺杂物浓度比 n^+ 漏极半导体部 2 的掺杂物浓度低。SiC 膜 5 的掺杂物浓度例如为 $1 \times 10^{17}/\text{cm}^3$ 左右。由该 SiC 膜 5 形成 n 型沟道半导体部。另外，在本实施方式中，尽管为了 n 型漂移半导体部和 n 型沟道半导体部而形成单个 SiC 膜，但也包含为了漂移半导体部和

30

型沟道半导体部的各个而反复成膜 SiC 膜的多个成膜工序。另外，可对 SiC 膜采用期望的掺杂物浓度轮廓，以使 SiC 膜作为漂移半导体部和沟道半导体部动作。

(源极半导体膜形成工序)

如图 32B 所示，在 SiC 膜 5 的表面，通过外延生成法，形成 n⁺型源极层用的 SiC 膜 7。SiC 膜 7 的膜厚 T3 例如为 0.2 微米左右。SiC 膜 7 的导电类型与 n⁺型漏极半导体部 2 的导电类型相同。另外，SiC 膜 7 的掺杂物浓度比 SiC 膜 5 的掺杂物浓度高。形成具有沿规定轴向(图中 x 轴方向)延伸的图案的掩膜 M2。

(源极和沟道半导体部形成工序)

参照图 32C，说明形成源极半导体部的工序。使用掩膜 M2，选择地蚀刻 n⁺型源极膜 7 与 SiC 膜 5，直到达到深度 D2。结果，被掩膜 M2 覆盖的 n⁺型源极层 7 与 SiC 膜 5 的部分未被蚀刻而保留，形成 n⁺型源极半导体部。另外，未被掩膜覆盖的部分的 P 型埋入半导体部表面上的 SiC 膜 3 的厚度 T4 很大程度左右 JFET 的特性(本征沟道半导体部)。蚀刻的深度 D2 例如为 0.4 微米左右，蚀刻后的 SiC 膜 3 的厚度 T4 例如为 0.1 微米左右。在形成源极半导体部之后，去除掩膜 M2。形成具有沿规定轴向(图中 x 轴方向)延伸的图案的掩膜 M3。

(p⁺型半导体部形成工序)

参照图 32C，说明形成 p⁺型栅极半导体部的工序。使用掩膜 M3，选择地向 SiC 膜 5 上形成的区域 5a 中离子注入掺杂物 A2，形成 p⁺型栅极半导体部 6。若参照图 33A，则在半导体部 5 内形成到达 p 型埋入半导体部 4 的 p⁺型栅极半导体部 6。形成 p⁺型半导体部之后，去除掩膜 M3。

(热氧化工序)

参照图 33B，说明热氧化纵向 JFET1u 的工序。对纵向 JFET1u 实施热氧化处理。热氧化处理若在高温(例如约 1200 度)下将 SiC 曝露于氧化性气氛中，则各半导体部中的硅与氧进行化学反应，形成氧化硅膜(SiO₂)。结果，各半导体部的表面被氧化膜 8 覆盖。

(开口部形成工序)

参照图 33C，说明形成用于形成栅极电极的开口部的工序。使用光刻胶掩膜，选择地蚀刻氧化膜 8，形成开口部。在开口部中，p⁺型栅极半导体部 6 和 n⁺型源极半导体部 7 的表面部分露出。露出部分分别成为向栅极电极和源极电极的导通部分。在形成开口部后，去除抗蚀剂掩膜。

(电极形成工序)

参照图 34A, 说明形成电极的工序。在纵向 JFET1u 的表面, 堆积例如称为 Ni 的电极用金属膜。接着, 形成具有规定形状的光刻胶掩膜。使用该掩膜, 选择地蚀刻电极用金属膜。结果, 被抗蚀剂图案覆盖的电极用金属膜部分未被蚀刻而保留, 变为栅极电极 6a 和源极欧姆电极 7a。在形成电极后, 去除抗蚀剂掩膜。

另外, 也可不去除开口部形成工序中的光刻胶图案而直接也包括光刻胶在内堆积电极材料用的金属膜, 之后, 在去除光刻胶的同时, 去除光刻胶上的金属膜。在表面形成电极之后, 用抗蚀剂覆盖表面整体, 在表面整体堆积电极材料用的金属膜, 去除表面抗蚀剂。另外, 通过在高温(例如 1050 度)的氩等惰性气体气氛气中进行热处理, 在各电极(源极、漏极、栅极)与各半导体部之间形成欧姆连接。

(绝缘膜形成工序)

参照图 34B, 说明形成绝缘膜的工序。在纵向 JFET1u 的表面整体中, 通过 CVD(Chemical Vapor Deposition)等, 形成所谓 SiO_2 、 SiON 的绝缘膜 9。

(开口部形成工序)

参照图 34C, 说明形成用于形成源极电极的开口部的工序。使用光刻胶掩膜, 选择地蚀刻氧化膜 8 和绝缘膜 9, 形成接触孔 9a。在开口部中, 源极欧姆电极 7a 的表面部分露出。露出部分成为至源极电极的导通部分。接触孔 9a 被设计成到达源极欧姆电极 7a。在形成接触孔 9a 后, 去除抗蚀剂掩膜。

(电极形成工序)

接着, 参照图 35, 说明形成源极电极的工序。与源极半导体部 7 的表面接触地形成源极电极 7b。源极电极 7b 通过图 34C 所示的接触孔 9a, 接触源极半导体部 7。作为布线金属膜的材料, 从低电阻、细微加工容易性、紧贴性的观点看, 最好是铝(Al)或 Al 合金, 但也可以是铜(Cu)、钨(W), 不限于此。

通过以上说明的工序, 完成第 16 实施方式中示出的纵向 JFET1u。在纵向 JFET1u 的结构中, 可在 n 型漂移半导体部 3 上配置 p 型埋入半导体部 4 和 n 型沟道半导体部 5。因此, 不会增大芯片尺寸, 可通过 n 型漂移半导体部 3 的厚度而得到期望的漏极耐压。因此, 可提高源极与漏极间的耐压。另外, 不仅 n 型沟道半导体部 5 的下面, 位于 p 型埋入半导体部 4 的下面的 n 型漂移半导体部 3 中也流过载流子。因此, 可在维持耐压的同时, 降低导通电阻。即, 本结构适于高耐压 JFET。

另外,在本实施方式中,由 SiC 形成漏极、源极、栅极的半导体部。SiC 与 Si(硅)或 GaAs(砷化镓)等半导体相比,在以下方面优越。即,因为高熔点且禁带宽度大,所以元件的高温动作变容易。另外,因为绝缘破坏电场大,所以可高耐压且低损耗。另外,因为导热率高,所以具有放热容易等优点。

5 (第 18 实施方式)

下面,参照图 36 来说明作为第 16 实施方式的变形的第 18 实施方式。就第 18 实施方式中的纵向 JFET 而言,向与第 16 实施方式中说明的纵向 JFET1u 的结构一样的各结构要素附加相同符号。下面,说明与第 16 实施方式不同的沟道半导体部的结构。

10 图 36 是第 18 实施方式中的纵向 JFET1v 的截面图。第 18 实施方式与第 16 实施方式在沟道区域的结构上不同。即,在第 16 实施方式中,n 型沟道半导体部 5 构成为在第 1 区域 3a 上与 n⁺型源极半导体部 7 接触。相反,在第 18 实施方式中,纵向 JFET1v 在 n 型沟道半导体部 5 与 n⁺型源极半导体部 7 之间还备有 n 型半导体部 10。根据本结构,因为 n 型沟道半导体部 5 不被蚀刻,所以沟道
15 半导体部的厚度不受蚀刻工序引起的偏差的影响。因此,可减小纵向 JFET1v 的电气特性的个体差。

n 型半导体部 10 设置在第 1-第 3 区域 3a、3b、3c 和 n 型沟道半导体部 5 上。半导体部 10 的导电类型与沟道半导体部 5 的导电类型相同。n 型半导体部 10 的掺杂物浓度比 n 型沟道半导体部 5 的掺杂物浓度低。n 型半导体部 10 的掺杂物浓度例如为 $1 \times 10^{16}/\text{cm}^3$ 左右。在最佳实施例中,由添加掺杂物的 SiC(碳化硅)来形成 n 型半导体部 10。
20

另外,本实施方式中说明的 n 型半导体部与 n 型半导体部所形成的沟道结构不仅可适用于第 16 实施方式,也可适用于后述的全部实施方式(第 20-第 28 实施方式)。

25 (第 19 实施方式)

下面,参照图 37A-图 37C 来说明作为第 17 实施方式的变形的第 19 实施方式。就第 19 实施方式中的纵向 JFET 的制造方法而言,向与第 17 实施方式中说明的纵向 JFET1u 的制造方法一样的各结构要素附加相同符号。下面,说明与第 17 实施方式不同的沟道半导体膜形成工序、n 型半导体膜形成工序和源极半导体部形成工序。
30

(沟道半导体膜形成工序)

沟道半导体膜形成工序在栅极半导体部形成工序之后进行。如图 37A 所示，在 p⁺型栅极半导体部 4 的表面和 SiC 膜 3 上，通过外延生成法形成 SiC 膜 5。SiC 膜 5 的膜厚 T6 例如为 0.1 微米左右。SiC 膜 5 的导电类型与 n⁺型漏极半导体部 2 的导电类型相同。另外，SiC 膜 5 的掺杂物浓度比 n⁺型漏极半导体部 2 的掺杂物浓度低。SiC 膜 5 的掺杂物浓度例如是 $1 \times 10^{17}/\text{cm}^3$ 左右。由该 SiC 膜 5 来形成 n 型沟道半导体部。

(n 型半导体膜形成工序)

如图 37B 所示，在 SiC 膜 5 的表面上，通过外延生成法形成 SiC 膜 10。SiC 膜 10 的膜厚 T7 例如为 0.2 微米左右。SiC 膜 10 的导电类型与 SiC 膜 5 的导电类型相同。SiC 膜 10 的掺杂物浓度比 SiC 膜 5 的掺杂物浓度低。SiC 膜 10 的掺杂物浓度例如是 $1 \times 10^{16}/\text{cm}^3$ 左右。由该 SiC 膜 10 来形成 n 型半导体部。

(源极半导体膜形成工序)

接着，参照图 37B 来说明形成源极半导体膜的工序。在 SiC 膜 10 的表面，通过外延生成法，形成 n⁺型源极层用的 SiC 膜 7。SiC 膜 7 的厚度例如为 0.2 微米左右。SiC 膜 7 的导电类型与 n⁺型漏极半导体部 2 的导电类型相同。另外，SiC 膜 7 的掺杂物浓度比 SiC 膜 10 的掺杂物浓度高，例如为 $1 \times 10^{19}/\text{cm}^3$ 左右。

(源极半导体部形成工序)

参照图 37C，说明形成源极半导体部的工序。形成具有覆盖规定区域的图案的掩膜 M4。使用掩膜 M4，选择地蚀刻 n⁺型源极层 7 和 n 型半导体层 10。结果，被抗蚀剂图案覆盖的 n⁺型源极层 7 与 n 型半导体层 10 部分未被蚀刻而保留，形成 n⁺型源极半导体部。蚀刻的深度 D3 为未到达半导体层 5 的深度。在形成源极半导体部之后，去除掩膜 M4。

以上说明与第 17 实施方式不同的沟道半导体膜形成工序、n 型半导体膜形成工序和源极半导体部形成工序。在源极半导体部形成工序之后，执行 p⁺型半导体部形成工序。其它工序与第 17 实施方式一样。根据本实施方式的纵向 JFET 的制造方法，在源极半导体部形成工序中，SiC 膜 5 未被蚀刻。因此，沟道半导体部的厚度未受到蚀刻工序引起的偏差的影响。所以，可减小晶体管的电气特性的个体差。

(第 20 实施方式)

说明第 20 实施方式的纵向 JFET1w。图 38 是纵向 JFET1w 的立体图。如图 38 所示, 纵向 JFET1w 具有 n⁺型漏极半导体部 2、n 型漂移半导体部 3、p⁺型栅极扩散半导体部 41、42、43、44、45、n 型沟道半导体部 5、在表面上具有统一源极电极 7a 的 n⁺型源极半导体部 7。

5 p⁺型栅极扩散半导体部 41-45 兼用作晶体管的基本单元或半导体芯片外周部分上设置的外部连接用的栅极布线、和执行沟道幅度控制的栅极。即, p⁺型栅极扩散半导体部 41-45 形成为沿 y 轴方向隔开规定间隔, 埋入 n 型沟道半导体部 5 的内部。p⁺型栅极扩散半导体部 41-45 分别沿规定轴向(图 38 的 x 轴方向)延伸。在最佳实施例中, p⁺型栅极扩散半导体部 41-45 由添加了掺杂物的 SiC(碳化硅) 10 形成。栅极电极 4a 设置成包围后述的统一源极电极 7a。

n⁺型源极半导体部 7 设置在 n 型沟道半导体部 5 上。源极半导体部 7 具有与漏极半导体部 2 的导电类型相同的导电类型。n⁺型源极半导体部 7 经 n 型沟道半导体部 5 与 n 型漂移半导体部 3 连接。另外, 在 n⁺型源极半导体部 7 的表面上设置统一源极电极 7a。统一源极电极 7a 由金属形成。另外, p⁺型栅极扩散半导体部 41 与 n⁺型源极半导体部 7 通过统一源极电极 7a 电连接。 15

根据本实施方式中的纵向 JFET1w 的结构, 因为将栅极布线埋入半导体内部, 所以不需要表面上的栅极布线。因此, 当在由多个晶体管构成的半导体芯片整体中考虑时, 芯片表面的布线变简单。另外, 可减小芯片的表面积。

(第 21 实施方式)

20 下面, 参照图 39 来说明作为第 16 实施方式的变形方式的第 21 实施方式。就第 21 实施方式中的纵向 JFET 而言, 向与第 16 实施方式中说明的纵向 JFET1u 的结构一样的各结构要素附加相同符号。下面, 说明与第 16 实施方式的差异。

图 39 是第 21 实施方式中的纵向 JFET1x 的截面图。第 21 实施方式与第 16 实施方式在栅极半导体部的结构上不同。即, 在第 21 实施方式中, 在第 2 和第 3 25 区域 3b、3c 和 n 型沟道半导体部 5 上设置 p⁺型栅极半导体部 11。

栅极半导体部 11 的导电类型与沟道半导体部 5 的导电类型相反。因为栅极半导体部 11 的 p 型掺杂物浓度比沟道半导体部 5 的 n 型掺杂物浓度高, 所以耗尽层延伸到沟道半导体部。p⁺型栅极半导体部 11 的掺杂物浓度例如为 $1 \times 10^{18}/\text{cm}^3$ 左右。在最佳实施例中, p 型栅极半导体部 11 由添加了掺杂物的 SiC 30 形成。p 型栅极半导体部的厚度例如为 0.3 微米左右。纵向 JFET1x 在 p 型埋入半

导体部 4 与 p 型栅极半导体部 11 之间具有 n 型沟道半导体部 5, 所以可从 n 型沟道半导体部 5 的两侧控制沟道。根据该结构, 与从 n 型沟道半导体部 5 的单侧控制沟道的情况相比, 可控制的沟道幅度增加。从而, 常断开的实现成为容易的构造。

5 (第 22 实施方式)

下面, 参照图 40A 和图 40B, 说明作为第 17 实施方式的变形方式的第 22 实施方式。就第 22 实施方式中的纵向 JFET 的制造方法而言, 向与第 17 实施方式中说明的纵向 JFET1u 的制造方法一样的各结构要素附加相同符号。下面, 说明与第 17 实施方式不同的 p+型栅极半导体部形成工序。

10 (p+型栅极半导体部形成工序)

p+型栅极半导体部形成工序在 p+型半导体部形成工序之后执行。参照图 40A, 说明形成 p+型栅极半导体部的工序。使用具有规定形状的掩膜 M3, 向 SiC 膜 5 上的区域 5a 中选择地离子注入掺杂物 A2, 形成具有规定深度的 p+型栅极半导体部 11。由 p+型栅极半导体部 11 的形成所形成的沟道层的厚度 D4 15 对应于纵向 JFET 的阈值来确定。例如, D4 为 0.2 微米左右。在形成栅极半导体部之后, 去除掩膜 M3。结果, 形成图 40B 所示的纵向 JFET。以上说明与第 17 实施方式不同的 p+型栅极半导体部形成工序。在 p+型栅极半导体部形成工序之后, 进行热氧化工序。其它工序与第 17 实施方式一样, 但不限于此。

(第 23 实施方式)

20 参照图 41 来说明作为第 21 实施方式的变形方式的第 23 实施方式。就第 23 实施方式中的纵向 JFET 而言, 向与第 23 实施方式中说明的纵向 JFET1x 的结构一样的各结构要素附加相同符号。下面, 说明与第 16 实施方式的不同的栅极半导体部的结构。

图 41 是第 23 实施方式中的纵向 JFET1y 的截面图。第 23 实施方式与第 16 25 实施方式的不同之处在于栅极半导体部的结构。即, 在第 23 实施方式中, 纵向 JFET1y 配备 p+型栅极半导体部 12。n 型沟道半导体部 5 与 p+型栅极半导体部 12 的 pn 结是异型结。n 型沟道半导体部 5 由 SiC 形成。p+型栅极半导体部 12 由多晶硅形成。由此, 不需要用于形成第 21 实施方式中示出的 p+型栅极半导体部 11 的 SiC 的外延生长工序, 可容易构成纵向 JFET1y。

30 (第 24 实施方式)

下面, 参照图 42A 和图 42B 来说明作为第 21 实施方式的变形方式的第 24 实施方式。就第 21 实施方式中的纵向 JFET 而言, 向与第 21 实施方式中说明的纵向 JFET1z 的结构一样的各结构要素附加相同符号。下面, 说明与第 21 实施方式的差异。

5 图 42A 是第 24 实施方式中的纵向 JFET1z 的截面图。第 24 实施方式与第 16 实施方式的不同之处在于栅极半导体部的结构。即, 在第 24 实施方式中, p+型栅极半导体部 4 与 p+型栅极半导体部 11 夹持沟道区域。纵向 JFET1z 还备有设置在 n 型沟道半导体部 5 的沟道区域内的 p+型半导体部 13。p+型半导体部 13 设置在 p+型栅极半导体部 4 的区域 4a 上。p+型半导体部 13 设置成局部贯穿
10 n 型沟道半导体部 5。

图 42B 是纵向 JFET1z 的 III-III 线的截面图。如图 42B 所示, p+型半导体部 13 沿 x 轴方向隔开规定间隔排列在 n 型沟道半导体部 5 中。p+型半导体部 13 的掺杂物浓度比 n 型沟道半导体部 5 的掺杂物浓度高。因此, 耗尽层主要延伸到 n 型沟道半导体部 5 内。在最佳实施例中, p+型半导体部 13 由添加掺杂物的
15 SiC 形成。在纵向 JFET1z 中, p+型栅极半导体部 4 经 p+型半导体部 13 与 p+型栅极半导体部 11 电连接。由此, 因为向 p+型栅极半导体部 4 与 p+型栅极半导体部 11 施加相同电位, 所以可增加沟道层的厚度。

(第 25 实施方式)

下面, 参照图 43A 和图 43B 来说明作为第 16 实施方式的变形方式的第 25
20 实施方式。就第 25 实施方式中的纵向 JFET 而言, 向与第 16 实施方式中说明的纵向 JFET1u 的结构一样的各结构要素附加相同符号。下面, 说明与第 16 实施方式的差异。

图 43A 是第 25 实施方式中的纵向 JFET10a 的截面图。第 25 实施方式与第 16 实施方式的不同之处在于沟道半导体部的结构。即, 在第 25 实施方式中, 沟
25 道半导体部具有脉冲掺杂结构。

如图 43B 所示, 脉冲掺杂半导体部 14 通过交互层叠 n 型 SiC 层 141-144 与 n⁺型 SiC 层 145-147 来构成。另外, n 型 SiC 层 141-144 的掺杂物浓度比 n⁺型 SiC 层 145-147 的掺杂物浓度低。n 型 SiC 层 141-144 的掺杂物浓度例如为 $1 \times 10^{16}/\text{cm}^3$ 左右。n 型 SiC 层 141-144 的厚度 T8 例如为 10nm 前后。n⁺型 SiC 层 145-147 的
30 掺杂物浓度例如为 $1 \times 10^{17}/\text{cm}^3 \sim 1 \times 10^{18}/\text{cm}^3$ 左右。n⁺型 SiC 层 145-147 的厚度

T9 例如为 10nm 前后。通过这种结构，载流子在载流子迁移率比高浓度层大的低浓度层中移动，所以流过沟道区域的电流增加。结果，可降低导通电阻。

(第 26 实施方式)

下面，参照图 44 来说明作为第 16 实施方式的变形方式的第 26 实施方式。

5 就第 26 实施方式中的纵向 JFET 而言，向与第 16 实施方式中说明的纵向 JFET1u 的结构一样的各结构要素附加相同符号。下面，说明与第 16 实施方式不同的漂移半导体部的结构。

10 图 44 是第 26 实施方式中的纵向 JFET10b 的截面图。第 26 实施方式与第 1 实施方式在漂移半导体部的结构上不同。即，在第 1 实施方式中，漂移半导体部的导电类型与 n⁺型漏极半导体部 2 的导电类型相同，而在第 26 实施方式中，漂移半导体部具有由导电类型不同的半导体区域构成的超级结(SJ: Super Junction)结构。

15 参照图 44，将漂移半导体部设置在 n⁺型漏极半导体部 2 的主面上。漂移半导体部具有沿与 n⁺型漏极半导体部 2 的主面交叉的基准面延伸的 p 型半导体区域 31、33 和 n 型半导体区域 32。夹持 n 型半导体区域 32 来排列 p 型半导体区域 31、33。p 型半导体区域与 n 型半导体区域的结面位于 p⁺型栅极半导体部 41、42 与 n⁺型漏极半导体部 2 之间。

p 型半导体区域 31、33 位于 p⁺型栅极半导体部 41、42 与 n⁺型漏极半导体部 2 之间，沿 p⁺型栅极半导体部 41、42(图 44 的 x 轴方向)延伸。

20 n 型半导体区域 32 位于 p⁺型栅极半导体部 41 与 p⁺型栅极半导体部 42 之间的 n 型沟道半导体部 5、与 n⁺型漏极半导体部 2 之间，在沿 p⁺型栅极半导体部 41、42 的方向(图中 x 轴方向)上延伸。n 型半导体区域 32 具有与漏极半导体部 2 的导电类型相同的导电类型。

25 如图 45 所示，超级结结构也可适用于第 21 实施方式中说明的纵向 JFET1x 的漂移半导体部中。另外，如图 46 所示，超级结结构也可适用于第 24 实施方式中说明的纵向 JFET1z 的漂移半导体部中。超级结结构也可适用于其它实施方式中说明的纵向 JFET 中。

30 根据本实施方式中的纵向 JFET10b，漂移半导体部由导电类型不同的多个半导体区域构成。具有这种结构的漂移半导体部在施加高漏极电压时，漂移半导体部的整体被充分耗尽化。因此，漂移半导体部中的电场的最大值变低。所以，可

变薄漂移半导体部的厚度。因此，导通电阻变小。

p 型半导体区域 31、33 与 n 型半导体区域 32 的掺杂物浓度最好基本相同。在假设 500V 耐压的情况下的最佳实施例中，p 型半导体区域 31、33 与 n 型半导体区域 32 的掺杂物浓度约为 $2.7 \times 10^{17} \text{cm}^{-3}$ 。另外，在假设 500V 耐压的情况下的最佳实施例中，p 型半导体区域 31、33 与 n 型半导体区域 32 的幅度(图中 y 轴方向)为 0.5 微米左右。由此，耗尽层在延伸到 p 型半导体区域的整体时，延伸到 n 型半导体区域的整体。这样，因为耗尽层在两个半导体区域中延伸，所以漂移半导体部中缓和电场集中。

(第 27 实施方式)

n 型半导体区域和 p 型半导体区域、与栅极半导体部的位置关系不限于此前的实施方式中所示的位置关系。图 47A 是表示第 27 实施方式中的各半导体区域与栅极半导体部的位置关系的模式图。p 型半导体区域 31、33 和 n 型半导体区域 32 都沿规定轴向(图中 x 轴方向)延伸。夹持 n 型半导体区域 32 来排列 p 型半导体区域 31、33。p 型半导体区域与 n 型半导体区域的结位于 p+型栅极半导体部 41、42 的下面。

相反，图 47B 是表示第 27 实施方式中的各半导体区域与栅极半导体部的位置关系的模式图。p 型半导体区域 31、33 和 n 型半导体区域 32、34 都沿规定轴向(图中 x 轴方向)延伸。p 型半导体区域 31、33 与 n 型半导体区域 32、34 交互排列。p 型半导体区域与 n 型半导体区域的结不仅位于 p+型栅极半导体部 41、42 的下面，还位于各栅极半导体部之间。

图 47C 是表示再一方式中的各半导体区域与栅极半导体部的位置关系的平面模式图。p 型半导体区域 31、33 和 n 型半导体区域 32 都沿规定轴向(图中 y 轴方向)延伸。夹持 n 型半导体区域 32 来排列 p 型半导体区域 31、33。n 型半导体区域也可以是多个。

(第 28 实施方式)

下面，说明具有超级结结构的纵向 JFET 的制造方法中、构成超级结结构的 n 型半导体区域和 p 型半导体区域的形成方法。

(n 型半导体层形成工序)

首先，准备 n⁺型 SiC 半导体基板。基板的 n 型杂质浓度在该基板可用作漏极半导体部的程度下是高浓度。如图 48A 所示，在 n⁺型漏极半导体部 2 的表面

上, 通过外延生成法, 形成 SiC 膜 3。在假设 500V 耐压的情况下的最佳实施例中, SiC 膜 3 的膜厚 T10 为 2.0 微米以上、3.0 微米以下。SiC 膜 3 的导电类型与漏极半导体部 2 的导电类型相同。另外, SiC 膜 3 的掺杂物浓度比 n⁺型漏极半导体部 2 的掺杂物浓度低。由该 SiC 膜 3, 形成 n 型半导体层 32、34、36。

5 (p 型半导体层形成工序)

参照图 48B, 说明形成 p 型半导体层的工序。使用规定的掩膜 M, 在 n 型半导体层 3 上形成的区域 31a、31c、31e、31g 中, 选择地离子注入掺杂物 A3, 形成具有规定深度的 p 型半导体层 311、331、351、371。在形成 p 型半导体层后, 去除掩膜 M。

10 (漂移半导体部形成工序)

参照图 48C, 说明形成期望厚度的漂移半导体部的工序。即, 交互反复 n 型半导体层形成工序与 p 型半导体层形成工序, 在 n⁺型漏极半导体部 2 上形成具有超级结结构的漂移半导体部。结果, 形成具有规定厚度(图中 z 轴方向)的半导体层 3。以上说明具有 n 型半导体区域和 p 型半导体区域的漂移半导体部的形成方法。其它工序与第 18、第 20、第 22 实施方式一样, 但不限于此。

15 另外, 本发明的纵向 JFET 及其制造方法不限于上述各实施方式中记载的方式, 可对应于其它条件等采取各种变形方式。例如, 在上述各实施方式中, 说明通过包含掺杂杂质的 n 型半导体来形成沟道区域的实例, 但本发明也可适用于由 p 型半导体形成沟道区域的 JFET。但是, 此时电流方向或施加的栅极电压的极性相反。

20 产业上的可利用性

根据本发明, 可提供一种在维持高漏极耐压的同时、低损耗的纵向结型场效应晶体管、和纵向结型场效应晶体管的制造方法。

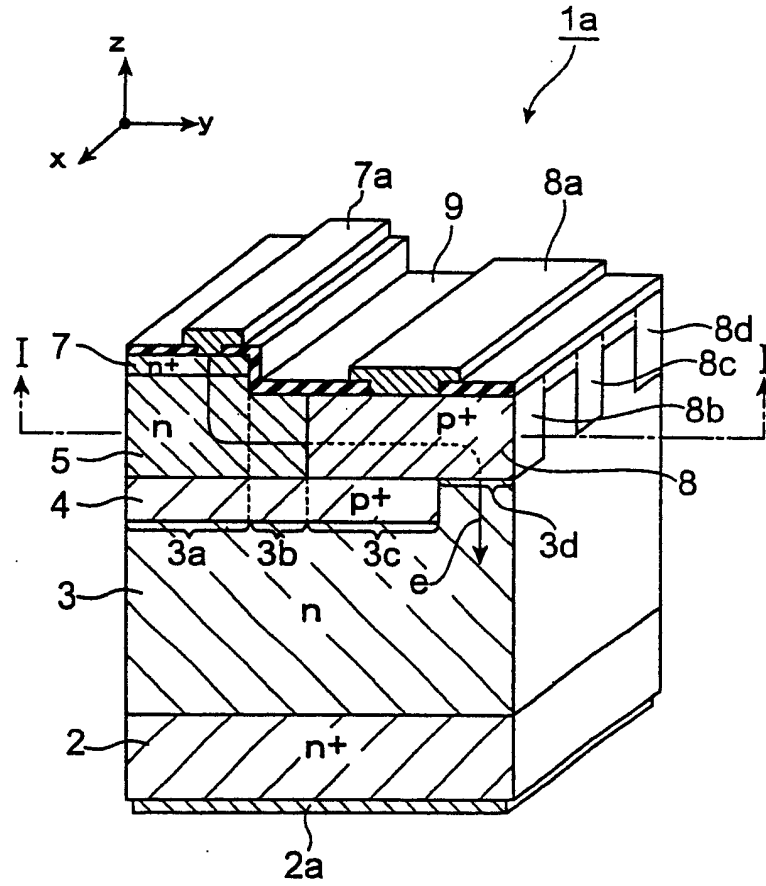


图 1A

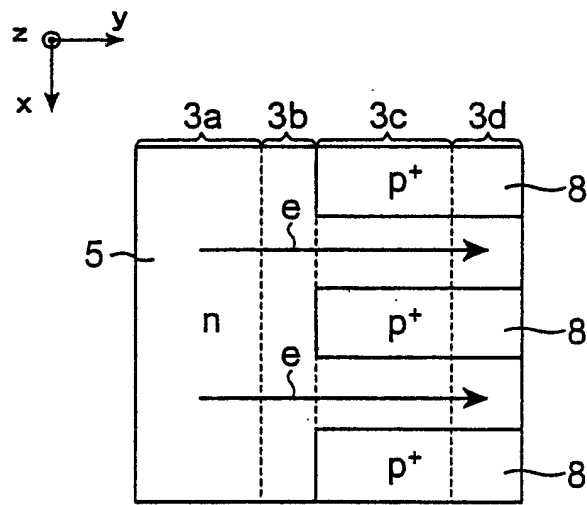


图 1B

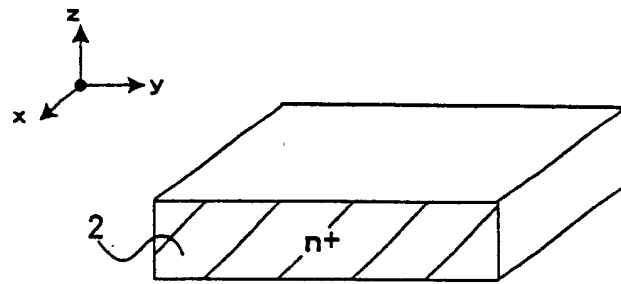


图 2A

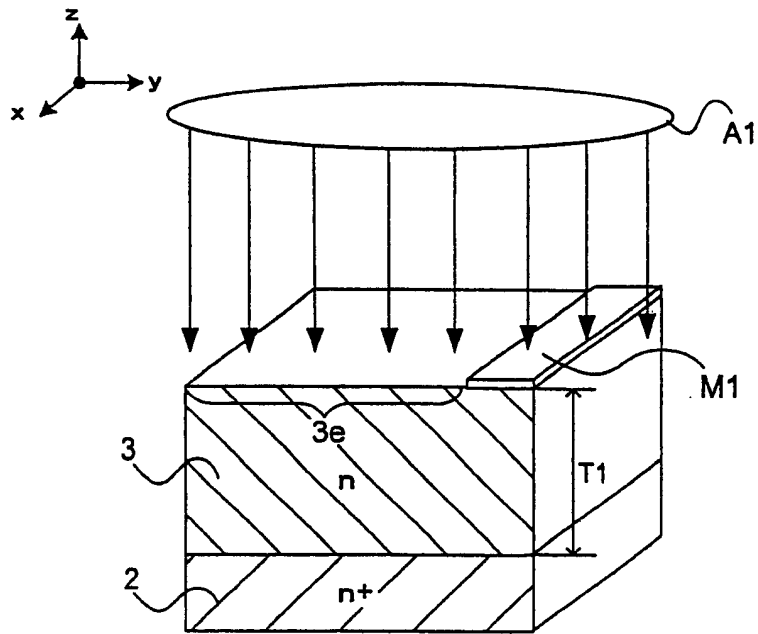


图 2B

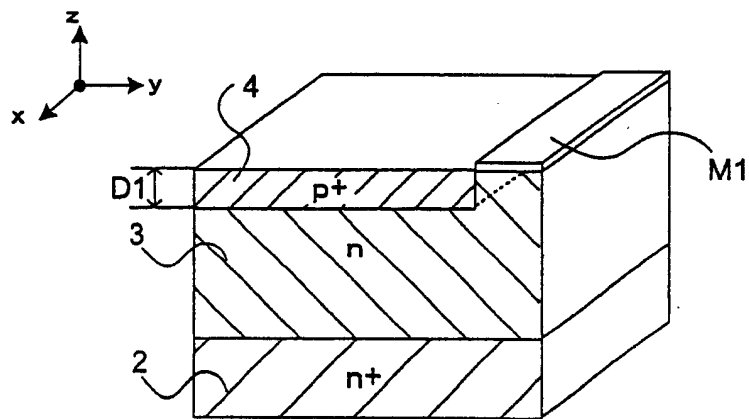


图 2C

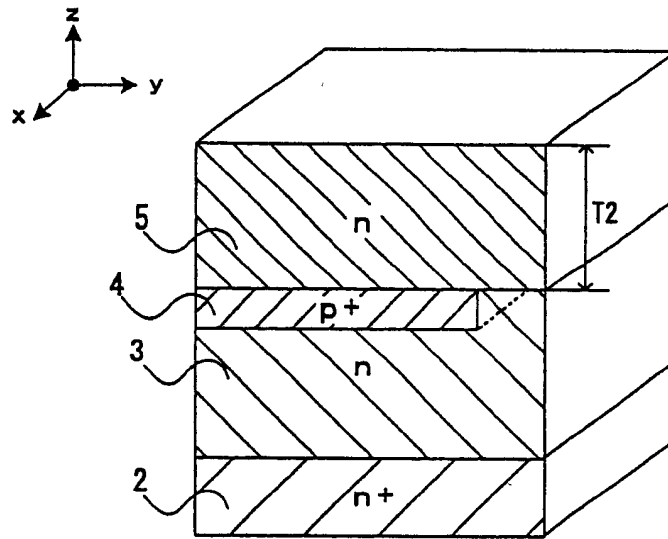


图 3A

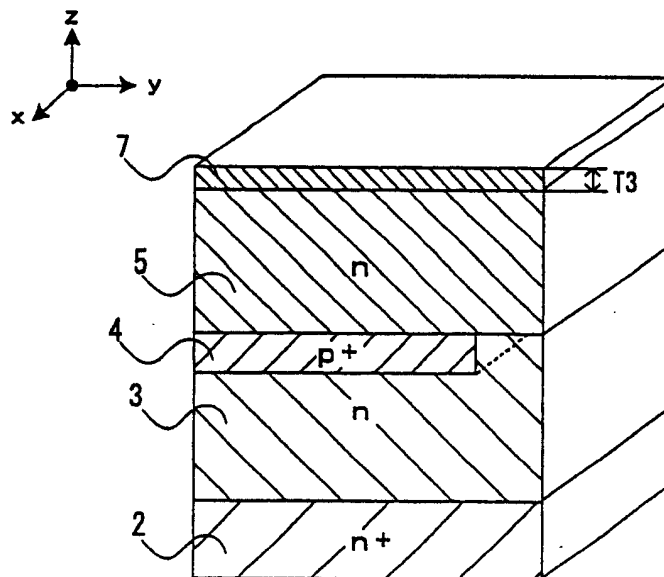


图 3B

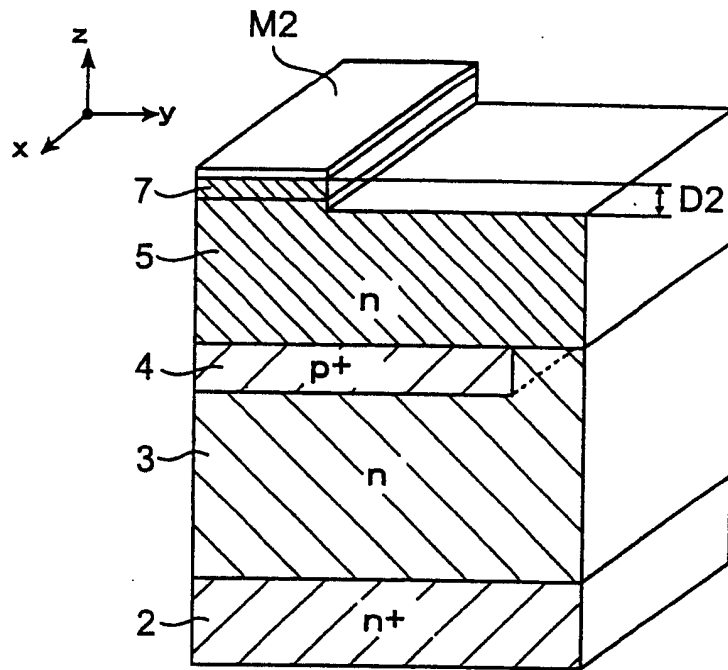


图 4A

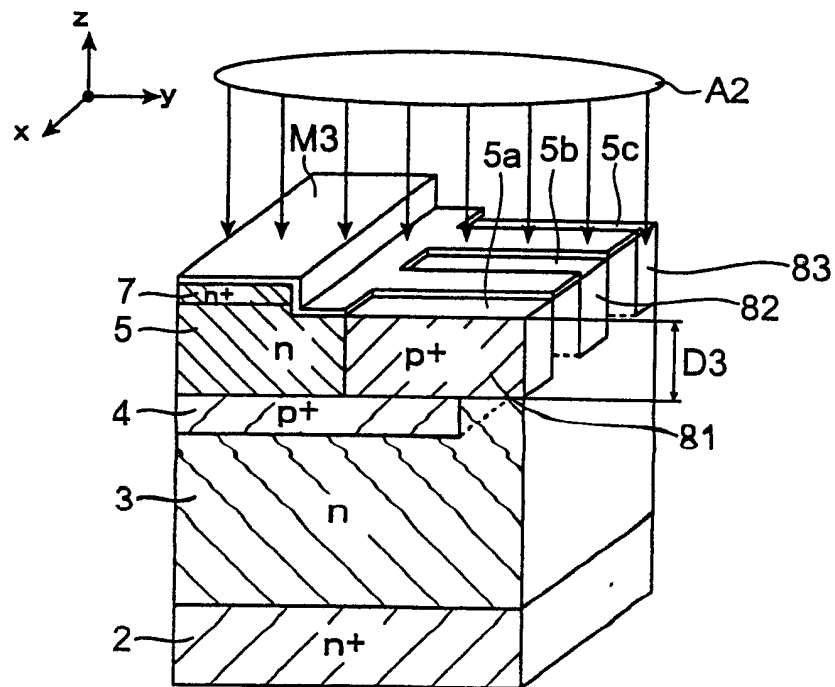


图 4B

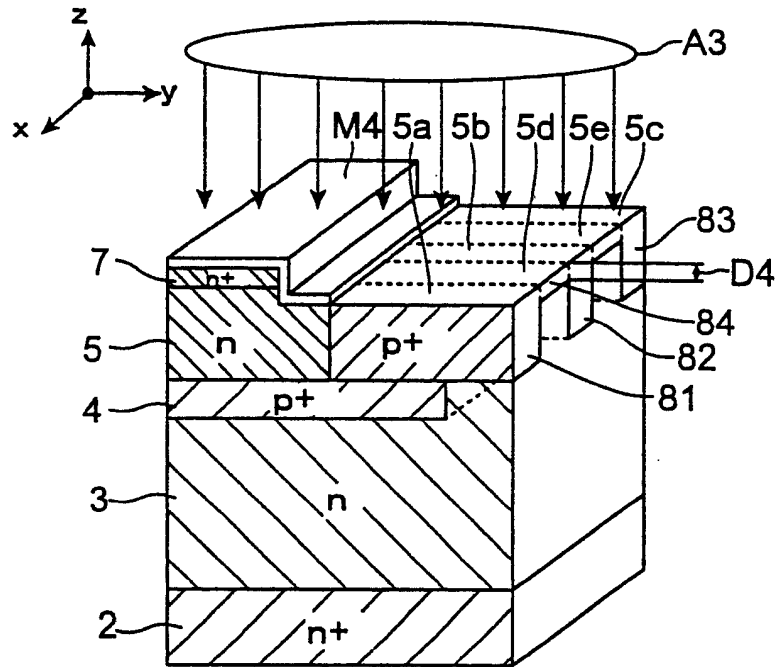


图 5A

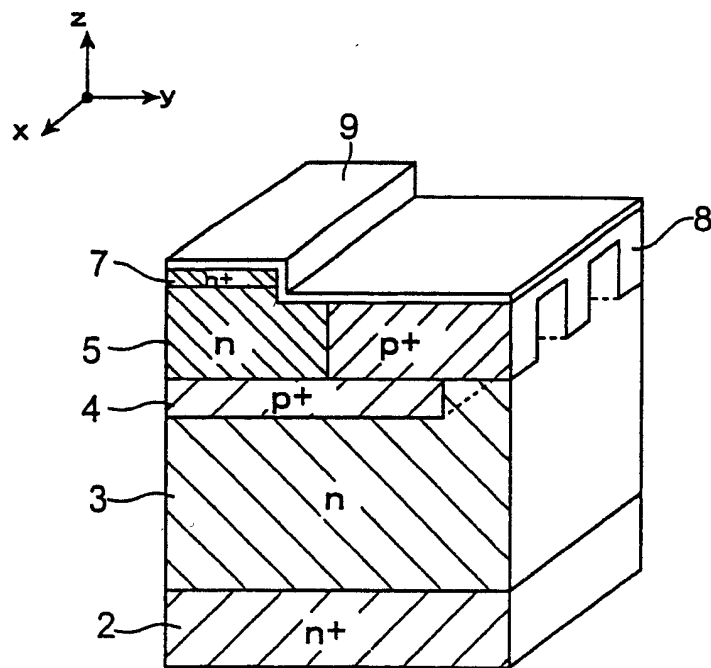


图 5B

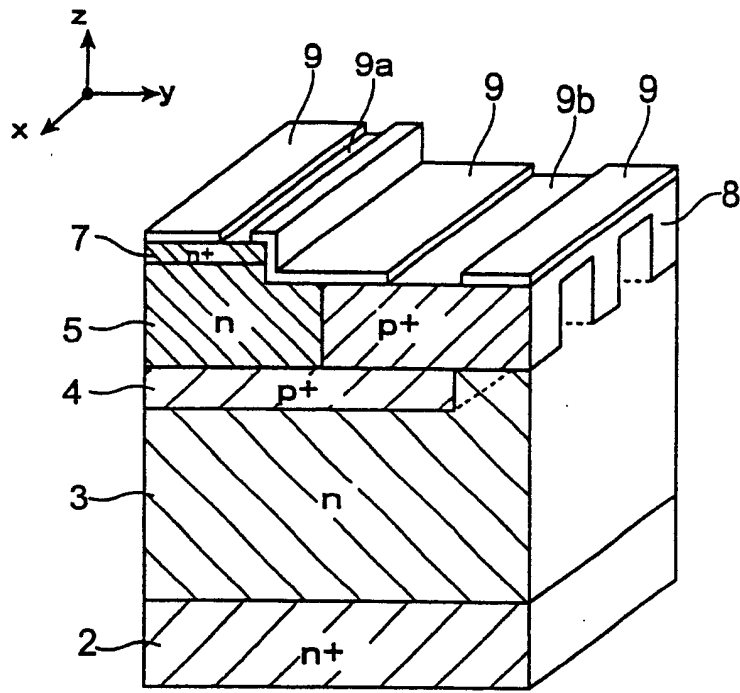


图 6A

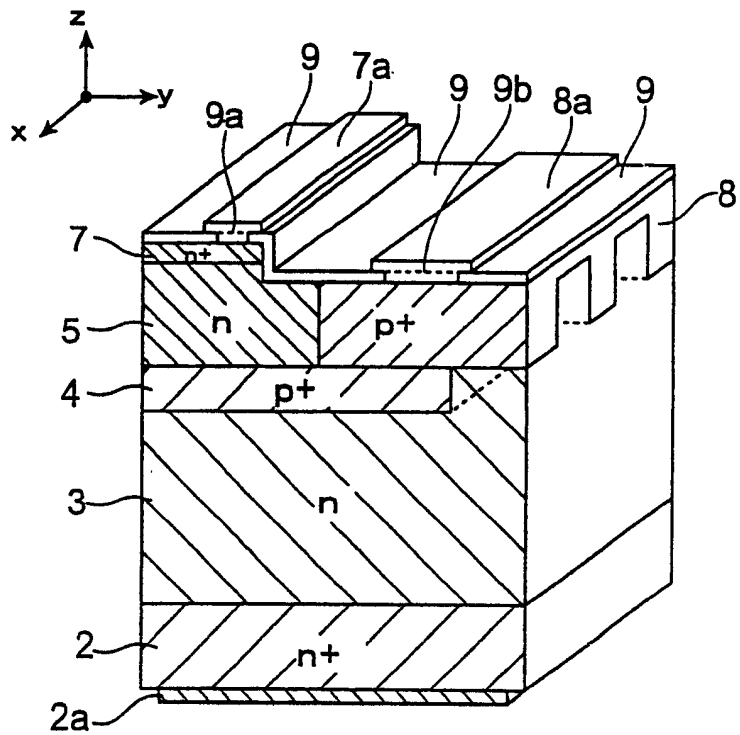


图 6B

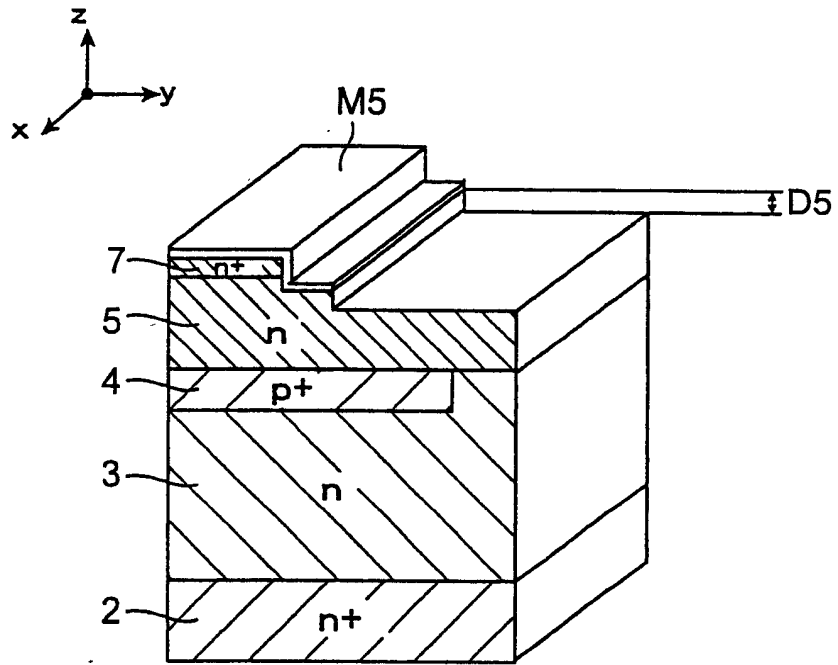


图 7A

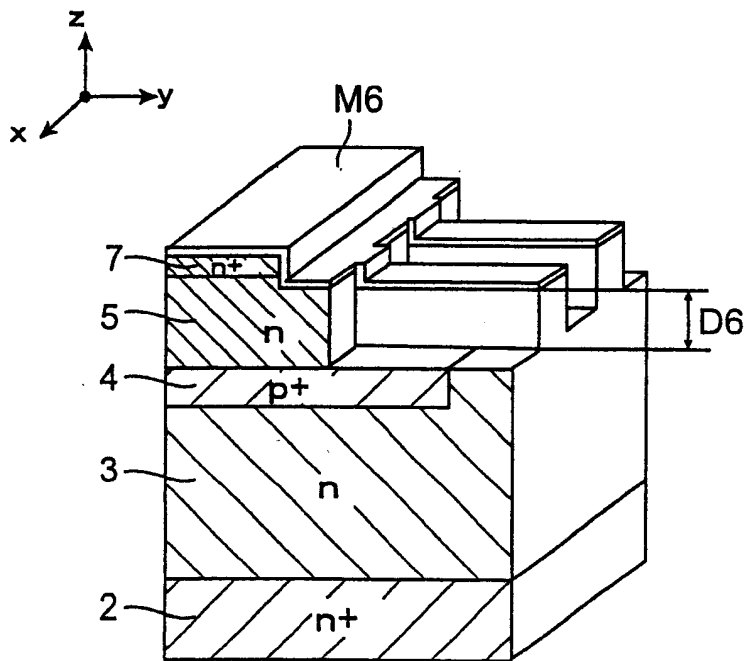


图 7B

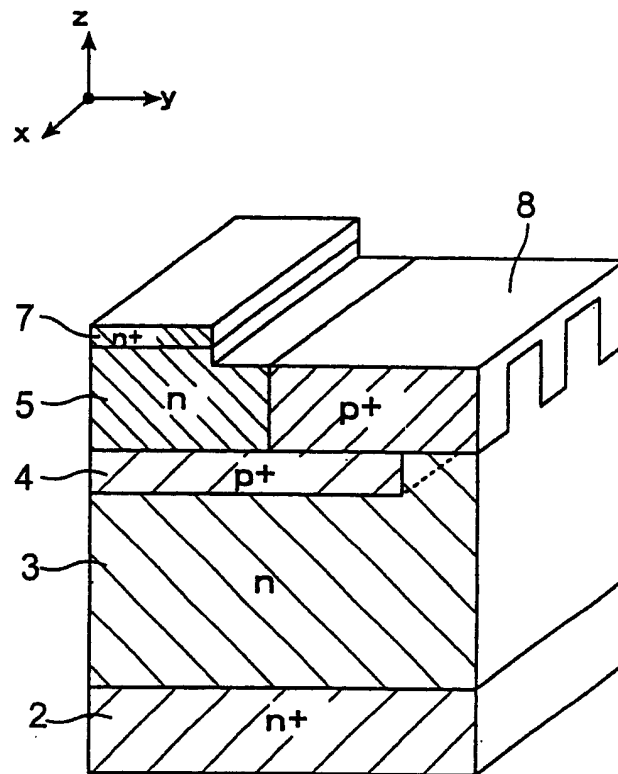


图 8

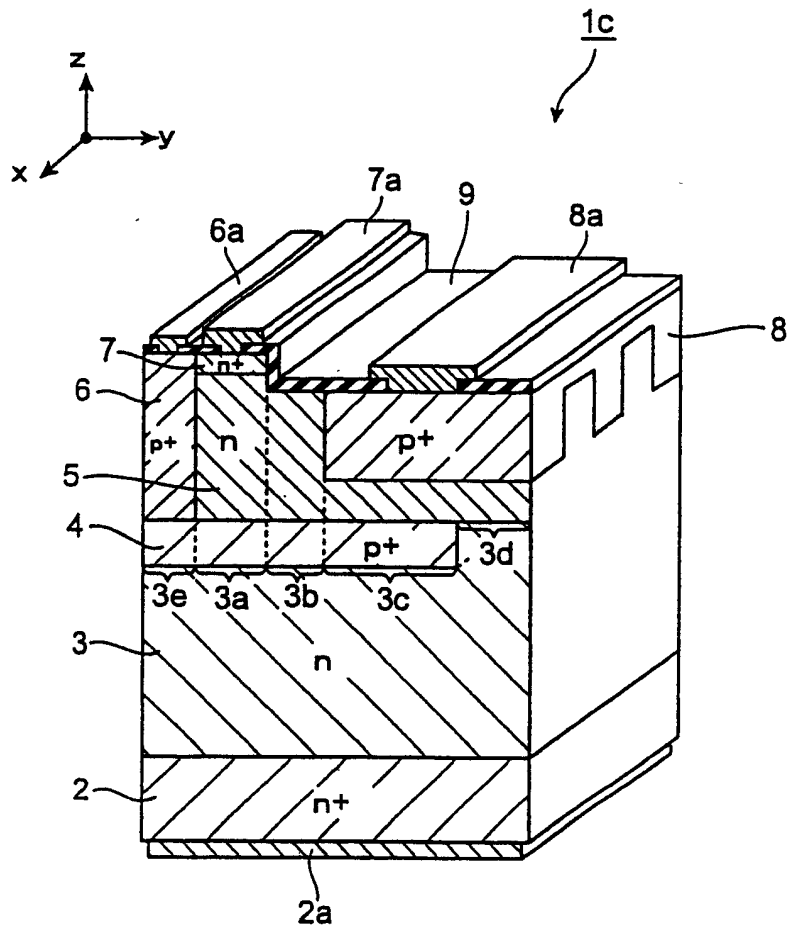


图 9

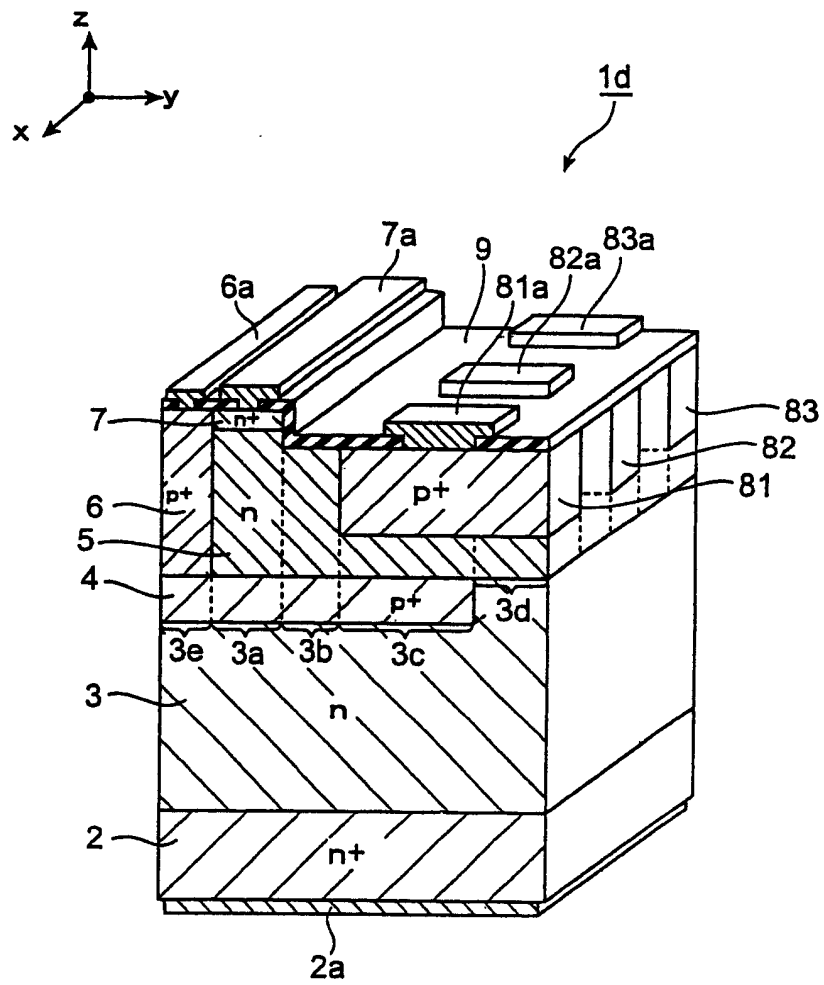


图 10

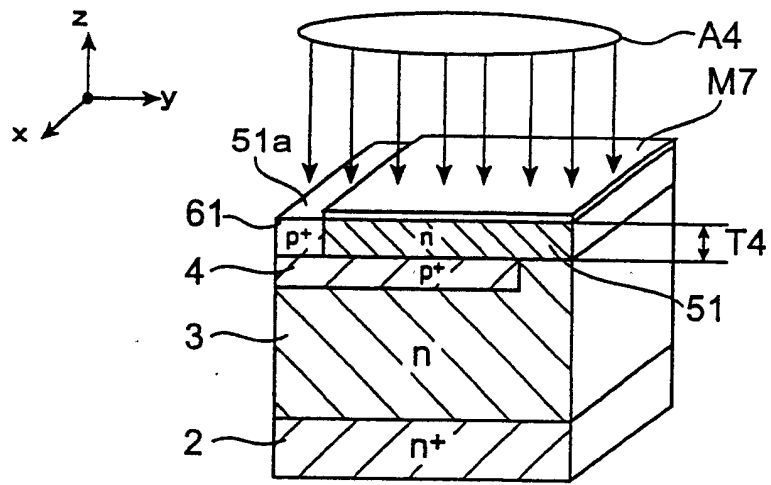


图 11A

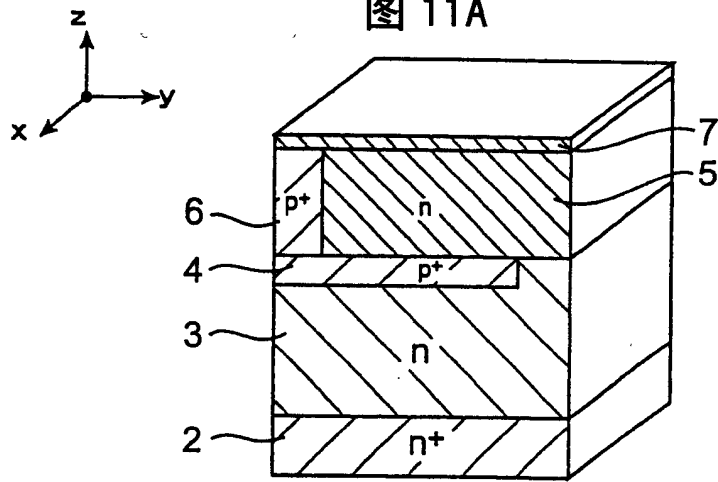


图 11B

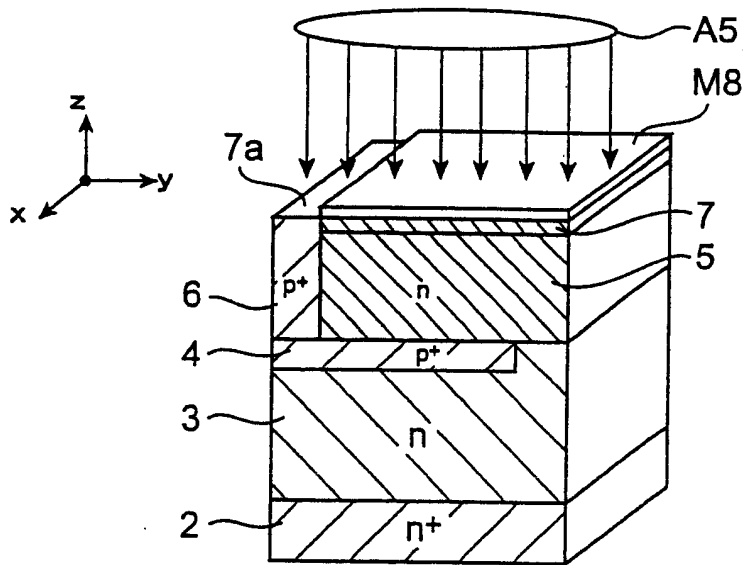


图 11C

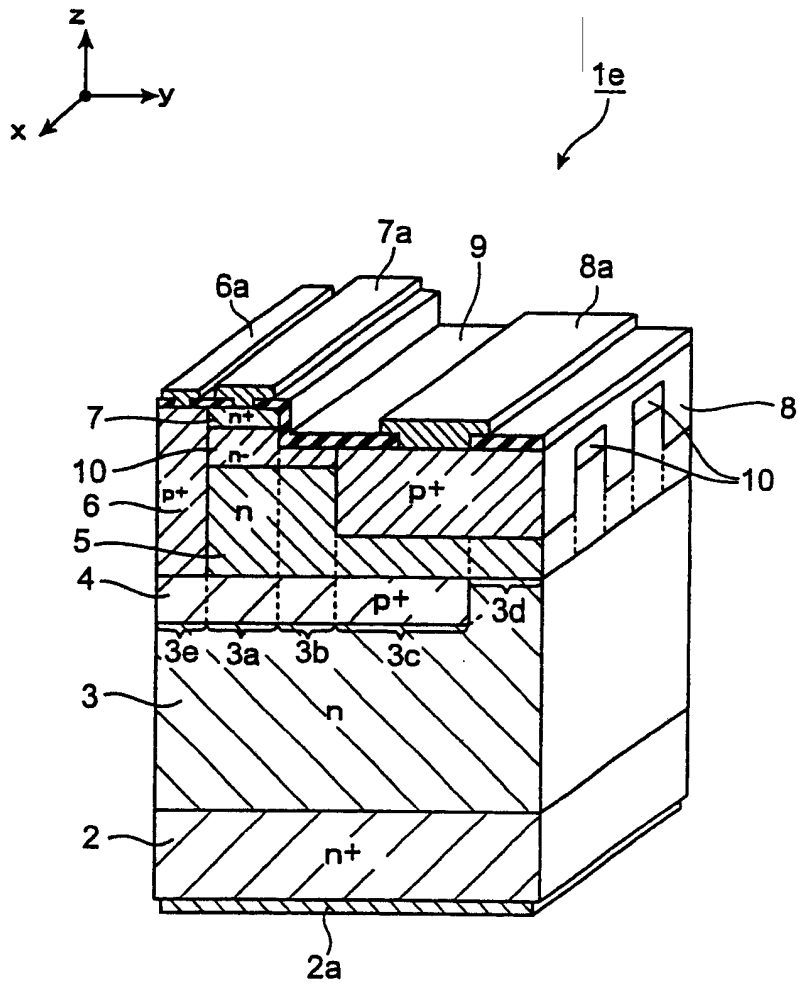


图 12

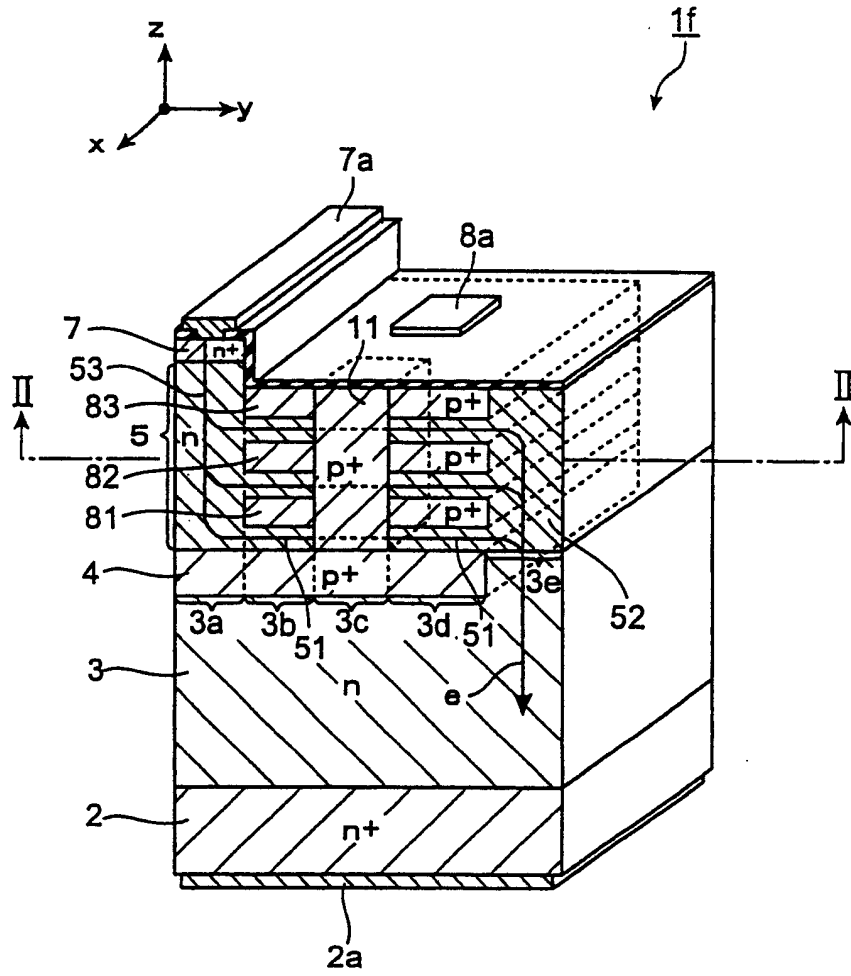


图 13A

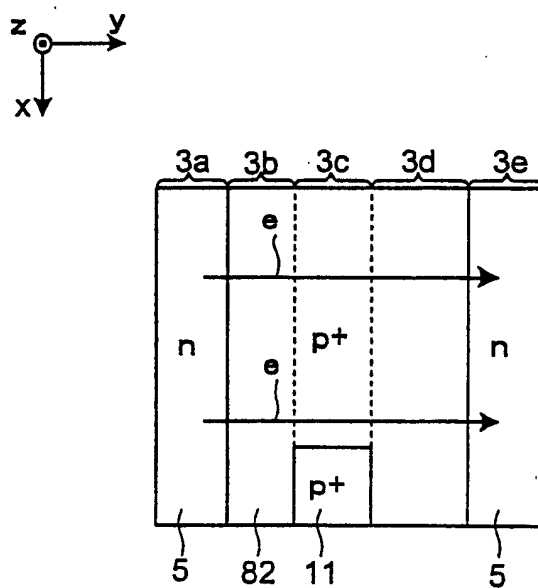


图 13B

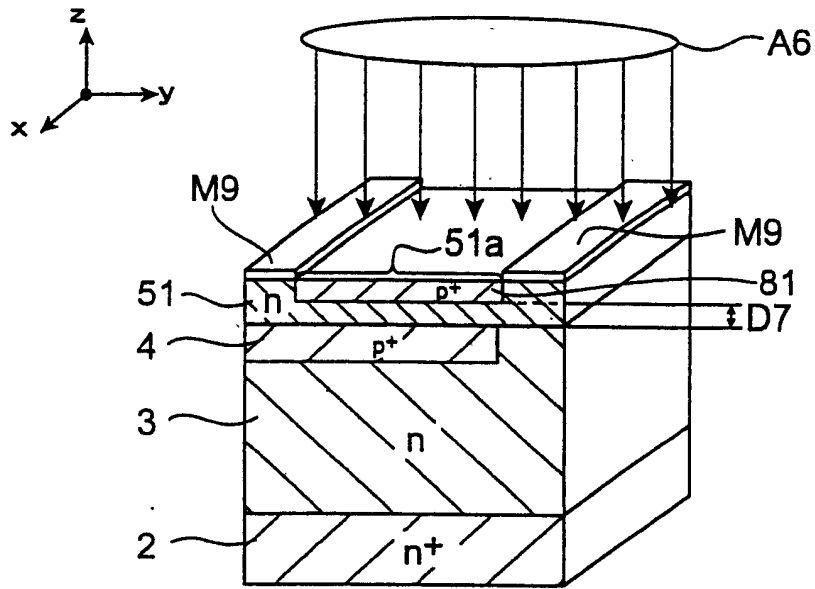


图 14A

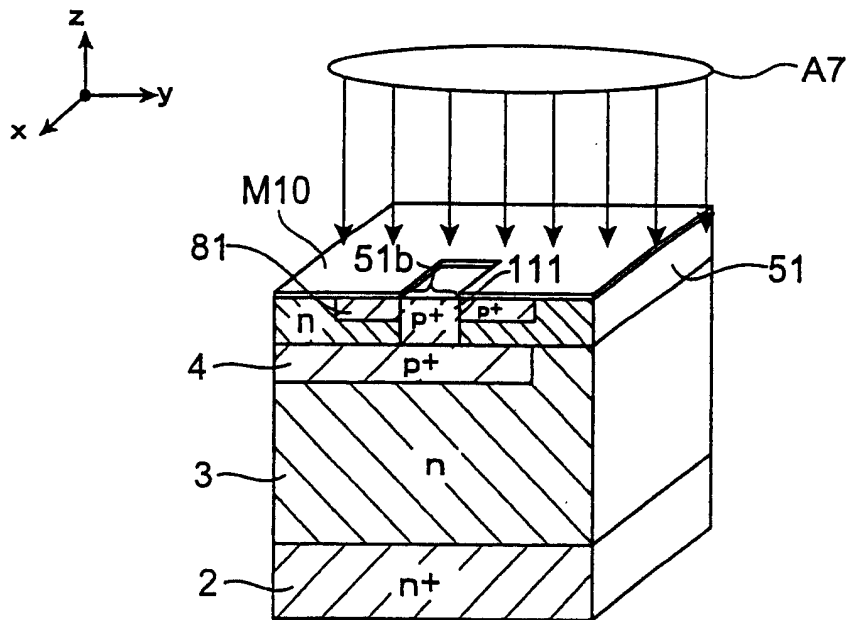


图 14B

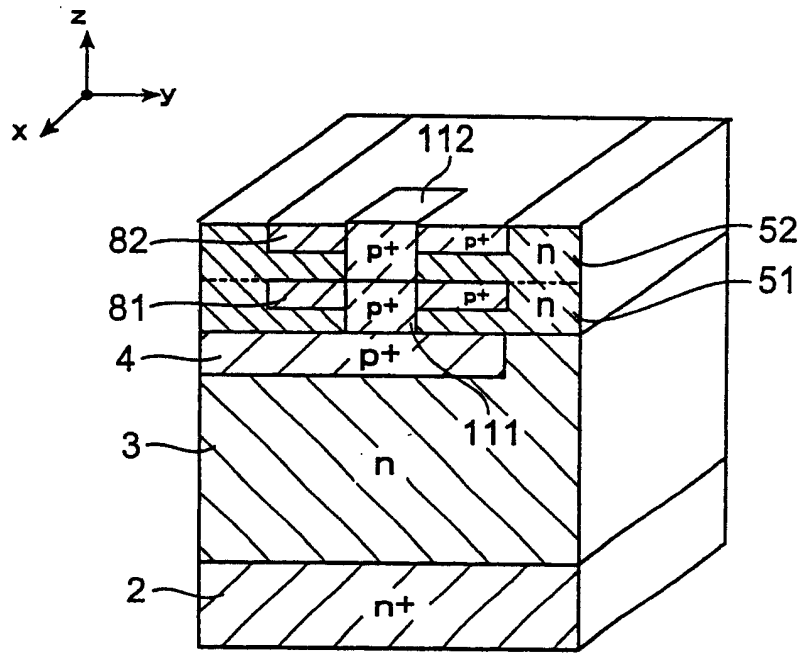


图 15A

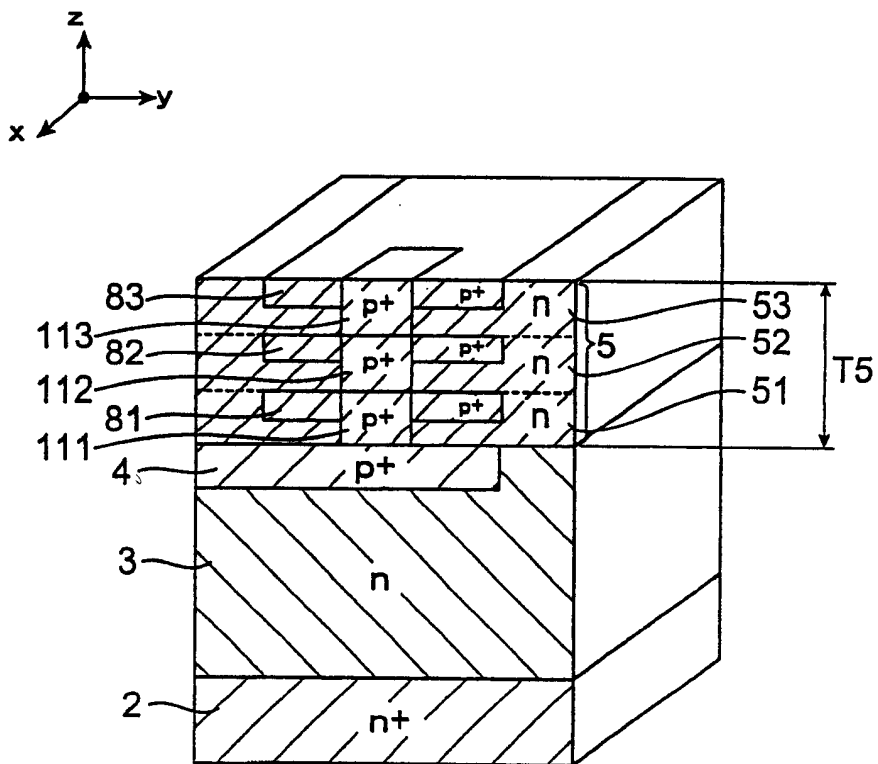


图 15B

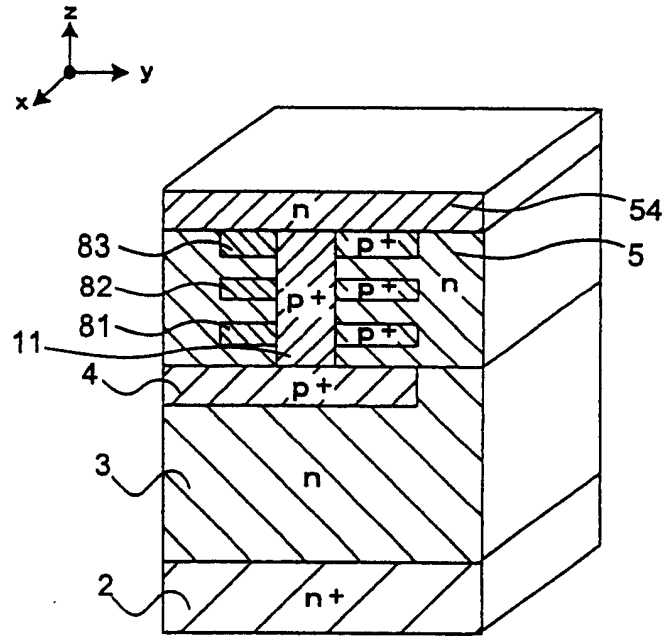


图 16A

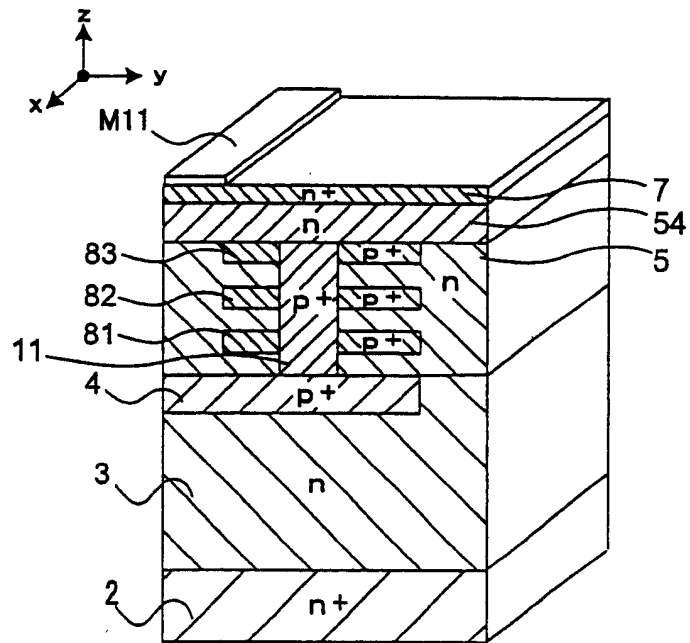


图 16B

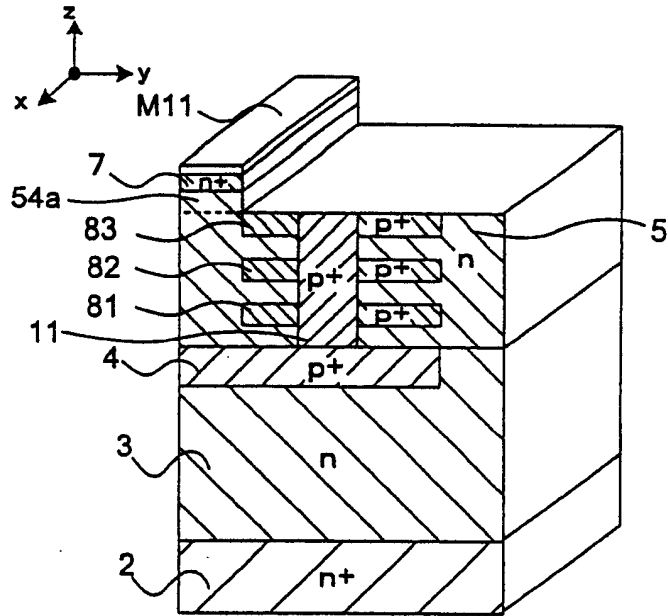


图 17A

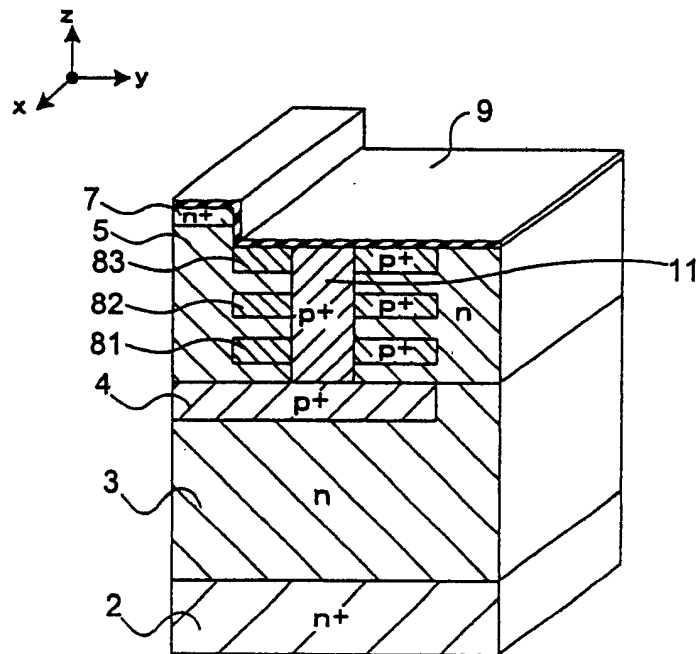


图 17B

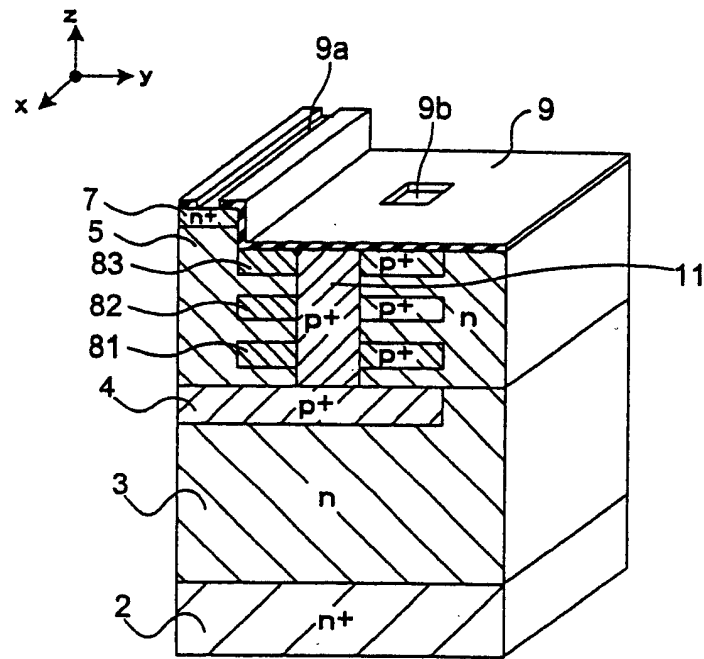


图 18A

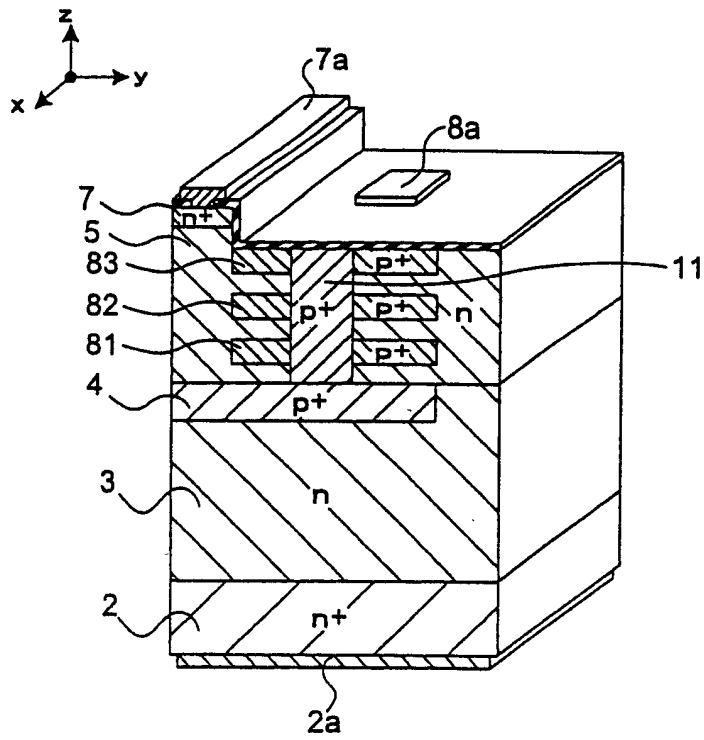


图 18B

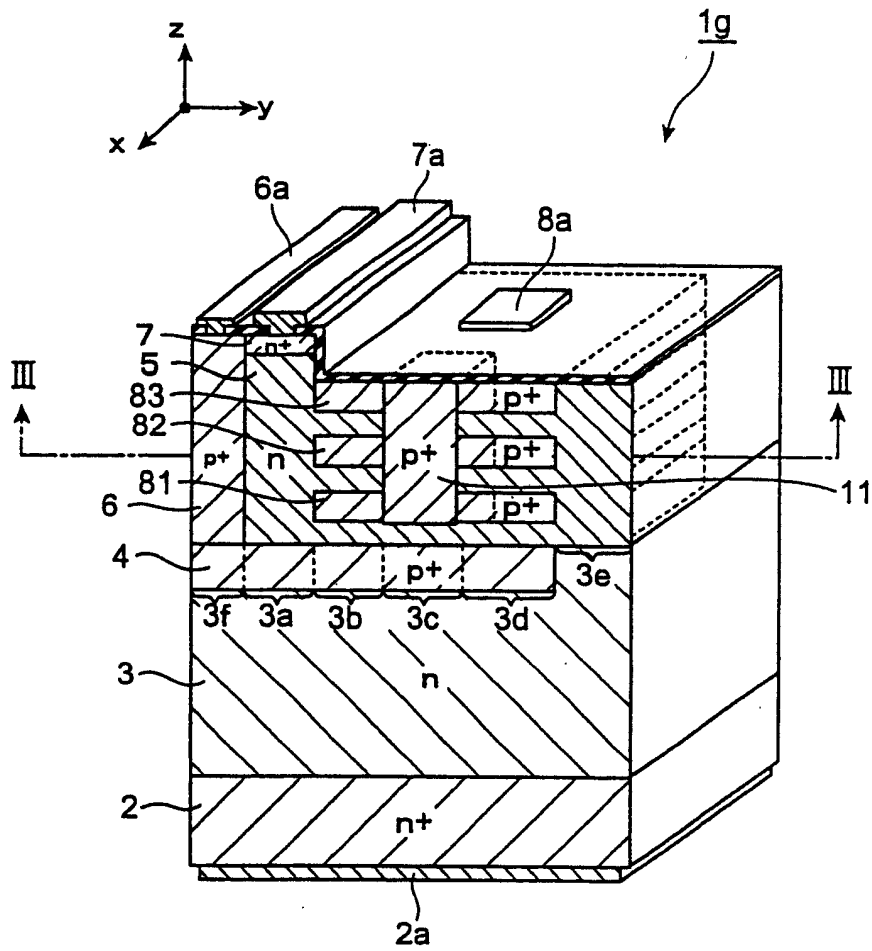


图 19A

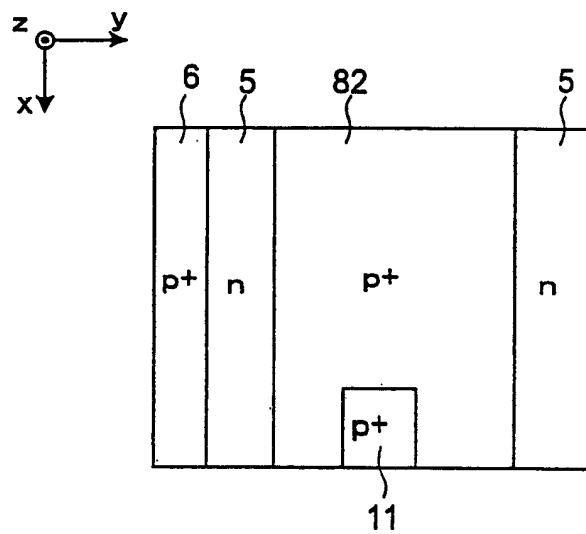


图 19B

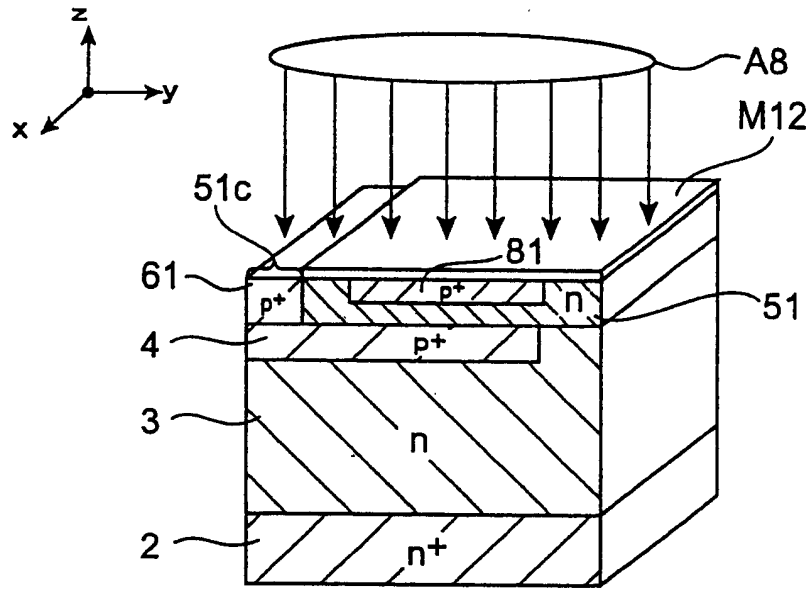


图 20A

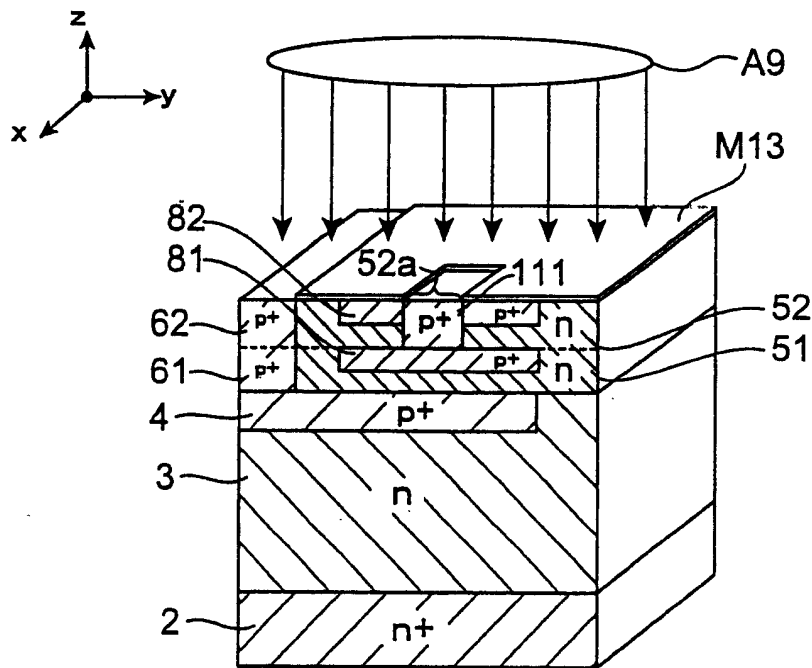


图 20B

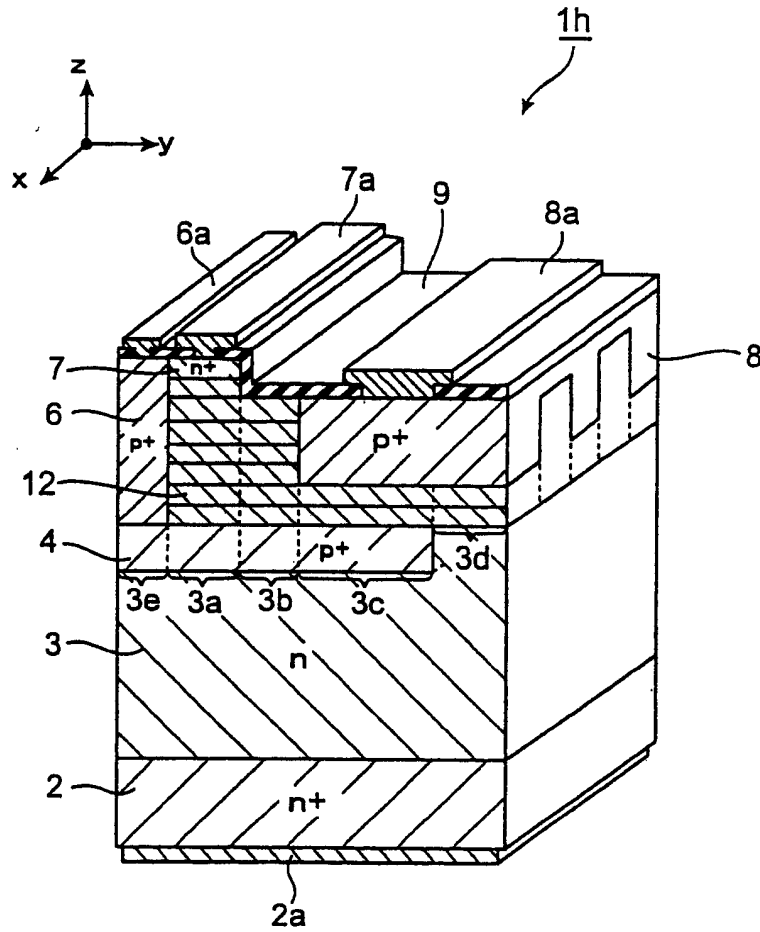


图 21A

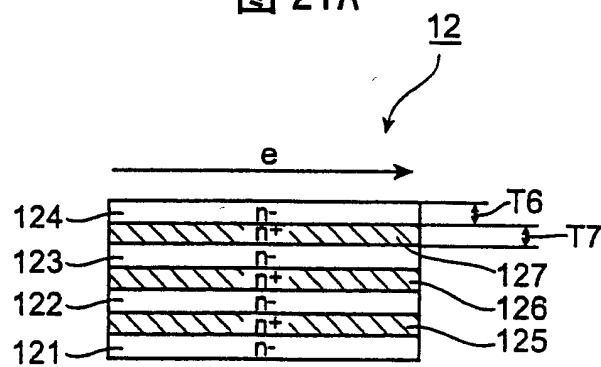


图 21B

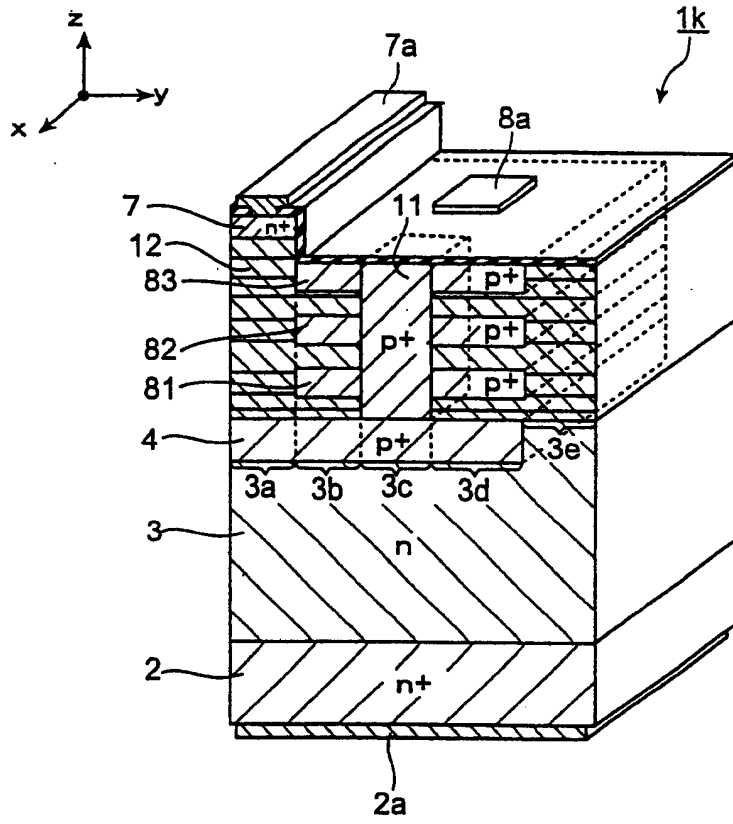


图 22A

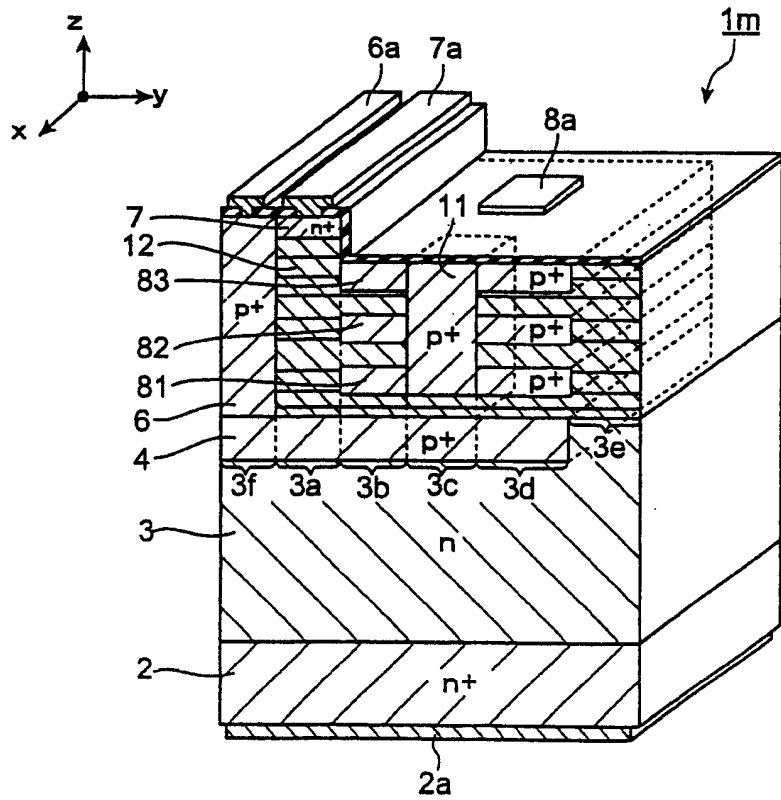


图 22B

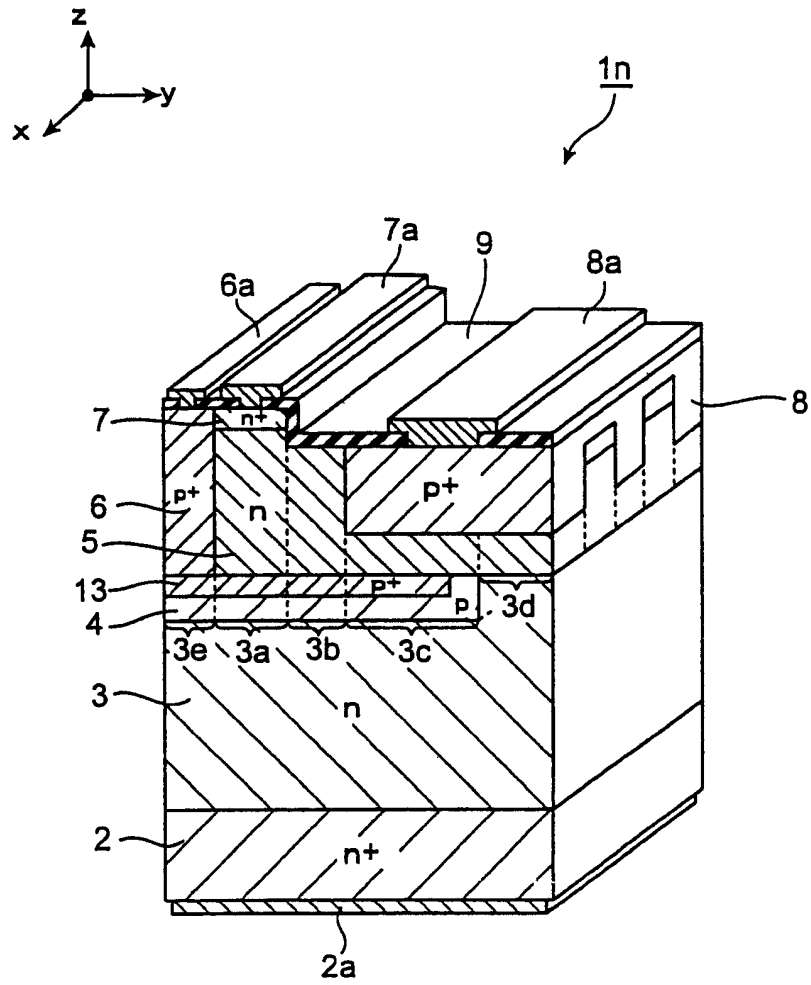


图 23

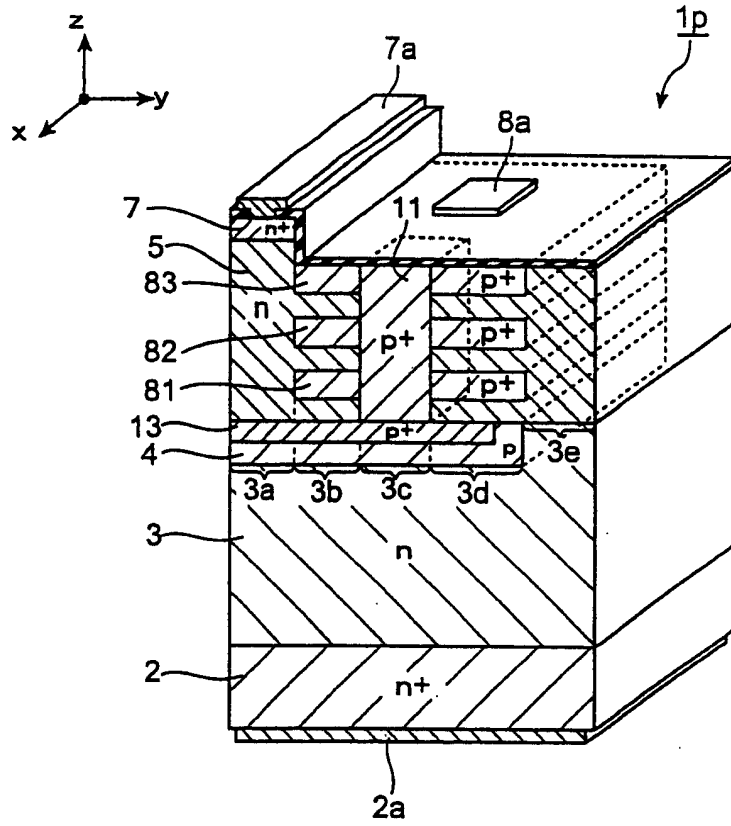


图 24A

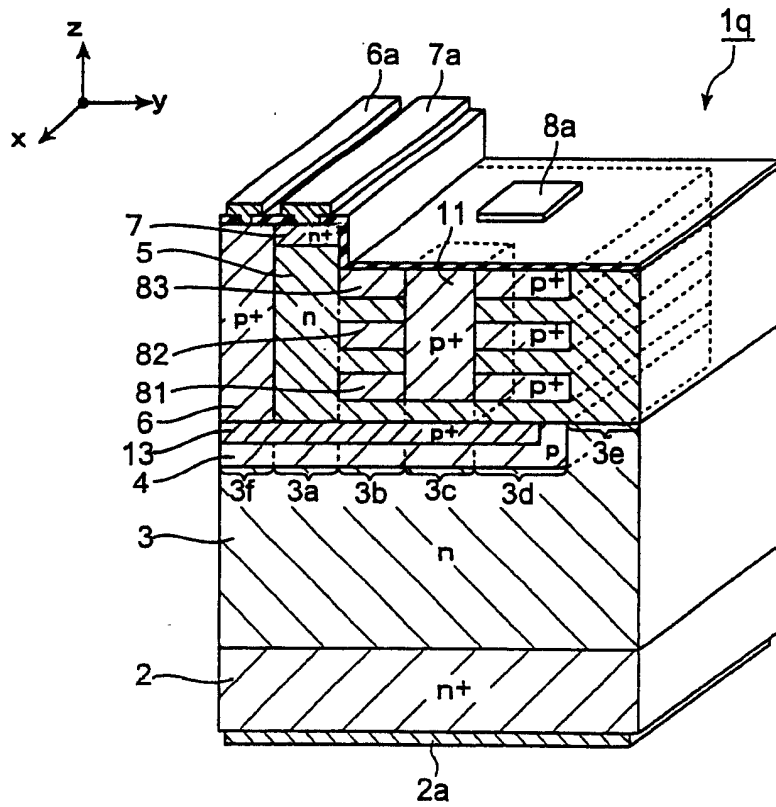


图 24B

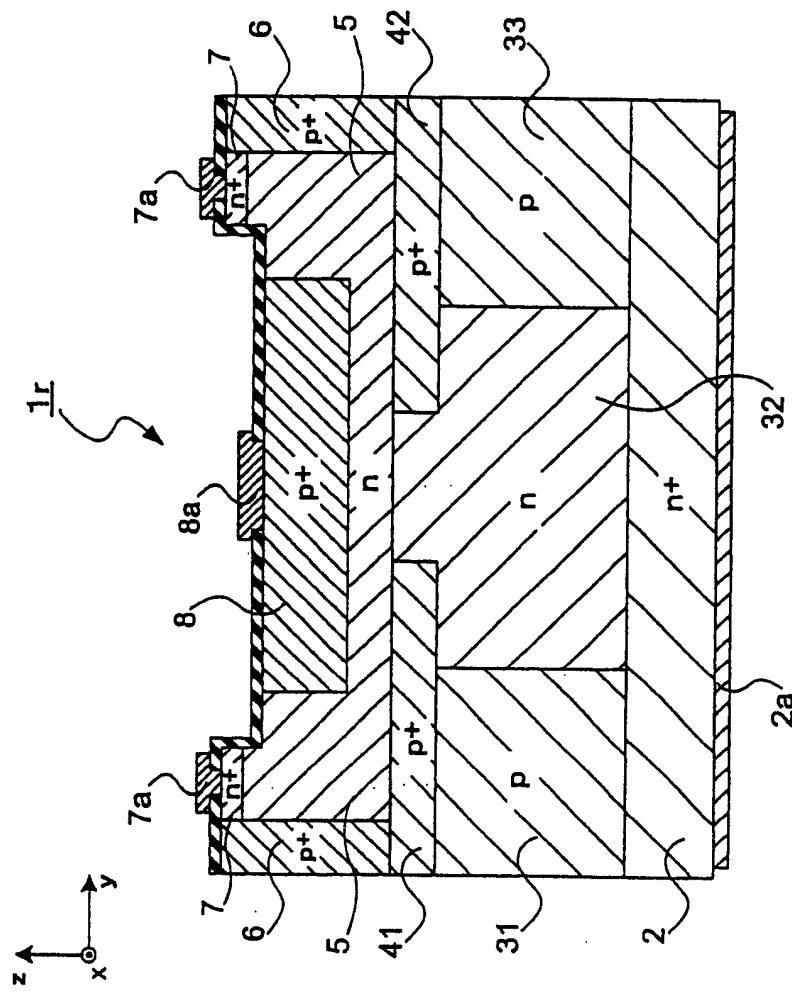


图 25

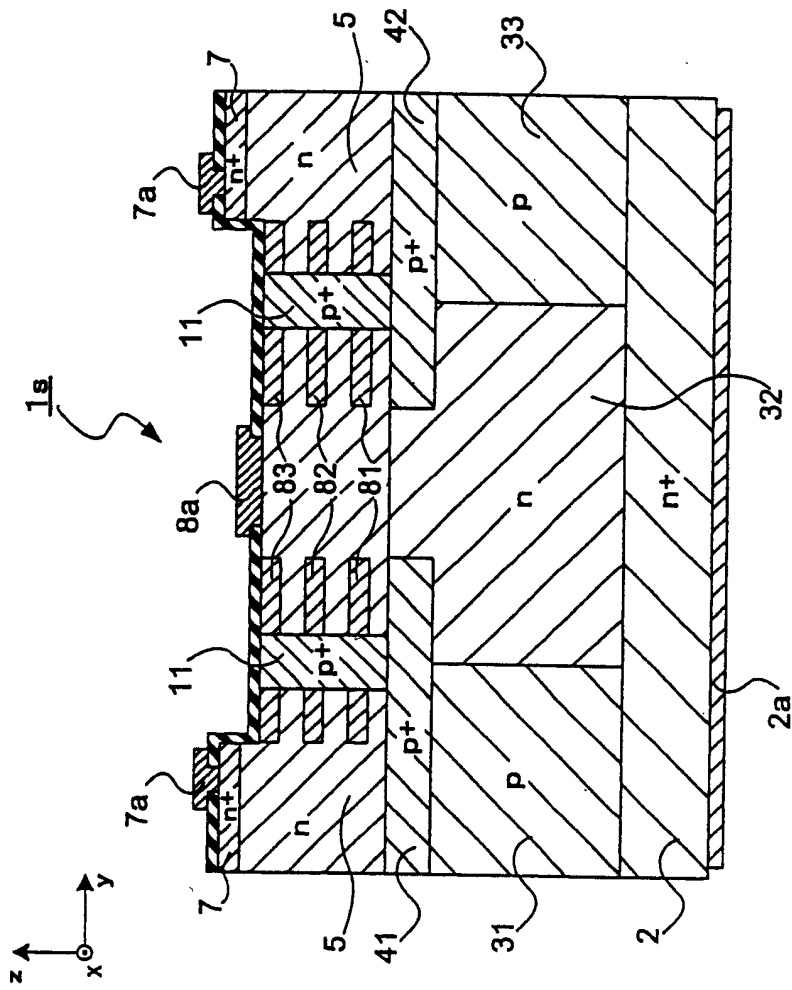


图 26

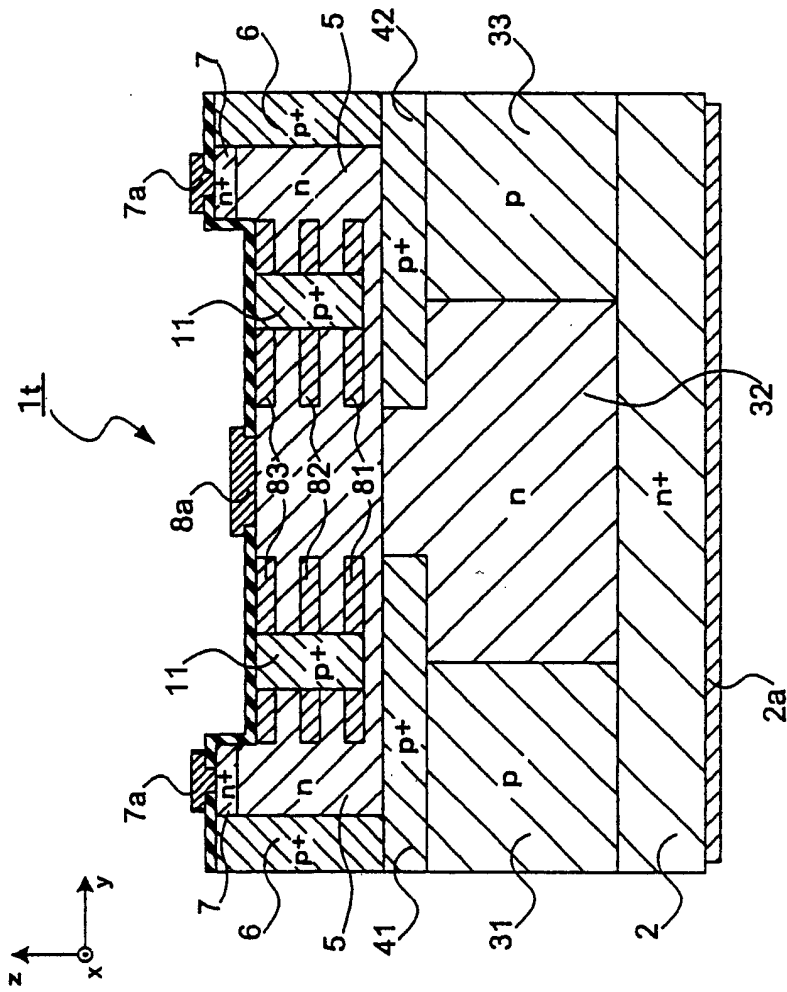


图 27

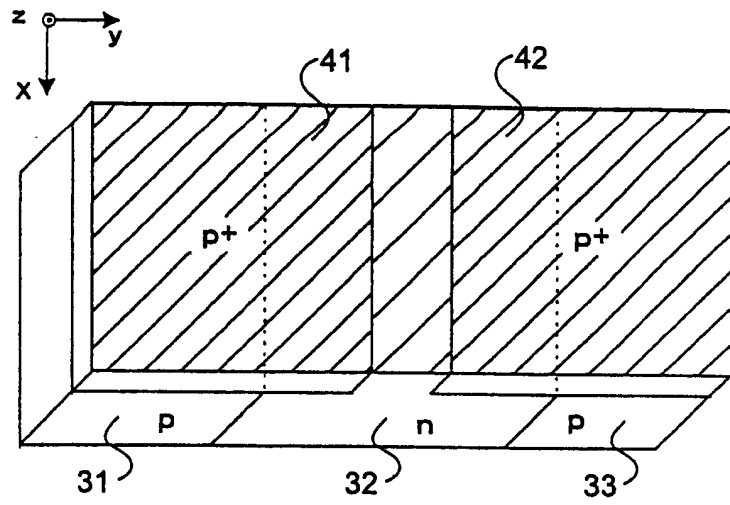


图 28A

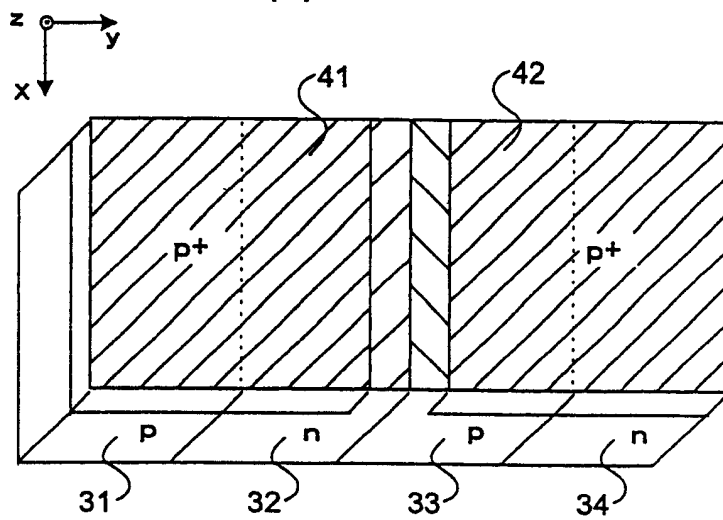


图 28B

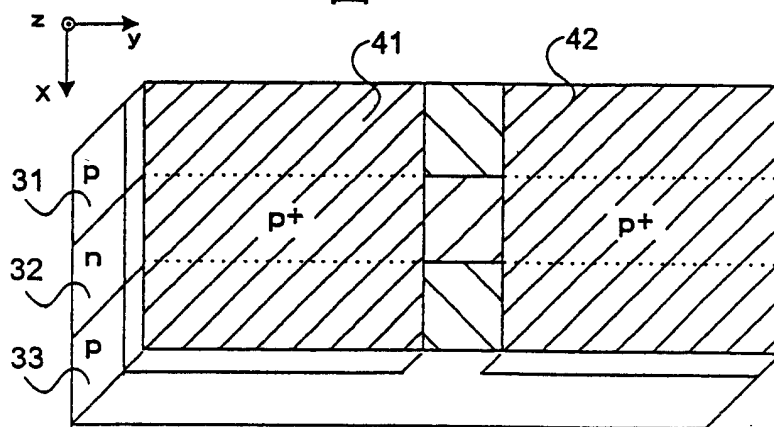


图 28C

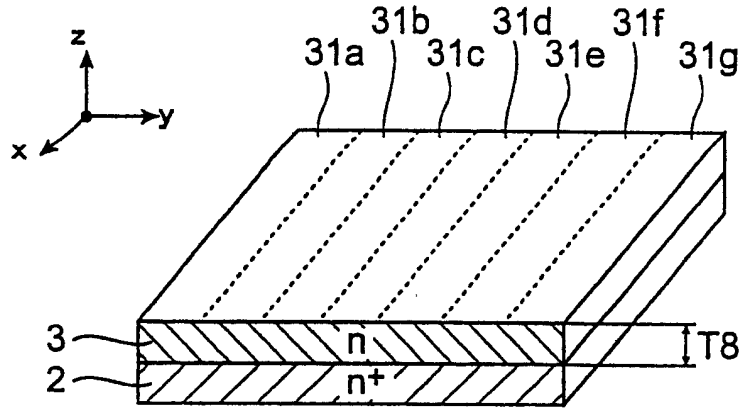


图 29A

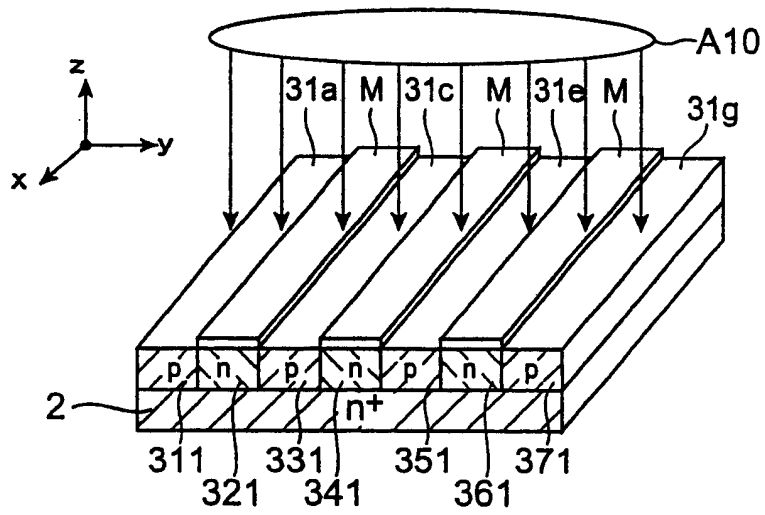


图 29B

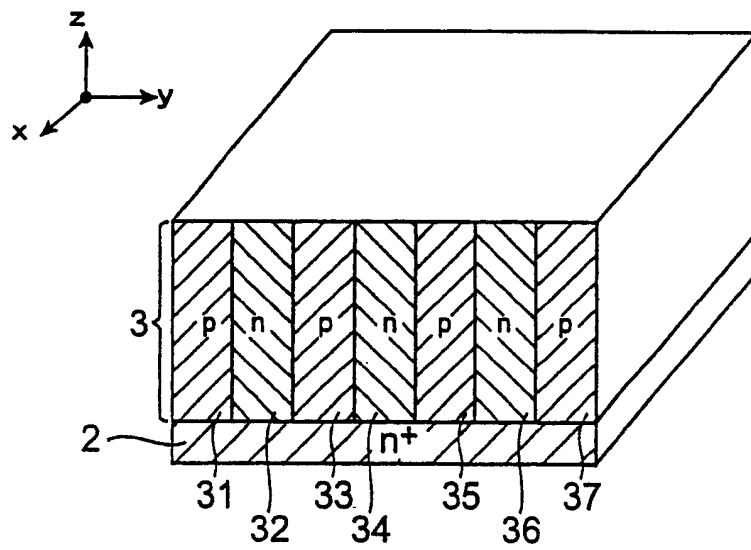


图 29C

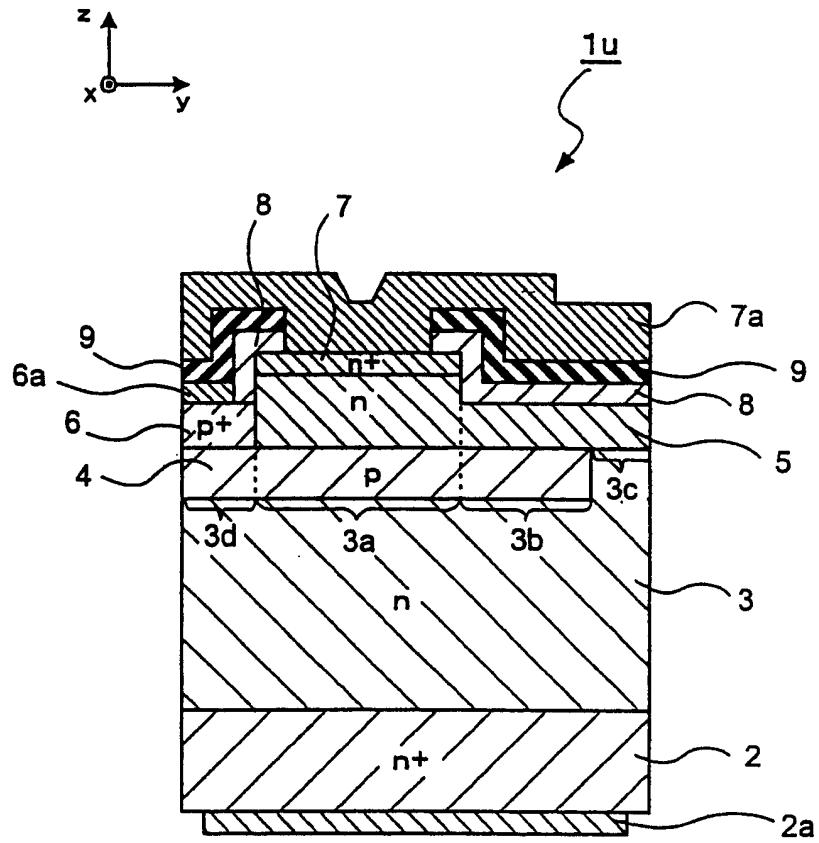


图 30

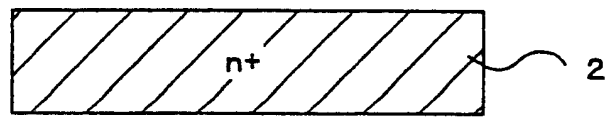


图 31A

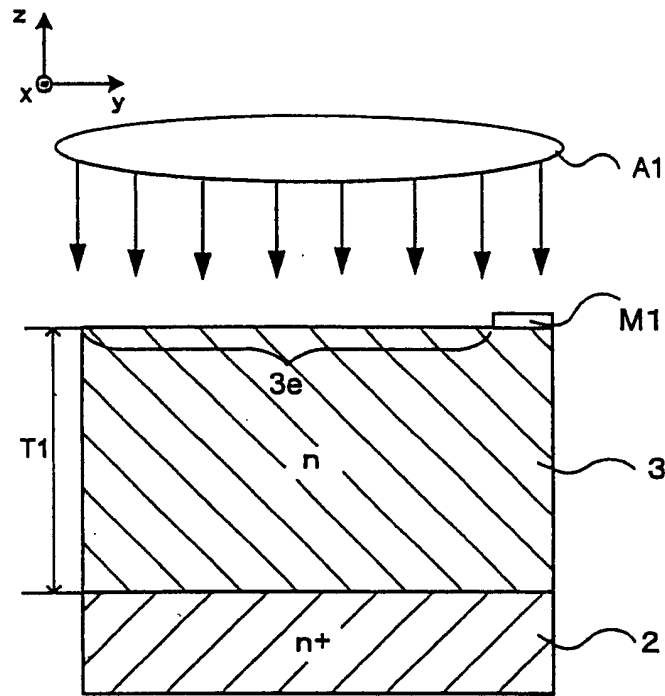


图 31B

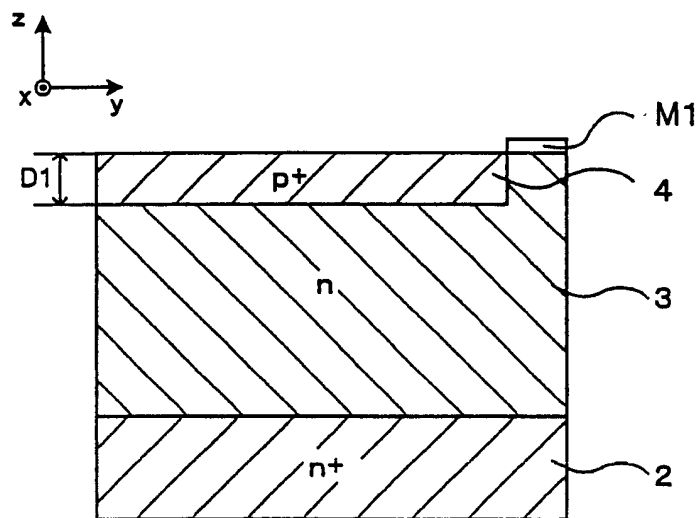


图 31C

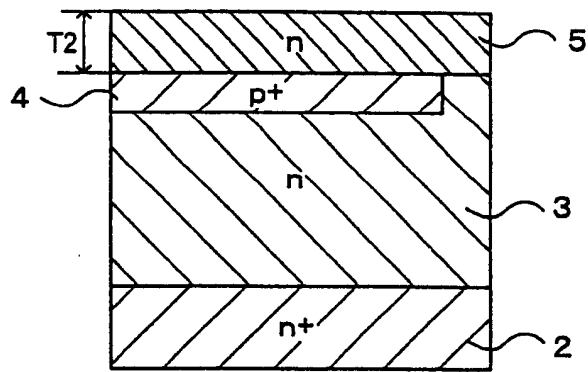


图 32A

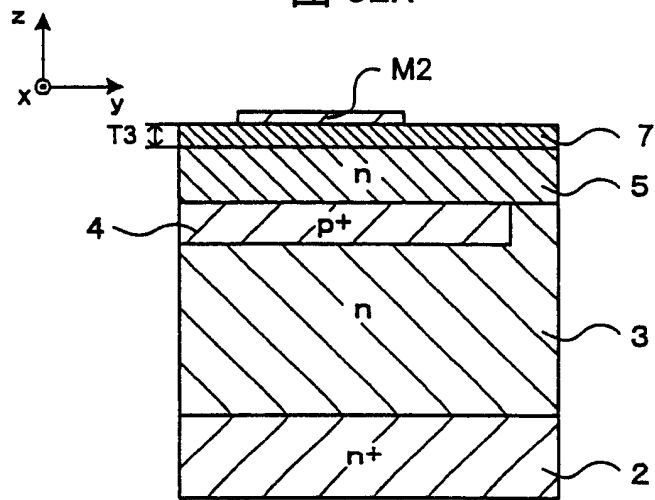


图 32B

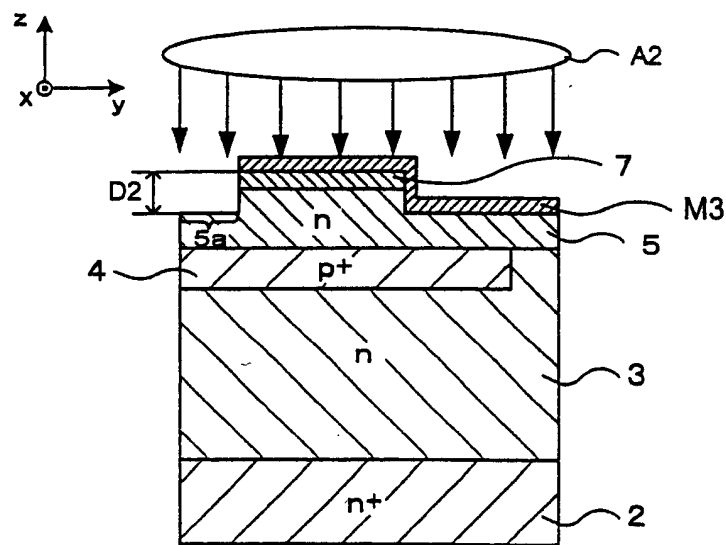


图 32C

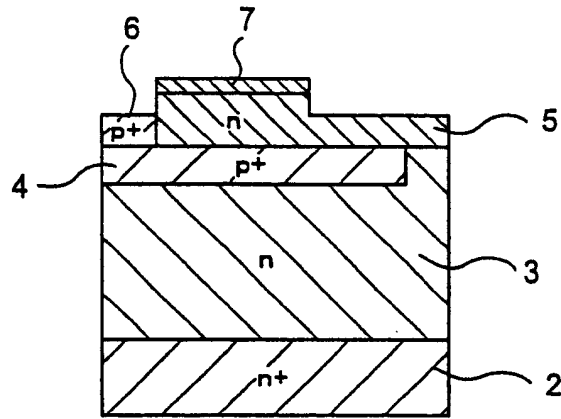


图 33A

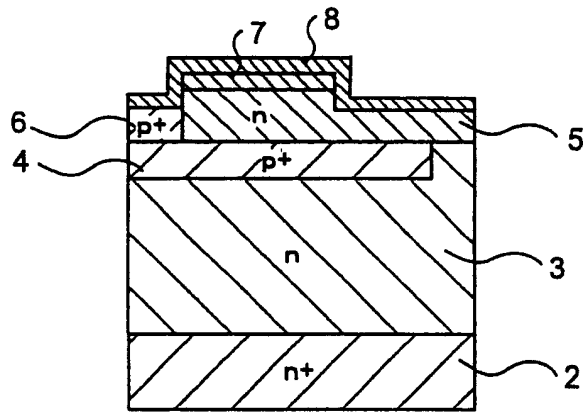


图 33B

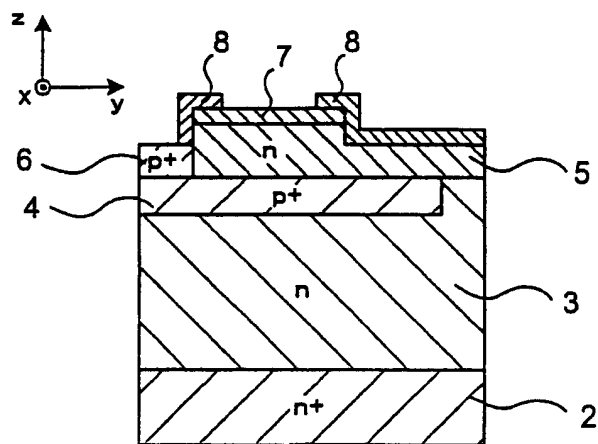


图 33C

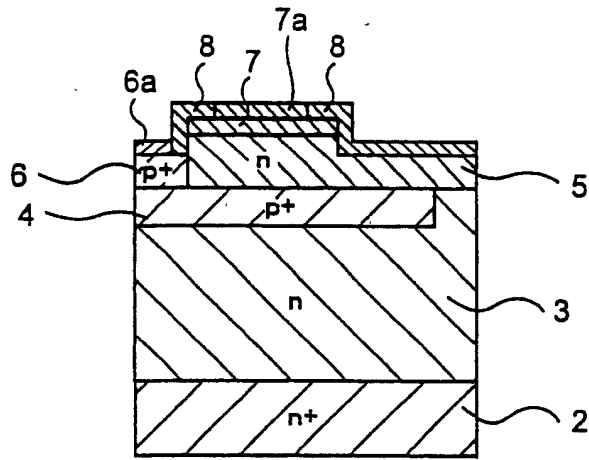


图 34A

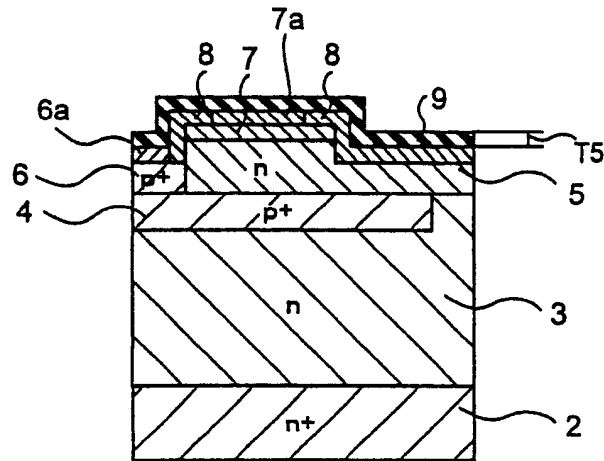


图 34B

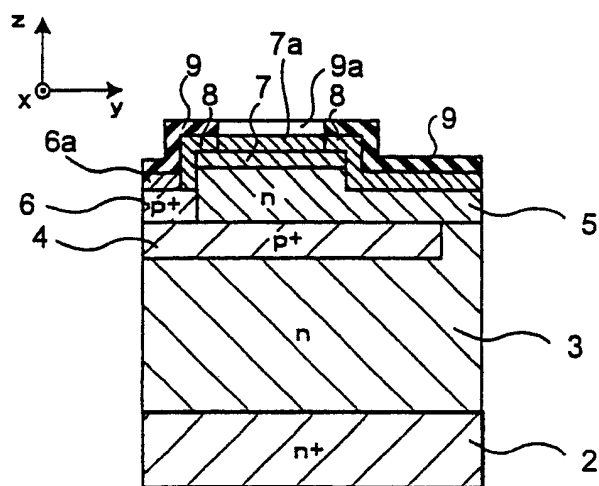


图 34C

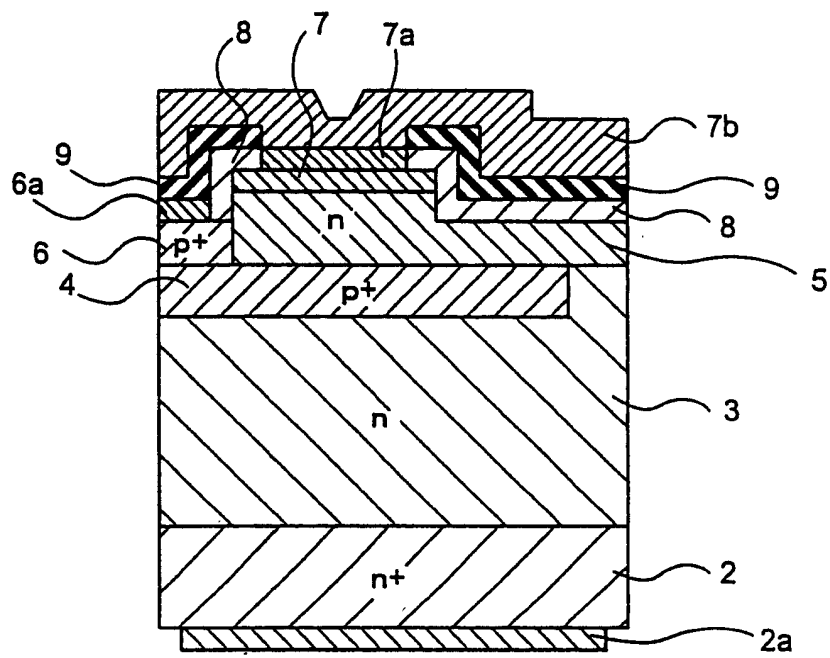


图 35

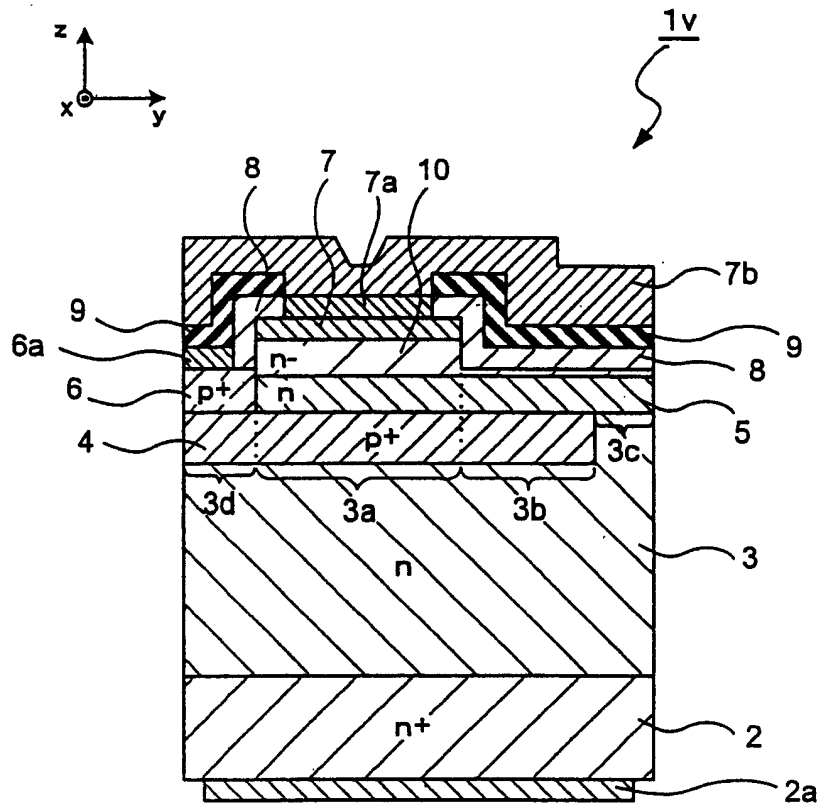


图 36

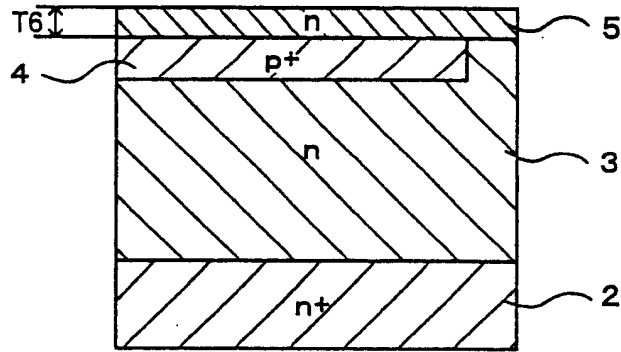


图 37A

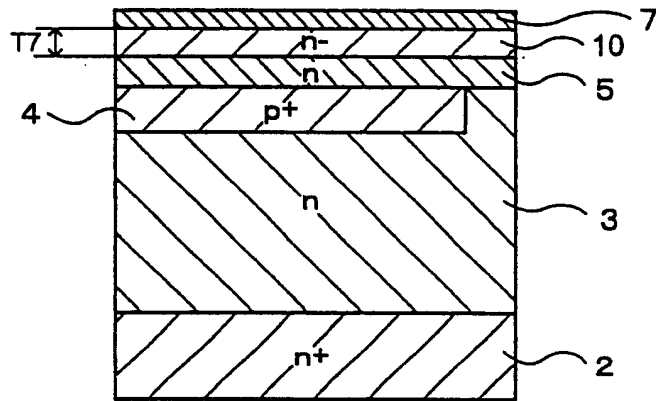


图 37B

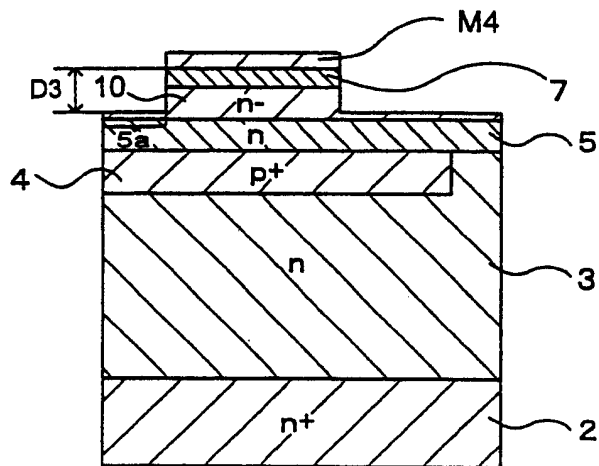


图 37C

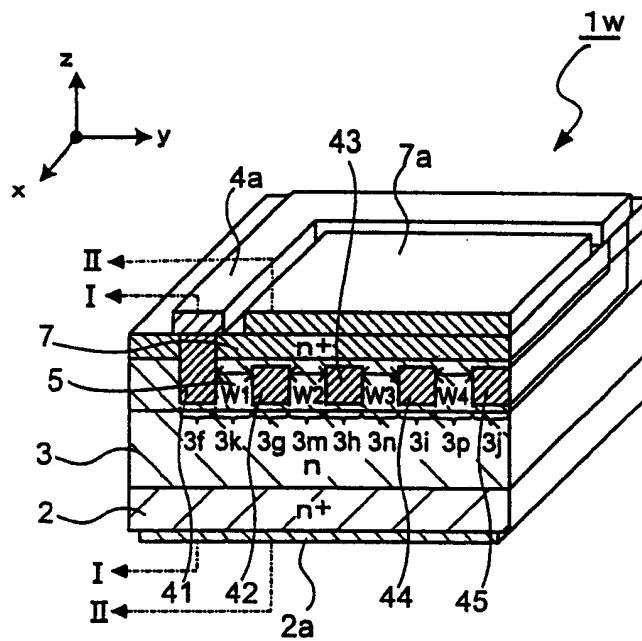


图 38

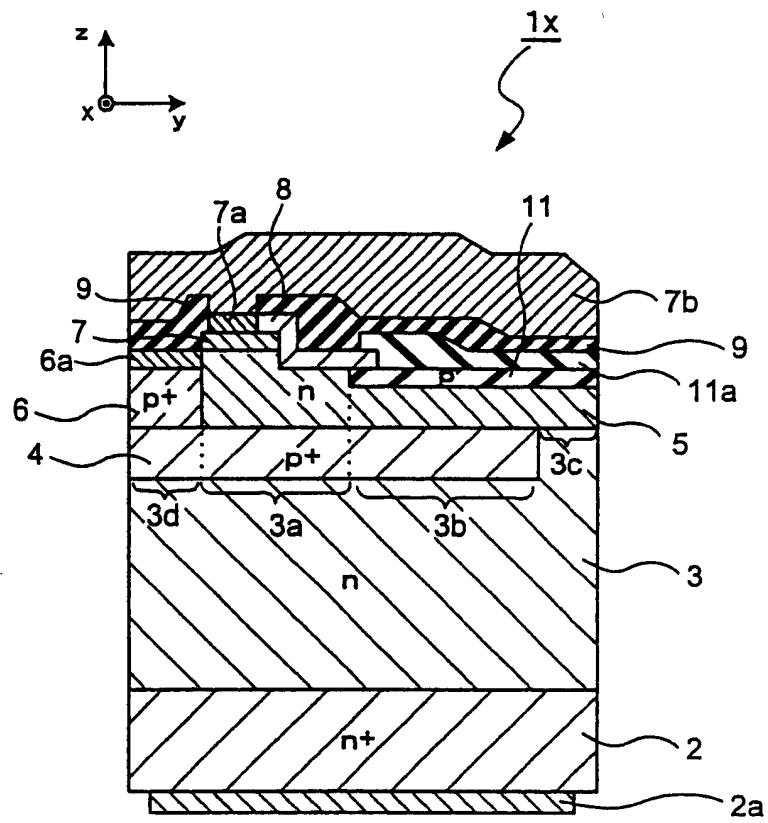


图 39

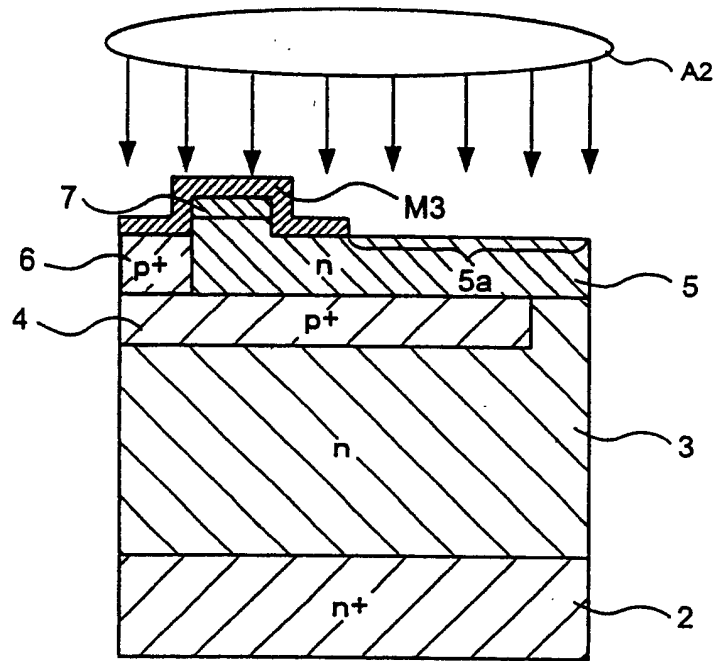


图 40A

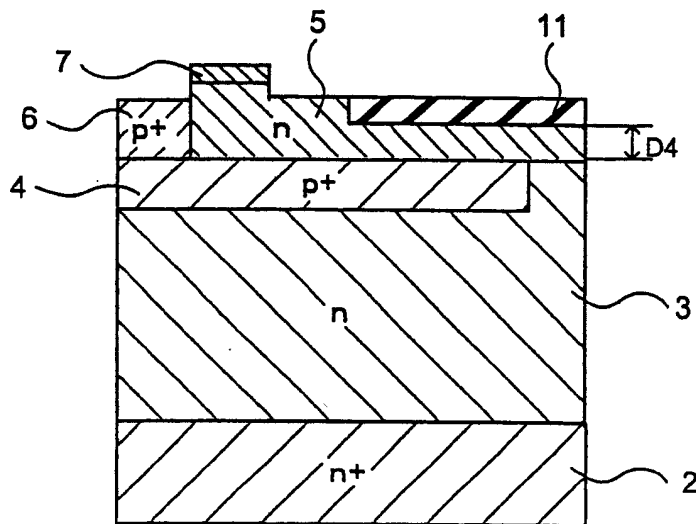


图 40B

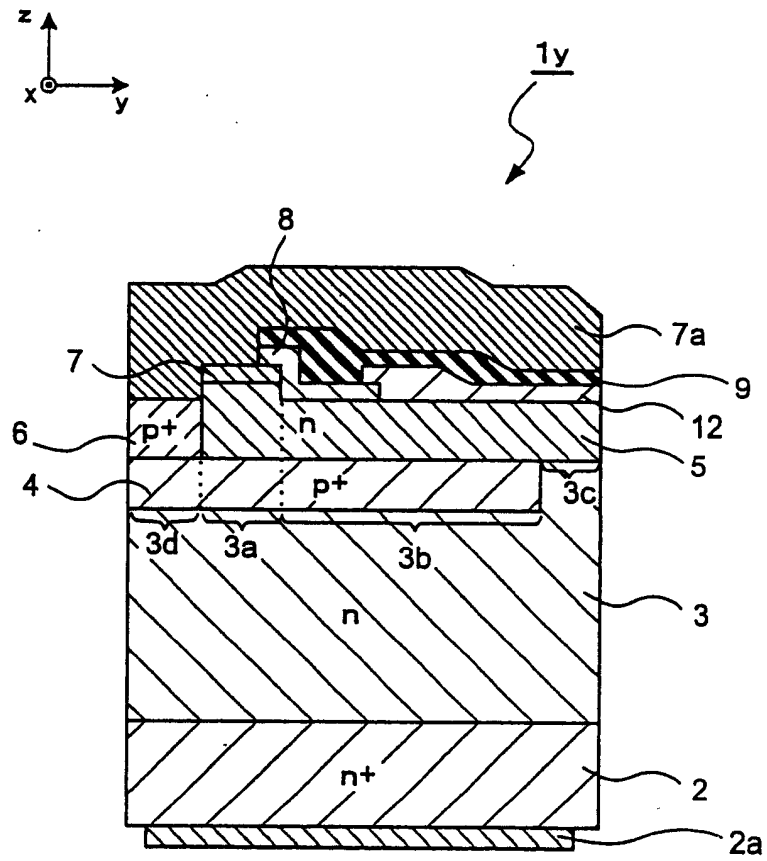


图 41

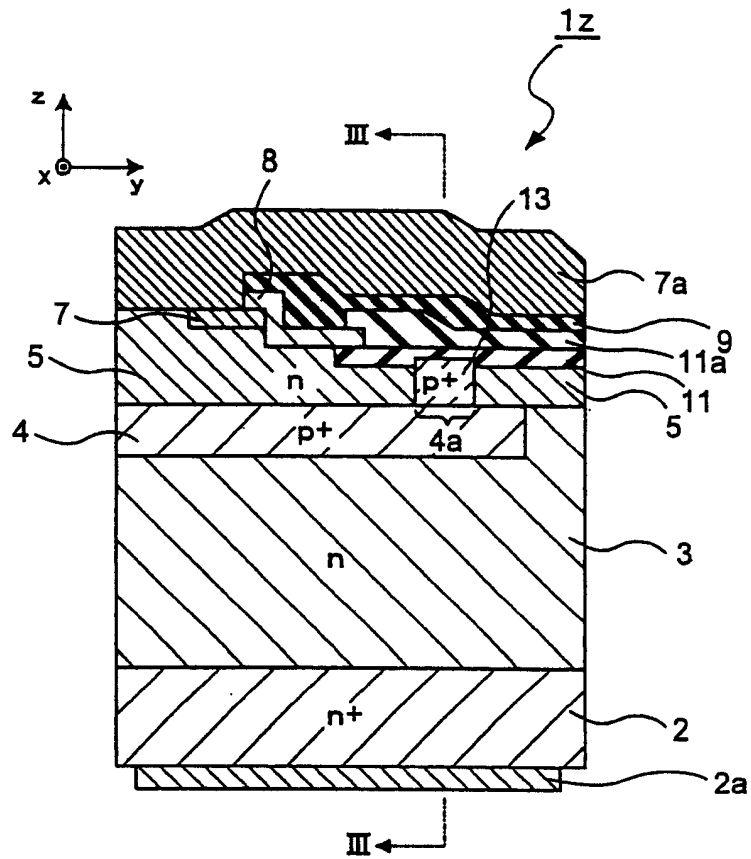


图 42A

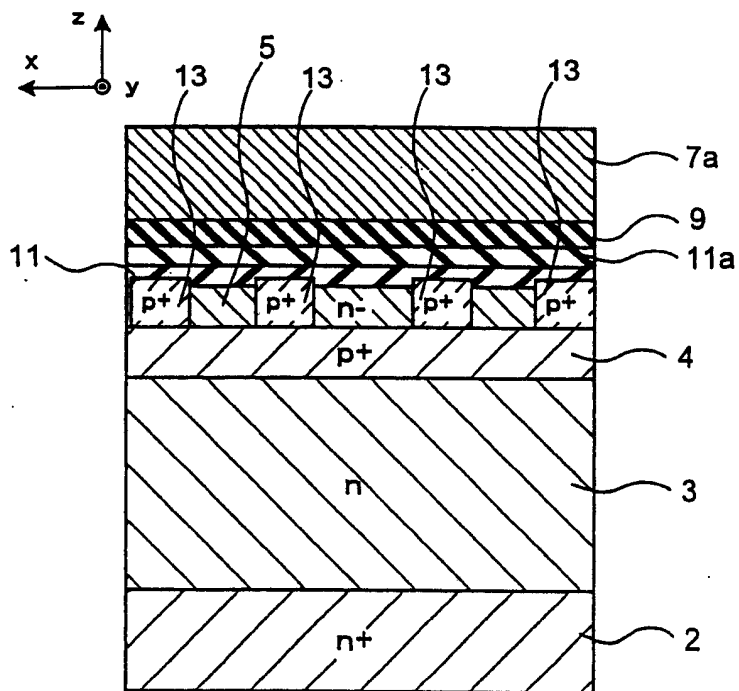


图 42B

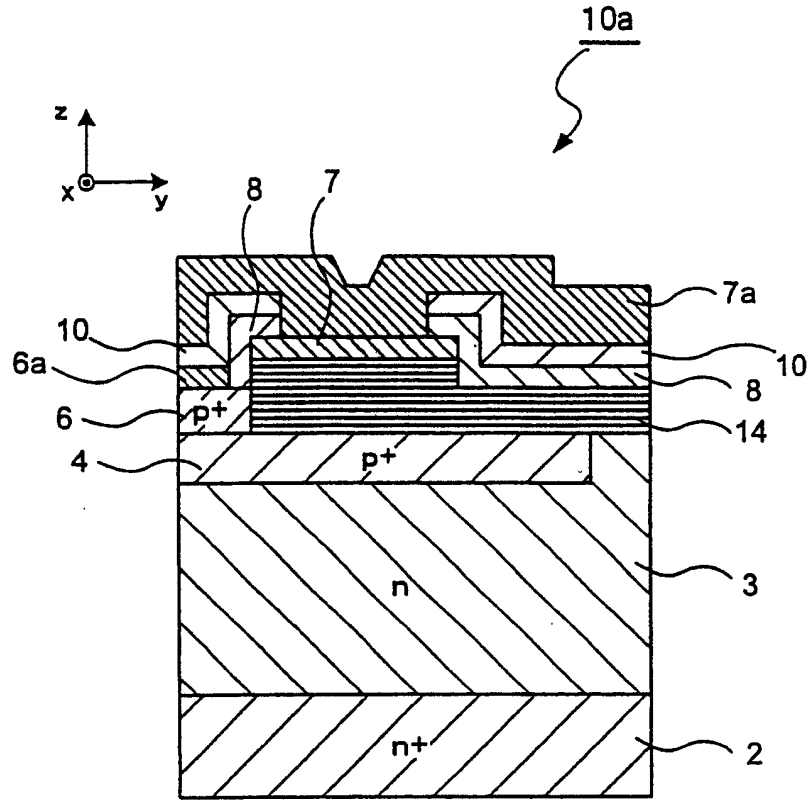


图 43A

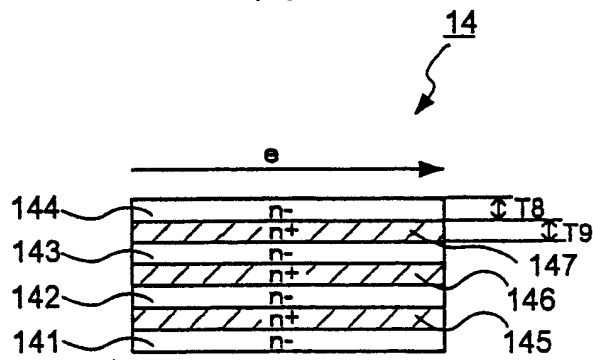


图 43B

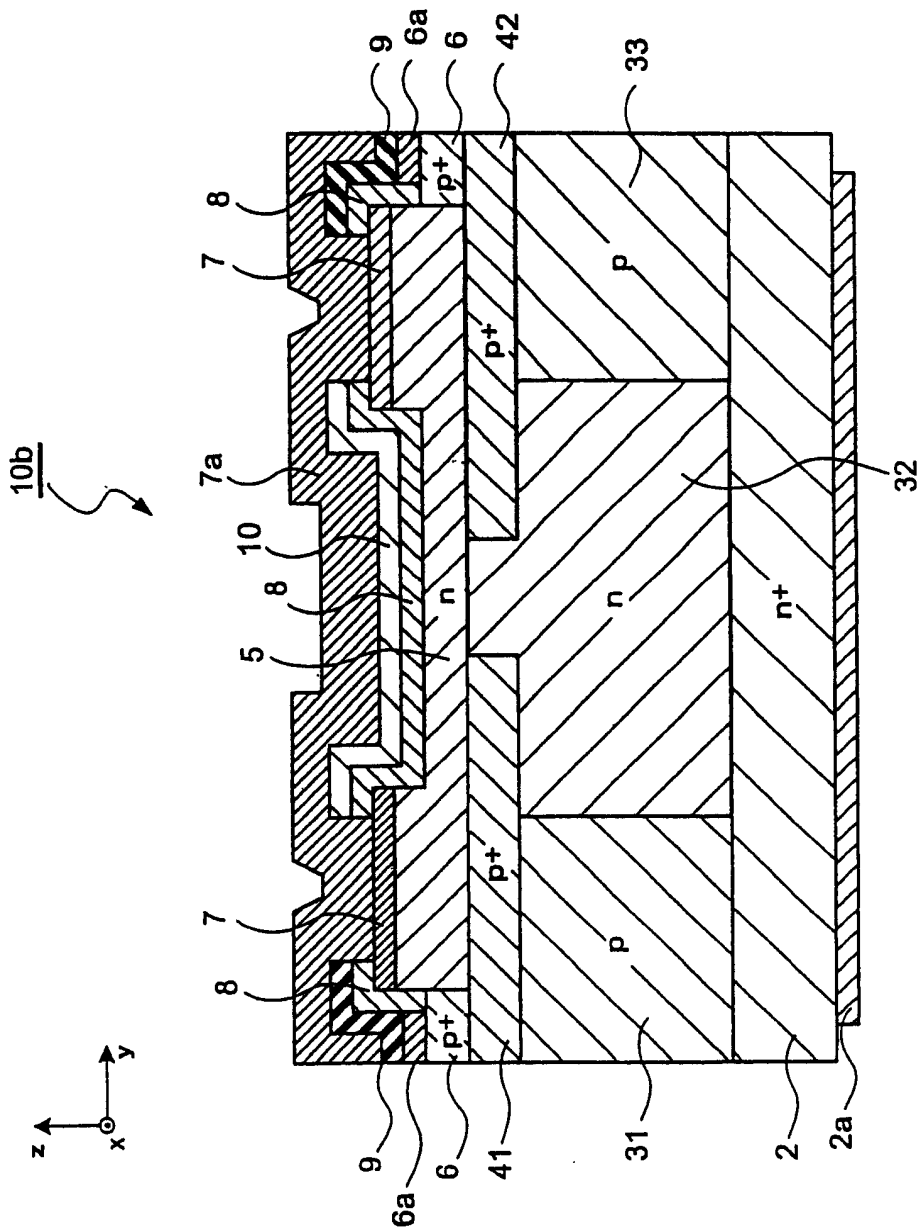


图 44

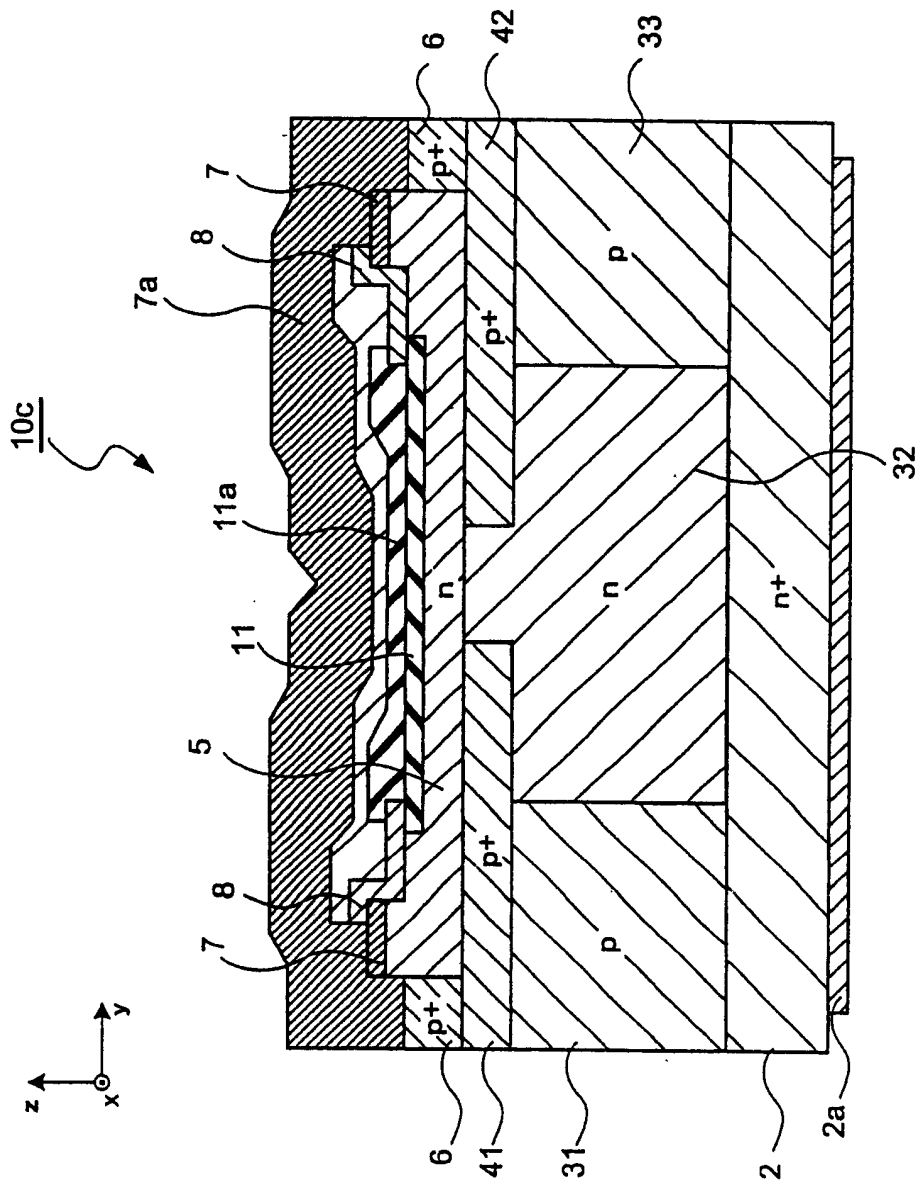


图 45

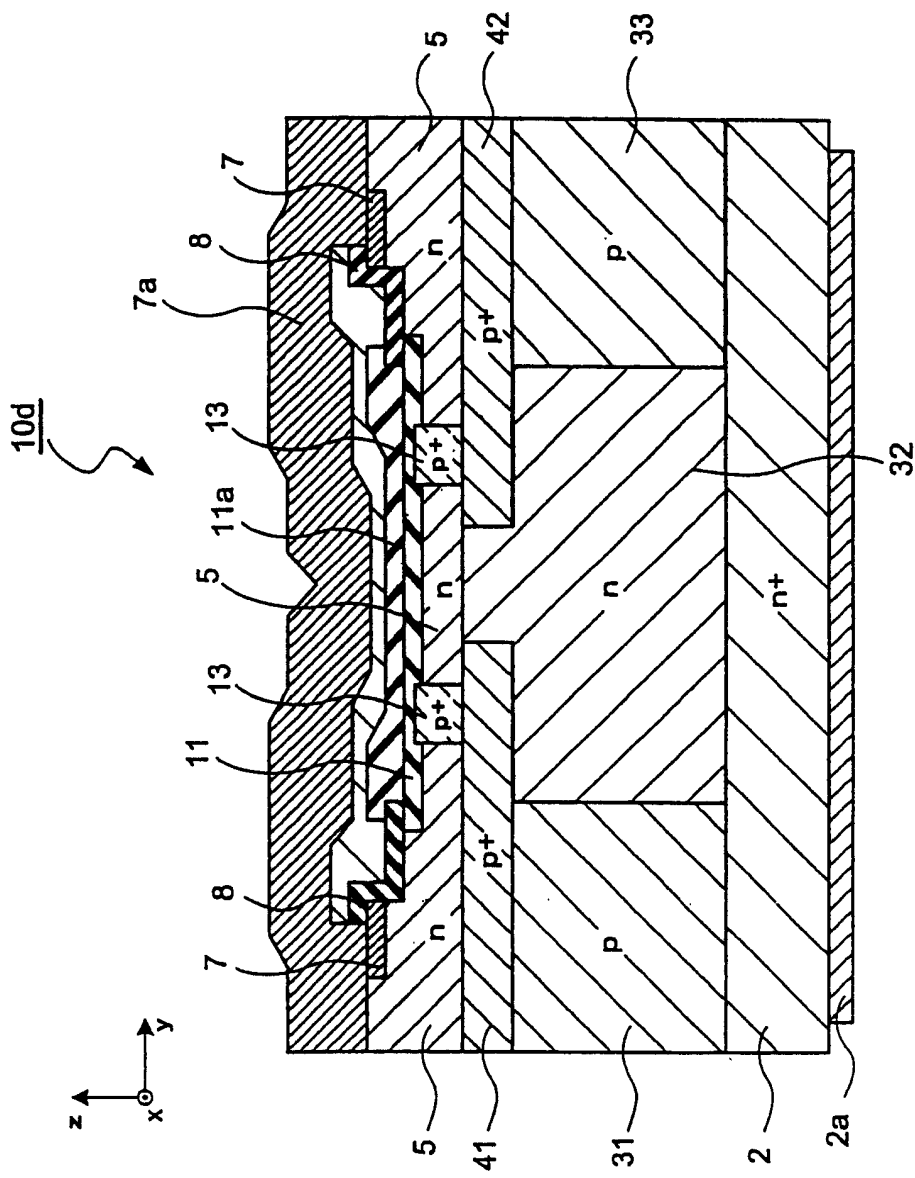


图 46

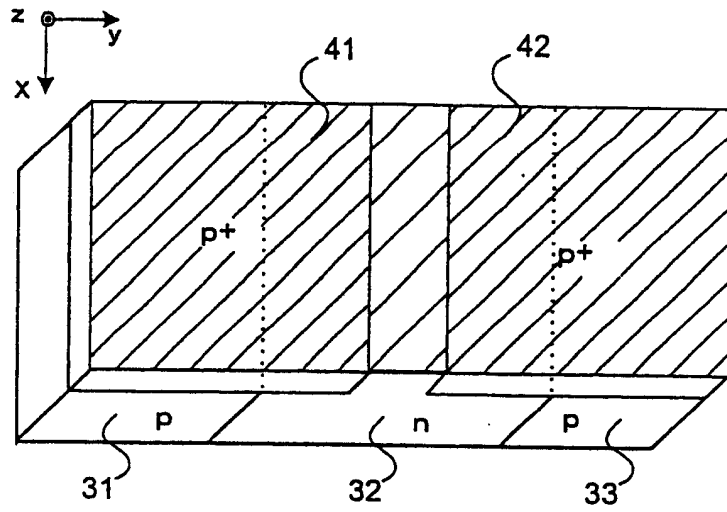


图 47A

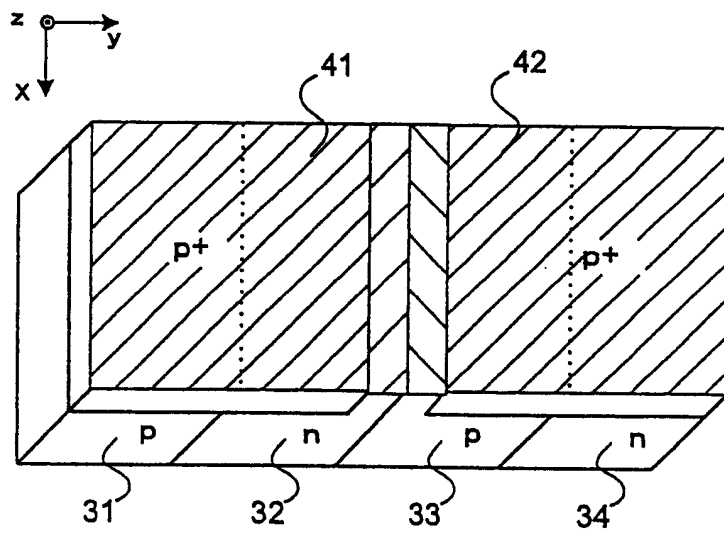


图 47B

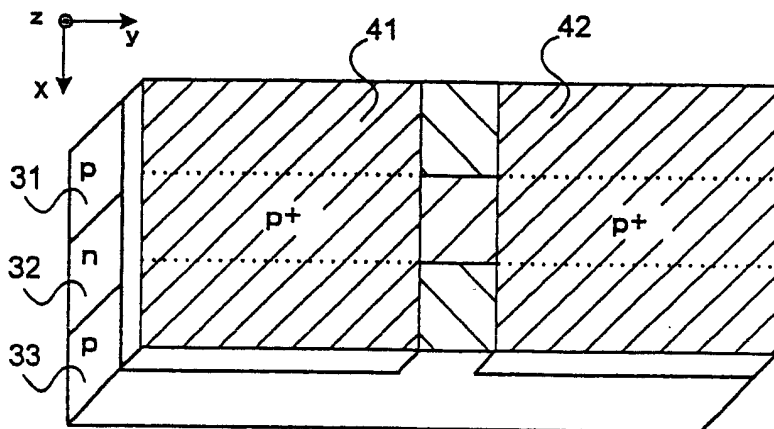


图 47C

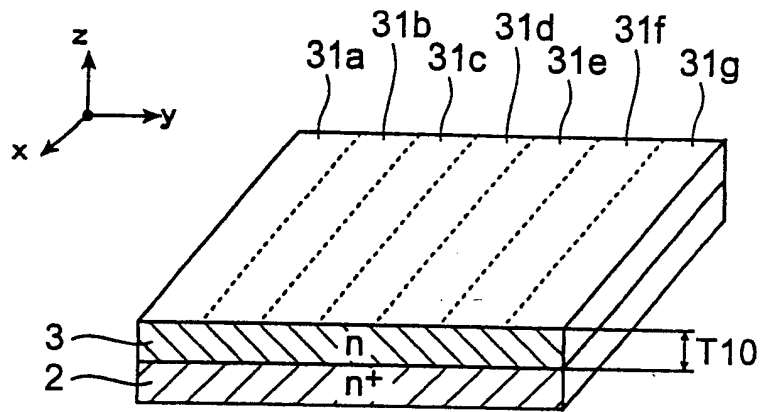


图 48A

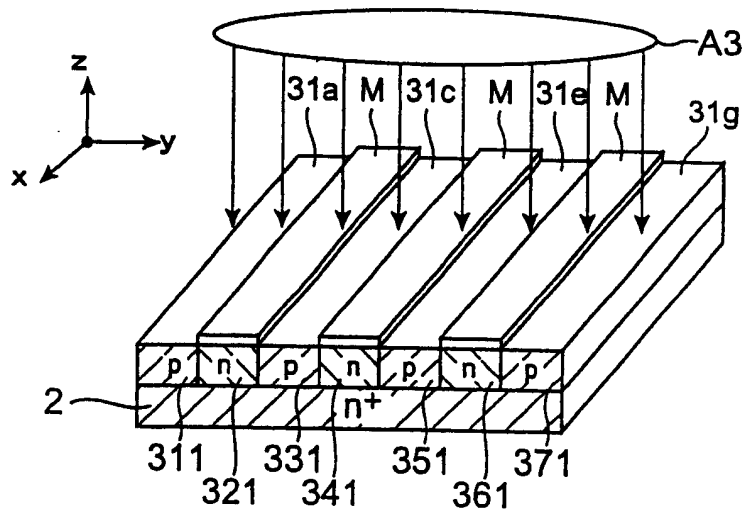


图 48B

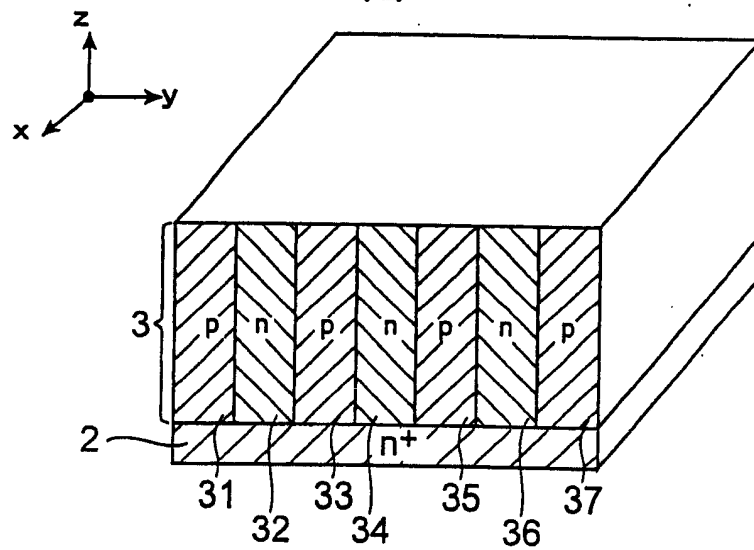


图 48C