

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4939690号
(P4939690)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 2 7 Z	
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 1 2 B	
HO 1 L 21/20	(2006.01)	HO 1 L 29/78	6 1 6 A	
		HO 1 L 29/78	6 1 7 K	
		HO 1 L 21/20		

請求項の数 6 (全 38 頁)

(21) 出願番号	特願2001-22386 (P2001-22386)	(73) 特許権者	000153878
(22) 出願日	平成13年1月30日(2001.1.30)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2002-231952 (P2002-231952A)		神奈川県厚木市長谷398番地
(43) 公開日	平成14年8月16日(2002.8.16)	(72) 発明者	山崎 舜平
審査請求日	平成20年1月30日(2008.1.30)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	中村 理
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	浜田 崇
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	村上 智史
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の不純物領域から形成されたソース領域及びドレイン領域と、第2の不純物領域から形成されたLDD領域とを含む薄膜トランジスタを有する半導体装置の作製方法であって、

非晶質構造を有する半導体膜に前記半導体膜の結晶化に対し触媒作用のある金属元素を添加し、加熱処理を行って前記非晶質構造を有する半導体膜を結晶化させて結晶構造を有する半導体膜を形成し、

前記結晶構造を有する半導体膜をパターンニングして半導体層を形成し、

前記半導体層上に絶縁膜を形成し、

前記絶縁膜上に導電膜を形成し、

前記導電膜上にマスクを形成し、

前記マスクを用いて前記導電膜をエッチングして、前記半導体層と重なり第1のテーパー部を有する第1の電極を形成し、

前記第1の電極をマスクとして、前記半導体層に一導電型を付与する不純物元素と希ガス元素とを選択的に添加して、前記第1の電極と重ならない前記第1の不純物領域を形成し、

前記第1の電極をエッチングして、第2のテーパー部を有する第2の電極を形成し、

前記第2の電極の第2のテーパー部を通過させて前記半導体層に前記一導電型を付与する不純物元素を選択的に添加して、前記第2の電極の第2のテーパー部と重なる前記第2

の不純物領域を形成し、

加熱処理によって前記第1の不純物領域に前記金属元素をゲッターリングして、前記半導体層中の前記第2の電極と重なる領域に含まれる前記金属元素を除去または低減することを特徴とする半導体装置の作製方法。

【請求項2】

第1の不純物領域から形成されたソース領域及びドレイン領域と、第2の不純物領域から形成されたLDD領域とを含む第1の薄膜トランジスタと、第3の不純物領域から形成されたソース領域及びドレイン領域と、第4の不純物領域から形成されたLDD領域とを含む第2の薄膜トランジスタを有する半導体装置の作製方法であって、

非晶質構造を有する半導体膜に前記半導体膜の結晶化に対し触媒作用のある金属元素を添加し、加熱処理を行って前記非晶質構造を有する半導体膜を結晶化させて結晶構造を有する半導体膜を形成し、

前記結晶構造を有する半導体膜をパターニングして第1の半導体層及び第2の半導体層を形成し、

前記第1の半導体層及び前記第2の半導体層上に絶縁膜を形成し、

前記絶縁膜上に導電膜を形成し、

前記導電膜上に第1のマスクを形成し、

前記第1のマスクを用いて前記導電膜をエッチングして、前記第1の半導体層と重なり第1のテーパ部を有する第1の電極と、前記第2の半導体層と重なり第2のテーパ部を有する第2の電極とを形成し、

前記第1の電極及び前記第2の電極をマスクとして、前記第1の半導体層及び前記第2の半導体層に一導電型を付与する不純物元素と希ガス元素とを選択的に添加して前記第1の不純物領域を形成し、

前記第1の電極と、前記第2の電極とをエッチングして、第3のテーパ部を有する第3の電極と、第4のテーパ部を有する第4の電極とを形成し、

前記第3の電極の第3のテーパ部及び前記第4の電極の第4のテーパ部を通過させて前記第1の半導体層及び前記第2の半導体層に前記一導電型を付与する不純物元素を選択的に添加して前記第2の不純物領域を形成し、

前記第1の半導体層を覆い且つ前記第2の半導体層を覆わないように第2のマスクを設けた後、前記第4の電極を介して前記第2の半導体層に前記一導電型と異なる導電型を付与する不純物元素を添加して、前記第4の電極と重ならない前記第3の不純物領域と、前記第4の電極の第4のテーパ部と重なる前記第4の不純物領域とを形成し、

加熱処理によって前記第1の不純物領域及び前記第3の不純物領域に前記金属元素をゲッターリングして、前記第1の半導体層中の前記第3の電極と重なる領域及び前記第2の半導体層中の前記第4の電極と重なる領域に含まれる前記金属元素を除去または低減することを特徴とする半導体装置の作製方法。

【請求項3】

請求項2において、

前記第1の薄膜トランジスタは画素部の薄膜トランジスタであり、

前記第2の薄膜トランジスタは駆動回路の薄膜トランジスタであることを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれかーにおいて、

前記一導電型はNチャネル型であることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれかーにおいて、

前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれかーにおいて、

10

20

30

40

50

前記金属元素はニッケルであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はゲッタリング技術を用いた半導体装置の作製方法及び、当該作製方法により得られる半導体装置に関する。特に本発明は、半導体膜の結晶化において触媒作用のある金属元素を添加して作製される結晶質半導体膜を用いた半導体装置の作製方法並びに半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

10

【0003】

【従来技術】

結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いた代表的な半導体素子として薄膜トランジスタ（以下、TFTと記す）が知られている。TFTはガラスなどの絶縁基板上に集積回路を形成する技術として注目され、駆動回路一体型液晶表示装置などが実用化されつつある。従来からの技術において、結晶質半導体膜は、プラズマCVD法や減圧CVD法で堆積した非晶質半導体膜を、加熱処理やレーザーアニール法（レーザー光の照射により半導体膜を結晶化させる技術）により作製されている。

20

【0004】

こうして作製される結晶質半導体膜は多数の結晶粒の集合体であり、その結晶方位は任意な方向に配向して制御不能であるため、TFTの特性を制限する要因となっている。このような問題点に対し、特開平7-183540号公報で開示される技術は、ニッケルなど半導体膜の結晶化に対し触媒作用のある金属元素を添加して結晶質半導体膜を作製するものであり、結晶化に必要とする加熱温度を低下させる効果ばかりでなく、結晶方位の配向性を単一方向に高めることが可能である。このような結晶質半導体膜でTFTを形成すると、電界効果移動度の向上のみでなく、サブスレッショルド係数（S値）が小さくなり、飛躍的に電気的特性を向上させることが可能となっている。

【0005】

しかし、触媒作用のある金属元素を添加する故に、結晶質半導体膜の膜中或いは膜表面には、当該金属元素が残存し、得られる素子の特性をばらつかせるなどの問題がある。その一例は、TFTにおいてオフ電流が増加し、個々の素子間でばらつくなどの問題がある。即ち、結晶化に対し触媒作用のある金属元素は、一旦、結晶質半導体膜が形成されてしまえば、かえって不要な存在となってしまふ。

30

【0006】

リンを用いたゲッタリングは、このような金属元素を結晶質半導体膜の特定の領域から除去するための手法として有効に活用されている。例えば、TFTのソース・ドレイン領域にリンを添加して450～700の熱処理を行うことで、チャンネル形成領域から当該金属元素を容易に除去することが可能である。

【0007】

リンはイオンドーピング法（PH₃などをプラズマで解離して、イオンを電界で加速して半導体中に注入する方法であり、基本的にイオンの質量分離を行わない方法を指す）で結晶質半導体膜に注入するが、ゲッタリングのために必要なリン濃度は $1 \times 10^{20}/\text{cm}^3$ 以上である。イオンドーピング法によるリンの添加は、結晶質半導体膜の非晶質化をもたらすが、リン濃度の増加はその後のアニールによる再結晶化の妨げとなり問題となっている。また、高濃度のリンの添加は、ドーピングに必要な処理時間の増大をもたらす、ドーピング工程におけるスループットを低下させるので問題となっている。

40

【0008】

【発明が解決しようとする課題】

本発明はこのような問題を解決するための手段であり、半導体膜の結晶化に対して触媒作

50

用のある金属元素を用いて得られる結晶質半導体膜に残存する当該金属元素を効果的に除去する技術を提供することを目的とする。

【0009】

【課題を解決するための手段】

ゲッターリング技術は単結晶シリコンウエハーを用いる集積回路の製造技術において主要な技術として位置付けられている。ゲッターリングは半導体中に取り込まれた金属不純物が、何らかのエネルギーでゲッターリングサイトに偏析して、素子の能動領域の不純物濃度を低減させる技術として知られている。それは、エクストリンシックゲッターリング(Extrinsic Gettering)とイントリンシックゲッターリング(Intrinsic Gettering)の二つに大別されている。エクストリンシックゲッターリングは外部から歪場や化学作用を与えてゲッターリング効果をもたらすものである。高濃度のリンを単結晶シリコンウエハーの裏面から拡散させるリンゲッタはこれに当たり、前述の結晶質半導体膜に対するリンを用いたゲッターリングもエクストリンシックゲッターリングの一種と見なすことができる。

10

【0010】

一方、イントリンシックゲッターリングは単結晶シリコンウエハーの内部に生成された酸素が関与する格子欠陥の歪場を利用したものとして知られている。本発明は、このような格子欠陥、或いは格子歪みを利用したイントリンシックゲッターリングに着目したものであり、厚さ10～100nm程度の結晶質半導体膜に適用するために以下の手段を採用するものである。

20

【0011】

本発明は、結晶質半導体薄膜に希ガス元素を添加してゲッターリングサイトを形成するプロセスと、加熱処理するプロセスとを有しており、該加熱処理により結晶質半導体薄膜に含まれる金属が移動してゲッターリングサイト(希ガス元素のイオンが添加された領域)に捕獲され、ゲッターリングサイト以外の結晶質半導体薄膜から金属を除去または低減する。なお、加熱処理に代えて強光を照射してもよいし、加熱処理と同時に強光を照射してもよい。

【0012】

また、本発明はTFTを駆動させた場合、ゲート電極の端部近傍、即ちチャネル形成領域の境界付近に強い電界が集中する傾向があるため、チャネル形成領域からゲッターリングサイトの配置を遠ざけることを特徴としている。

30

【0013】

また、希ガス元素の添加方法としては、イオンドーピング法やイオン注入法を用いることができ、希ガス元素としては、He、Ne、Ar、Kr、Xeから選ばれた一種または複数種を用いることができる。中でも安価なガスであるArを用いることが望ましい。イオンドーピング法を用いる場合、ドーピングガスに含まれる希ガス元素の1種類が占める濃度が30%以上、好ましくは100%とする。例えば、Krガス30%、Arガス70%の濃度としたドーピングガスを用いてもよい。

【0014】

本明細書で開示する発明の構成は、

絶縁膜と、電極と、

40

前記絶縁膜を間に挟んで前記電極と重なるチャネル形成領域と、

該チャネル形成領域に接し、且つ、一導電型を付与する不純物元素を含む第1の不純物領域と、

該第1の不純物領域に接し、且つ、金属元素、希ガス元素、及び一導電型を付与する不純物元素を含む第2の不純物領域とを有することを特徴とする半導体装置である。

【0015】

上記構成において、前記電極はゲート電極であり、前記ゲート電極は、絶縁膜を間に挟んで前記第1の不純物領域と一部重なることを特徴としており、その一例を図1に示す。

【0016】

また、上記構成における他の一例として、図8に前記ゲート電極が、絶縁膜を間に挟んで

50

前記第1の不純物領域と全部重なることを特徴とする例を示す。なお、図8に示した例においては、前記第2の不純物領域は、自己整合的に形成されたことを特徴としている。

【0017】

また、上記各構成において、前記第2の不純物領域に含まれる前記一導電型を付与する不純物元素の濃度は、前記第1の不純物領域に含まれる前記一導電型を付与する不純物元素の濃度より高いことを特徴としている。

【0018】

また、上記各構成において、前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴としている。

【0019】

また、上記各構成において、前記一導電型の不純物元素は周期表15族元素または周期表13族元素であることを特徴としている。

【0020】

また、上記構造を実現するための発明の構成は、
非晶質構造を有する半導体膜に金属元素を添加する第1工程と、
前記半導体膜を結晶化させて結晶構造を有する半導体膜を形成する第2工程と、
前記半導体膜上に絶縁膜を形成する第3工程と、
前記絶縁膜上に前記半導体膜と重なる電極を形成する第4工程と、
前記電極をマスクとして前記半導体膜に希ガス元素を選択的に添加し、且つ、一導電型を付与する不純物元素を選択的に添加して第2の不純物領域を自己整合的に形成する第5工程と、
前記電極をエッチングしてテーパー部を有するゲート電極を形成する第6工程と、
前記テーパー部を通過させて前記半導体膜に一導電型を付与する不純物元素を選択的に添加して第1の不純物領域を形成する第7工程と、
前記第2の不純物領域に前記金属元素をゲッタリングして結晶構造を有する半導体膜中の前記金属元素を選択的に除去または低減する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0021】

また、作製方法に関する発明の構成は、
非晶質構造を有する半導体膜に金属元素を添加する第1工程と、
前記半導体膜を結晶化させて結晶構造を有する半導体膜を形成する第2工程と、
前記結晶構造を有する半導体膜に、一導電型を付与する不純物元素とを選択的に添加して第1の不純物領域を形成する第3工程と、
前記結晶構造を有する半導体膜に希ガス元素を選択的に添加し、且つ、一導電型を付与する不純物元素を選択的に添加して第2の不純物領域を形成する第4工程と、
前記第2の不純物領域に前記金属元素をゲッタリングして結晶構造を有する半導体膜中の前記金属元素を選択的に除去または低減する第5工程とを有することを特徴とする半導体装置の作製方法である。

【0022】

上記作製方法において、前記第4の工程は、フォスフィンを含む希ガスを原料ガスとし、半導体膜にリン元素と希ガス元素とを同一工程で添加してもよい。

【0023】

また、上記作製方法において、前記第4の工程は、フォスフィンを含む水素ガスを原料ガスとし、半導体膜にリン元素を添加した後、大気にふれることなく希ガスを原料ガスとして半導体膜に希ガス元素を添加してもよい。

【0024】

また、前記工程における前記希ガス元素に加えて、H、H₂、O、O₂から選ばれた一種または複数種を添加してもよい。その場合には、該工程を希ガス元素及び水蒸気を含む雰囲気下で行えばよい。

【0025】

10

20

30

40

50

また、本明細書で開示する発明の他の構成は、図18にその一例を示したように、同一の絶縁表面上に画素部1702及び駆動回路1701を含む半導体装置において、前記駆動回路はnチャンネル型TFT1706、1708及びpチャンネル型TFT1705、1708とを有し、

前記画素部の画素電極に接続する画素TFT(nチャンネル型TFT1709)は、チャンネル形成領域1687と、該チャンネル形成領域と接する第1の不純物領域(低濃度不純物領域1641~1644)と、該第1の不純物領域と接する第2の不純物領域(高濃度不純物領域1655~1657)とを含む半導体層を有することを特徴とする半導体装置である。

【0026】

上記構成において、前記画素TFTのゲート電極はテーパ部を有し、該テーパ部は前記第1の不純物領域の一部と重なっていることを特徴としている。また、画素TFTの前記第2の不純物領域は、マスクにより形成されたことを特徴としている。

【0027】

また、上記構成において、前記駆動回路のnチャンネル型TFT1706のゲート電極はテーパ部を有し、該テーパ部は前記第1の不純物領域の全部と重なっていることを特徴としている。また、前記駆動回路のnチャンネル型TFT1706の前記第2の不純物領域は、自己整合的に形成されたことを特徴としている。

【0028】

また、上記各構成において、前記第2の不純物領域は、金属元素、希ガス元素、及び一導電型を付与する不純物元素を含むことを特徴としている。

【0029】

また、上記構造を実現するための発明の構成は、同一の絶縁表面上に画素部及び駆動回路を含む半導体装置の作製方法において、非晶質構造を有する半導体膜に金属元素を添加する第1工程と、前記半導体膜を結晶化させて結晶構造を有する半導体膜を形成する第2工程と、前記半導体膜上に絶縁膜を形成する第3工程と、前記絶縁膜上に前記半導体膜と重なり、且つテーパ部を有する電極を形成する第4工程と、

前記電極のテーパ部を通過させて前記半導体膜に一導電型を付与する不純物元素を選択的に添加して第1の不純物領域を形成する第5工程と、

画素部には、マスクを設け、前記半導体膜に一導電型を付与する不純物元素及び希ガス元素を含む第2の不純物領域を選択的に形成すると同時に、駆動回路には前記電極をマスクとして自己整合的に第2の不純物領域を形成する第6工程と、

前記第2の不純物領域に前記金属元素をゲッタリングして結晶構造を有する半導体膜中の前記金属元素を選択的に除去または低減する第7工程とを有することを特徴とする半導体装置の作製方法である。

【0030】

また、上記構造を実現するための発明の構成は、図16、図17にその一例を示したように、

同一の絶縁表面上に画素部及び駆動回路を含む半導体装置の作製方法において、非晶質構造を有する半導体膜に金属元素を添加する第1工程と、

前記半導体膜を結晶化させて結晶構造を有する半導体膜を形成する第2工程と、

前記半導体膜上に絶縁膜1697を形成する第3工程と、

前記絶縁膜上に前記半導体膜と重なり、且つテーパ部を有する電極1622~1627を形成する第4工程と、

前記電極をマスクとして前記半導体膜に一導電型を付与する不純物元素を選択的に添加して第1の不純物領域1628を形成する第5工程と、

画素部には、マスク1632を設け、前記半導体膜に一導電型を付与する不純物元素及び希ガス元素を含む第2の不純物領域1655~1657を選択的に形成すると同時に、駆

10

20

30

40

50

動回路には前記電極 1 6 2 3 をマスクとして自己整合的に第 2 の不純物領域 1 6 4 9、1 6 5 0 と、前記電極のテーパ部を通過させて前記第 2 の不純物領域 1 6 4 9、1 6 5 0 とチャンネル形成領域 1 6 8 4 との間に第 3 の不純物領域 1 6 3 5、1 6 3 6 を形成する第 6 工程と、

前記第 2 の不純物領域 1 6 4 7 ~ 1 6 5 8 に前記金属元素をゲッタリングして結晶構造を有する半導体膜中の前記金属元素を選択的に除去または低減する第 7 工程とを有することを特徴とする半導体装置の作製方法である。

【0031】

上記構成において、前記第 3 の不純物領域は、電極のテーパ部を通過させて形成されるため、第 2 の不純物領域に比べて不純物濃度が低く、テーパ形状に沿ってチャンネル長方向に濃度勾配を有する。また、上記構成の第 6 工程において、一導電型を付与する不純物元素と希ガス元素とを順次添加してもよいし、同一工程で一度に添加してもよい。また、順次添加する場合においては、希ガス元素を添加する際、希ガス元素がテーパ部を通過しない条件とすれば、第 3 の不純物領域には希ガス元素を添加せず、第 2 の不純物領域のみに希ガス元素を添加することも可能である。

10

【0032】

また、本明細書中では、低濃度不純物領域 (n^- 領域) を第 1 の不純物領域と呼び、低濃度不純物領域 (n^- 領域) を第 3 の不純物領域と呼び、高濃度不純物領域 (n^+ 領域) を第 2 の不純物領域と呼ぶ。

【0033】

【発明の実施の形態】

本発明の実施形態について、以下に説明する。

20

【0034】

[実施の形態 1]

TFT の活性層のうち、チャンネル形成領域およびその境界付近は特に TFT の電気特性を左右する重要な箇所であり、可能な限り不純物が存在しないことが望ましい。また、希ガス元素を添加した領域 (ゲッタリングサイト) の境界にはニッケルシリサイドが偏析しやすい。そこで、本発明は、この境界をチャンネル形成領域から離れた位置に配置することを最大の特徴としている。図 1 に示した例はレジストからなるマスクを用いてゲッタリングサイトの位置を設定し、 n チャンネル型 TFT を作製した例である。

30

【0035】

図 1 (A) において、透光性を有する基板 10 はバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス、或いは石英などを用いることができる。まず、基板 10 の表面に、ブロッキング層 11 として無機絶縁膜を 10 ~ 200 nm の厚さで形成する。好適なブロッキング層の一例は、プラズマ CVD 法で作製される酸化窒化シリコン膜であり、 SiH_4 、 NH_3 、 N_2O から作製される第 1 酸化窒化シリコン膜を 50 nm の厚さに形成し、 SiH_4 と N_2O から作製される第 2 酸化窒化珪素膜を 100 nm の厚さに形成したものが適用される。ブロッキング層 11 はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。

40

【0036】

次いで、ブロッキング層 11 上に半導体層を形成する。半導体層は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜した後、公知の結晶化処理 (レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等) を行って得られた結晶質半導体膜をフォトマスクを用いて所望の形状にパターニングして形成する。ここでは、ニッケルを用い、全面または一部に触媒含有層を塗布法、スパッタ法、蒸着法、またはプラズマ処理法によって形成した後、加熱処理または強光の照射を行い、結晶化を行う。この場合、結晶化は触媒となる金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。この半導体層の厚さは 25 ~ 80 nm (好ましくは 30 ~ 60 nm) の厚さで形成する。結

50

晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (Si Ge) 合金などで形成すると良い。

【 0 0 3 7 】

次いで、半導体層を覆う絶縁膜 1 4 を形成する。絶縁膜 1 4 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 n m とし、シリコンを含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜 1 4 はゲート絶縁膜となる。

【 0 0 3 8 】

次いで、半導体層のうち、後にチャネル形成領域 1 3 a となる領域を覆うレジストからなるマスク 1 5 を形成した後、絶縁膜 1 4 を通過させて半導体層に一導電型を付与する不純物元素 (ドーパント、ここではリン) を低濃度に添加して P⁻領域 1 2 a を形成する。(図 1 (A)) この P⁻領域 1 2 a の一部は L D D 領域として機能するものである。

10

【 0 0 3 9 】

次いで、マスク 1 5 を除去した後、絶縁膜 1 4 を間に挟んで P⁻領域 1 2 a と一部重なる電極 1 6 を形成する。(図 1 (B)) この電極 1 6 としては、T a、W、T i、M o、A l、C u、C r、N d から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で単層または積層を用いればよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。この電極 1 6 はゲート電極として機能する。

【 0 0 4 0 】

次いで、レジストからなるマスク 1 7 を形成した後、絶縁膜 1 4 を通過させて半導体層に希ガス元素 (A r) を添加した後、半導体層に一導電型を付与する不純物元素 (リン) を高濃度に添加して P⁺+ A r 領域 1 8 を形成する。(図 1 (C)) 希ガス元素としては、H e、N e、A r、K r、X e から選ばれた一種または複数種を用いることができる。中でも安価なガスである A r を用いることが望ましい。添加方法としては、イオンドーピング法を用いてもよいし、イオン注入法を用いてもよい。また、先にリンを添加した後、アルゴンを添加してもよい。また、大気にふれることなく連続的にリンのドーピングとアルゴンのドーピングを行うことが望ましい。また、原料ガスとしてドーパント及び希ガス元素を含むガスを用いて、同一の工程で両方を添加してもよい。この P⁺+ A r 領域 1 8 は、後のゲッタリング工程でゲッタリングサイトとして機能する。なお、チャネル形成領域 1 3 a と P⁺+ A r 領域 1 8 との間に P⁻領域 1 2 b が形成される。

20

30

【 0 0 4 1 】

次いで、マスク 1 7 を除去した後、ゲッタリングを行う。ゲッタリングは窒素雰囲気中で 4 5 0 ~ 8 0 0 ° C、1 ~ 2 4 時間、例えば 5 5 0 ° C にて 4 時間の熱処理を行うと、図 1 (D) 中の矢印の方向 1 9、即ちチャネル形成領域 1 3 b からゲッタリングサイト 1 8 に金属元素を移動させることができる。このゲッタリングにより、絶縁層 1 4 で覆われた半導体膜、特にチャネル形成領域 1 3 b に含まれる金属元素を除去、または金属元素の濃度を低減する。また、このゲッタリングにより P⁻領域 1 2 b に含まれる金属元素も除去、または金属元素の濃度も低減する。このゲッタリングでは、条件によっては、希ガス元素によるゲッタリングと、リンによるゲッタリングとの相乗効果を得ることができる。また、熱処理に代えて強光を照射してもよい。また、熱処理に加えて強光を照射してもよい。ただし、ゲッタリングの加熱手段に、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いる R T A 法を用いる場合、半導体膜の加熱温度が 4 0 0 ~ 5 5 0 ° C となるように強光を照射することが望ましい。あまり高い加熱温度とすると半導体膜中の歪みが無くなってしまい、ゲッタリングサイト (ニッケルシリサイド) からニッケルを飛び出させる作用やニッケルを捕獲する作用が消えてしまうため、ゲッタリング効率が低下してしまう。

40

【 0 0 4 2 】

上記ゲッタリングによって、P⁻領域 1 2 b と P⁺+ A r 領域 1 8 との境界付近に金属元素が偏析しやすいものの、チャネル形成領域 1 3 b と間隔が離れているため、T F T の電気

50

特性や信頼性等に影響を与えない。

【0043】

次いで、ドーパントを活性化するために加熱処理、強光の照射、またはレーザー光の照射を行えばよい。また、活性化と同時にゲート絶縁膜へのプラズマダメージやゲート絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。特に、室温～300の雰囲気中において、表面または裏面からYAGレーザーの第2高調波を照射してドーパントを活性化させることは非常に有効である。YAGレーザーはメンテナンスが少ないため好ましい。また、前の工程であるゲッタリング工程で活性化が可能であれば、同時に行ってもよい。

【0044】

以降の工程は、層間絶縁膜20a、20bを形成し、水素化を行って、P⁺+Ar領域18に達するコンタクトホールを形成し、ソース電極21、ドレイン電極22をそれぞれ形成してTFTを完成させる。

【0045】

リンを用いたゲッタリングと比較して、希ガス元素の添加による本発明のゲッタリング能力は高く、さらに高濃度、例えば $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ で添加できるため、結晶化に用いる金属元素の添加量を多くすることができる。即ち、結晶化に用いる金属元素の添加量を多くすることによって結晶化の処理時間をさらに短時間で行うことが可能となる。また、結晶化の処理時間を変えない場合には、結晶化に用いる金属元素の添加量を多くすることによって、さらなる低温で結晶化することができる。また、結晶化に用いる金属元素の添加量を多くすることによって、自然核の発生を低減することができ、良好な結晶質半導体膜を形成することができる。

【0046】

また、希ガス元素を添加する処理時間は、1分または2分程度の短時間で高濃度の希ガス元素を半導体膜に添加することができるため、リンを用いたゲッタリングと比較してスループットが格段に向上する。

【0047】

なお、本発明は、上記工程順序（P⁻領域の形成 ゲート電極の形成 P⁺+Ar領域の形成）に限定されず、P⁻領域の形成 P⁺+Ar領域の形成 ゲート電極の形成という工程順序でもよければ、P⁺+Ar領域の形成 P⁻領域の形成 ゲート電極の形成という工程順序でもよい。また、P⁺+Ar領域の形成 P⁻領域の形成 ゲッタリング 活性化 ゲート電極の形成という工程順序としてもよい。このようにゲッタリング後でゲート電極を形成する場合には、ゲート電極として様々な材料、例えば高温に弱い低抵抗な材料（Cu、Al、Ag、Au等）を用いることが可能である。

【0048】

[実施の形態2]

また、図8に示した例は、電極をマスクとして自己整合的に希ガス元素またはドーパントを高濃度に添加した後、電極をエッチングしてテーパー部を形成し、そのテーパー部を通過させてドーパントを低濃度に行ってテーパー部に重なるLDD領域を形成した例である。

【0049】

実施の形態1と同様に絶縁膜34を形成する。基板30上にブロッキング層31、半導体層を形成して絶縁膜34を形成する。実施の形態1と同様にここでもニッケルを用いて結晶化を行う。

【0050】

次いで、次いで、絶縁膜34上に膜厚20～100nmの第1の導電膜と、膜厚100～400nmの第2の導電膜とを積層形成する。

【0051】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク35aを形成し、電極36a、37aを形成するための第1のエッチング処理を行う。第1のエッチング条件とし

10

20

30

40

50

て、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いる。

【0052】

次いで、マスク35aを除去せずに、電極36a、37aをマスクとして第1のドーピングを行う。第1のドーピングでは、絶縁膜34を通過させて半導体層に希ガス元素(Ar)を添加した後、半導体層に一導電型を付与する不純物元素(リン)を高濃度に添加して $P^+ + Ar$ 領域32aを形成する。(図8(A))なお、ドーピングされなかった領域を33aで示した。

【0053】

次いで、マスク35aをそのままの状態としたまま、第2のエッチング処理を行い、第2の導電層の一部を除去して電極37bを形成する。第2のエッチング処理によりマスク35aもエッチングされてマスク35bが形成される。一方、第1の導電層は、ほとんどエッチングされず、テーパ角の小さいテーパ部を有する電極36bを形成する。(図8(B))

【0054】

次いで、マスク35bを除去した後、第2のドーピング処理を行って図8(C)の状態を得る。ドーピングは電極37bを不純物元素に対するマスクとして用い、電極36bのテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。こうして、電極36bと重なる P^- 領域38を自己整合的に形成する。また、第2のドーピング処理では、 $P^+ + Ar$ 領域にもドーピングされ、 $P^+ + Ar$ 領域32bを形成する。なお、ドーピングされなかった領域(後にチャネル形成領域となる)を33bで示した。

【0055】

次いで、ゲッタリングを行う。ゲッタリングは窒素雰囲気中で450~800、1~24時間、例えば550にて14時間の熱処理を行うと、図8(D)中の矢印の方向39、即ちチャネル形成領域33cからゲッタリングサイト32bに金属元素を移動させることができる。このゲッタリングにより、絶縁層34で覆われた半導体膜、特にチャネル形成領域33cに含まれる金属元素を除去、または金属元素の濃度を低減する。また、このゲッタリングにより P^- 領域38bに含まれる金属元素も除去、または金属元素の濃度も低減する。また、熱処理に代えて強光を照射してもよい。また、熱処理に加えて強光を照射してもよい。

【0056】

次いで、ドーパントを活性化するために加熱処理、強光の照射、またはレーザー光の照射を行えばよい。また、活性化と同時にゲート絶縁膜へのプラズマダメージやゲート絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。特に、室温~300の雰囲気中において、表面または裏面からYAGレーザーの第2高調波を照射してドーパントを活性化させることは非常に有効である。YAGレーザーはメンテナンスが少ないため好ましい。また、前の工程であるゲッタリング工程で活性化が可能であれば、同時に行ってもよい。

【0057】

以降の工程は、層間絶縁膜40a、40bを形成し、水素化を行って、 $P^+ + Ar$ 領域32bに達するコンタクトホールを形成し、ソース電極41、ドレイン電極42をそれぞれ形成してTFTを完成させる。

【0058】

また、オフ電流を低減するために、電極36bのテーパ部のみを除去するエッチングを行ってもよい。

【0059】

また、高濃度のドーピングの際に用いるマスクと、希ガス元素のドーピングに用いるマスクとを同一マスクとした例を示したが、マスクを1枚増やして、それぞれに対応するマスクを形成してもよい。

【0060】

実施の形態 1 及び実施の形態 2 のいずれの場合も、絶縁膜を通過させて半導体層にリンを添加した例を示したが、絶縁膜を除去して半導体層の一部を露呈させた後にリンを添加してもよい。

【0061】

実施の形態 1 及び実施の形態 2 のいずれの場合も n チャネル型 T F T を例に説明したが、リンに代えてボロンを用いれば p チャネル型 T F T を作製することができる。

【0062】

また、実施の形態 1 及び実施の形態 2 のいずれの場合もチャネル形成領域の境界にニッケルシリサイドが偏析しないように希ガス元素を添加する領域との間に間隔を有している。

【0063】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0064】

【実施例】

[実施例 1]

本発明の実施形態を図 2 ~ 図 6 を用いて説明する。ここでは画素部の画素 T F T と、画素部の周辺に設けられる駆動回路の T F T を同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路ではシフトレジスタ回路、バッファ回路などの基本回路である C M O S 回路と、サンプリング回路を形成する n チャネル型 T F T とを図示することにする。なお、本実施例は、実施の形態 1 に示した作製工程に沿っている。

【0065】

図 2 (A) において、基板 1 0 1 には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも 1 0 ~ 2 0 程度低い温度であらかじめ熱処理しておいても良い。この基板 1 0 1 の T F T を形成する表面には、基板 1 0 1 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 1 0 2 を形成する。例えば、プラズマ C V D 法で $S i H_4$ 、 $N H_3$ 、 $N_2 O$ から作製される酸化窒化シリコン膜を 1 0 0 n m、同様に $S i H_4$ 、 $N_2 O$ から作製される酸化窒化シリコン膜を 2 0 0 n m の厚さに積層形成する。

【0066】

次に、2 0 ~ 1 5 0 n m (好ましくは 3 0 ~ 8 0 n m) の厚さで非晶質構造を有する半導体膜 1 0 3 a を、プラズマ C V D 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ C V D 法で非晶質シリコン膜を 5 5 n m の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 1 0 2 と非晶質シリコン膜 1 0 3 a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製する T F T の特性バラツキやしきい値電圧の変動を低減させることができる。(図 2 (A))

【0067】

そして、公知の結晶化技術を使用して非晶質シリコン膜 1 0 3 a から結晶質シリコン膜 1 0 3 b を形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用すれば良いが、ここでは、特開平 7 - 1 3 0 6 5 2 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 1 0 3 b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、4 0 0 ~ 5 0 0 で 1 時間程度の熱処理を行い、含有水素量を 5 a t o m % 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ(本実施例では 5 5 n m)よりも 1 ~ 1 5 % 程度減少した。(図 2 (B))

10

20

30

40

50

【0068】

そして、結晶質シリコン膜103bを島状に分割して、半導体層104~107を形成する。その後、プラズマCVD法またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層108を形成する。(図2(C))

【0069】

そしてレジストマスク109を設け、nチャネル型TFTを形成する半導体層105~107の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³程度の濃度でp型を付与する不純物元素としてボロン(B)を添加した。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときと同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要でないが、ボロン(B)を添加した半導体層110~112はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。(図2(D))

【0070】

駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を半導体層110、111に選択的に添加する。そのため、あらかじめレジストマスク113~116を形成した。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。形成された不純物領域117、118のリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の範囲とすれば良い。本明細書中では、ここで形成された不純物領域117~119に含まれるn型を付与する不純物元素の濃度を(n⁻)と表す。また、不純物領域119は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図3(A))

【0071】

次に、マスク層108をフッ酸などにより除去する。また、図1(D)と図2(A)で添加した不純物元素を活性化させる工程を行ってもよい。活性化は、窒素雰囲気中で500~600で1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。

【0072】

そして、ゲート絶縁膜120をプラズマCVD法またはスパッタ法を用いて10~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図3(B))

【0073】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)121と金属膜から成る導電層(B)122とを積層させた。導電層(B)122はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)121は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)121は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。

【0074】

導電層(A)121は10~50nm(好ましくは20~30nm)とし、導電層(B)122は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)121に30nmの厚さの窒化タンタル膜を、導電層(B)122には350nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)12

10

20

30

40

50

1の下に2～20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜120に拡散するのを防ぐことができる。(図3(C))

【0075】

次に、レジストマスク123～127を形成し、導電層(A)121と導電層(B)122とを一括でエッチングしてゲート電極128～131と容量配線132を形成する。ゲート電極128～131と容量配線132は、導電層(A)から成る128a～132aと、導電層(B)から成る128b～132bとが一体として形成されている。この時、駆動回路に形成するゲート電極129、130は不純物領域117、118の一部と、ゲート絶縁膜120を介して重なるように形成する。(図3(D))

10

【0076】

次いで、駆動回路のpチャネル型TFETのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極128をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETが形成される領域はレジストマスク133で被覆しておく。そして、ジボラン(B_2H_6)を用いたイオンドーブ法で不純物領域134を形成した。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域134に含まれるp型を付与する不純物元素の濃度を(p^+)と表す。(図4(A))

20

【0077】

次に、ゲッターリングサイトとなる領域の形成を行う。レジストのマスク135、136a、136b、137を形成し、希ガス元素を添加した。これはアルゴンガスを用いたイオンドーブ法を用い、この領域のアルゴン濃度を $1 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ とした。

【0078】

続いて、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行う。レジストのマスク135、136a、136b、137をそのまま使用し、n型を付与する不純物元素を添加して不純物領域138～142を形成した。これは、フォスフィン(PH_3)を用いたイオンドーブ法で行い、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域138～142に含まれるn型を付与する不純物元素の濃度を(n^+)と表す。(図4(B))

30

【0079】

不純物領域138～142には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でリン(P)が添加されるので、前工程で添加されたリン(P)またはボロン(B)の影響は考えなくても良い。また、不純物領域138に添加されたリン(P)濃度は図4(A)で添加されたボロン(B)濃度の $1/2 \sim 1/3$ なのでp型の導電性が確保され、TFETの特性に何ら影響を与えることはなかった。

40

【0080】

そして、マスクを除去した後、画素部のnチャネル型TFETのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極131をマスクとして自己整合的にn型を付与する不純物元素をイオンドーブ法で添加した。添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ であり、図3(A)および図4(A)と図4(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域143、144のみが形成される。本明細書中では、この不純物領域143、144に含まれるn型を付与する不純物元素の濃度を(n^{\sim})と表す。(図4(C))

【0081】

次いで、ゲッターリングを行う。本実施例は、非晶質シリコン膜から金属元素を用いる結晶

50

化の方法で作製したため、半導体層中には微量の金属元素が残留しており、少なくともチャネル形成領域の金属元素を除去または低減することが望ましい。この金属元素を除去する手段の一つにアルゴン (Ar) の添加によるゲッタリング作用を利用する。ゲッタリングは窒素雰囲気中で 450 ~ 800、1 ~ 24 時間、例えば 550 にて 14 時間の熱処理を行うと、金属元素が図 4 (D) 中の矢印の方向に移動し、ゲッタリングサイトである不純物領域 138 ~ 142 に金属元素を偏析させることができる。また、熱処理に代えて強光を照射してもよい。また、熱処理に加えて強光を照射してもよい。ただし、ゲッタリングの加熱手段に、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いる R T A 法を用いる場合、半導体膜の加熱温度が 400 ~ 550 となるように強光を照射することが望ましい。あまり高い加熱温度としてしまうと半導体膜中の歪みが無くなってしまい、ゲッタリングサイト (ニッケルシリサイド) からニッケルを飛び出させる作用やニッケルを捕獲する作用が消えてしまうため、ゲッタリング効率が低下してしまう。

【0082】

次いで、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) で行うことができる。ここでは裏面から Y A G レーザーの第 2 高調波で活性化処理を行った。活性化により該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

【0083】

次に、ゲート配線とする第 2 の導電膜を形成する。この第 2 の導電膜は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、チタン (Ti) やタンタル (Ta)、タングステン (W)、モリブデン (Mo) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (Ti) を 0.1 ~ 2 重量% 含むアルミニウム (Al) 膜を導電層 (D) 145 とし、チタン (Ti) 膜を導電層 (E) 146 として形成した。導電層 (D) 145 は 200 ~ 400 nm (好ましくは 250 ~ 350 nm) とすれば良く、導電層 (E) 146 は 50 ~ 200 (好ましくは 100 ~ 150 nm) で形成すれば良い。(図 5 (A))

【0084】

そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 146 と導電層 (D) 145 とをエッチング処理して、ゲート配線 147、148 と容量配線 149 を形成した。エッチング処理は最初に SiCl₄ と Cl₂ と BCl₃ との混合ガスを用いたドライエッチング法で導電層 (E) の表面から導電層 (D) の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層 (D) を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0085】

次に、第 1 の層間絶縁膜 150 を形成する。第 1 の層間絶縁膜 150 は 500 ~ 1500 nm の厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線 151 ~ 154 と、ドレイン配線 155 ~ 158 を形成する。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とした。

【0086】

次に、パッシベーション膜 159 として、窒化シリコン膜または窒化酸化シリコン膜を 50 ~ 500 nm (代表的には 100 ~ 300 nm) の厚さで形成する。この状態で熱処理 (300 ~ 550 で 1 ~ 12 時間の熱処理) を行うと水素化を行うことができる。この工程はパッシベーション膜 159 に含まれる水素により半導体層のダングリングボンドを終端する工程である。第 1 の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用い

10

20

30

40

50

る)を行っても良い。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜159に開口部を形成していても良い。(図5(C))

【0087】

その後、有機樹脂からなる第2の層間絶縁膜160を1.0~1.5 μ mの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300で焼成して形成した。そして、第2の層間絶縁膜160にドレイン配線158に達するコンタクトホールを形成し、画素電極161を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には反射率の高い金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。(図6)

10

【0088】

こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはCMOS回路を構成するpチャネル型TFT201と第1のnチャネル型TFT202、サンプリング回路を構成する第2のnチャネル型TFT203、画素部には画素TFT204、保持容量205が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0089】

駆動回路のpチャネル型TFT201には、半導体層104にチャネル形成領域206、ソース領域207a、207b、ドレイン領域208a、208bを有している。第1のnチャネル型TFT202には、半導体層105にチャネル形成領域209、LDD領域210、ソース領域211、ドレイン領域212を有している。このLDD領域210は、ドレイン領域側のみ形成され、ゲート電極129と重なる領域(以降、このようなLDD領域をLovと記す)とゲート電極129と重ならない領域(以降、このようなLDD領域をLoffと記す)とを両方も有する。第2のnチャネル型TFT203には、半導体層106にチャネル形成領域213、LDD領域214、215、ソース領域216、ドレイン領域217を有している。このLDD領域214、215はLov領域とLoff領域とが形成されている。

20

30

【0090】

画素TFT204には、半導体層107にチャネル形成領域218、219、Loff領域220~223、ソースまたはドレイン領域224~226を有している。さらに、容量配線132、149と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT204のドレイン領域226に接続し、n型を付与する不純物元素が添加された半導体層227とから保持容量205が形成されている。図6では画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0091】

以上の様に本発明は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。

40

【0092】

[実施例2]

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図6を用いる。

【0093】

50

まず、実施例 1 に従い、図 6 の状態のアクティブマトリクス基板を得た後、図 6 のアクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【 0 0 9 4 】

次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理

10

【 0 0 9 5 】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いて F P C を貼りつけた。

20

【 0 0 9 6 】

こうして得られた液晶モジュールの構成を図 7 の上面図を用いて説明する。

【 0 0 9 7 】

図 7 で示す上面図は、画素部、駆動回路、F P C（フレキシブルプリント配線板：Flexible Printed Circuit）4 1 1 を貼り付ける外部入力端子 4 0 9、外部入力端子と各回路の入力部までを接続する配線 4 1 0 などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板 4 0 0 とがシール材 4 0 7 を介して貼り合わされている。

【 0 0 9 8 】

ゲート配線側駆動回路 3 0 1 a と重なるように対向基板側に遮光層 4 0 3 a が設けられ、ソース配線側駆動回路 3 0 1 b と重なるように対向基板側に遮光層 4 0 3 b が形成されている。また、画素部 3 0 2 上の対向基板側に設けられたカラーフィルタ 4 0 2 は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

30

【 0 0 9 9 】

ここでは、カラー化を図るためにカラーフィルタ 4 0 2 を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

40

【 0 1 0 0 】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層 4 0 3 a、4 0 3 b を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【 0 1 0 1 】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極

50

の間隙)や、駆動回路を遮光してもよい。

【0102】

また、外部入力端子にはベースフィルムと配線から成るFPC411が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【0103】

以上のようにして作製される液晶モジュールは各種電子機器の表示部として用いることができる。

【0104】

[実施例3]

本実施例は、実施例1と異なるTF T構造としてアクティブマトリクス基板を作製した例について図9~11に示す。なお、本実施例は、実施の形態2に示した作製工程に沿っている。

10

【0105】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板500を用いる。なお、基板500としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0106】

次いで、基板500上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜501を形成する。本実施例では下地膜501として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。本実施例では、膜厚50nmの酸化窒化シリコン膜501a、膜厚100nmの酸化窒化シリコン膜501bを形成した。

20

【0107】

次いで、下地膜上に半導体層502~506を形成する。この半導体層502~506の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x=0.0001\sim0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化(500、1時間)を行った後、熱結晶化(550、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成し、所望の形状にパターンニングした。

30

【0108】

次いで、半導体層502~506の表面をバッファーフッ酸等のフッ酸系のエッチャントで洗浄した後、プラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を主成分とする絶縁膜507を形成する。

【0109】

次いで、図9(A)に示すように、ゲート絶縁膜507上に膜厚20~100nmの第1の導電膜508と、膜厚100~400nmの第2の導電膜509とを積層形成する。本実施例では、膜厚30nmのTa N膜からなる第1の導電膜508と、膜厚370nmのW膜からなる第2の導電膜509を積層形成した。

40

【0110】

なお、本実施例では、第1の導電膜508をTa N、第2の導電膜509をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で単層または積層を用いればよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(Ti N)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜

50

を窒化タンタル (TaN) 膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル (TaN) 膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0111】

次に、フォトリソグラフィ法を用いてレジストからなるマスク510~515を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄、CCl₄などを代表とする塩素系ガスまたはCF₄、SF₆、NF₃などを代表とするフッ素系ガス、またはO₂を適宜用いることができる。ここでは、松下電器産業 (株) 製のICPを用いたドライエッチング装置 (Model E645-ICP) を用いた。基板側 (試料ステージ) にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、TaNに対するエッチング速度は80.32nm/minであり、TaNに対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

【0112】

この後、レジストからなるマスク510~515を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側 (試料ステージ) にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTaN膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、TaNに対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0113】

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。

【0114】

こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層516~521 (第1の導電層516a~521aと第2の導電層516b~521b) を形成する。

【0115】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層に希ガス元素とn型を付与する不純物元素とを添加する。(図9(B))ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。ここでは、希ガス元素としてアルゴンを用い、ドーピングガスとしてアルゴンガス100%としたイオンドープ法を用いて添加した後、大気にふれることなくn型を付与する不純物元素としてリンを用い、フォスフィン (PH₃) 5%水素希釈ガスとしたイオンドープ法を用いて添加する。

【0116】

この場合、導電層516~521がn型を付与する不純物元素に対するマスクとなり、自己整合的にゲッターリングサイトとしても機能する高濃度不純物領域522~533が形成される。高濃度不純物領域522~533には $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ の濃度範

10

20

30

40

50

囲でアルゴンを添加し、さらに、 $3 \times 10^{19} \sim 3 \times 10^{20}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素とを添加する。

【0117】

また、第1のドーピング処理では、リンを添加した後、アルゴンを添加してもよい。また、第1のドーピング処理としてフォスフィンを含む希ガスを原料ガスとし、半導体膜にリン元素と希ガス元素とを同一工程で添加してもよい。

【0118】

次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスに SF_6 と Cl_2 と O_2 とを用い、それぞれのガス流量比を $24/12/24$ (sccm)とし、 1.3Pa の圧力でコイル型の電極に 700W のRF(13.56MHz)電力を投入してプラズマを生成してエッチングを25秒行った。基板側(試料ステージ)にも 10W のRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は $227.3\text{nm}/\text{min}$ 、TaNに対するエッチング速度は $32.1\text{nm}/\text{min}$ であり、TaNに対するWの選択比は 7.1 であり、絶縁膜507であるSiONに対するエッチング速度は $33.7\text{nm}/\text{min}$ であり、TaNに対するWの選択比は 6.83 である。このようにエッチングガス用ガスに SF_6 を用いた場合、絶縁膜507との選択比が高いので膜減りを抑えることができる。また、駆動回路のTFTにおいては、テーパ-部のチャンネル長方向の幅が長ければ長いほど信頼性が高いため、テーパ-部を形成する際、 SF_6 を含むエッチングガスでドライエッチングを行うことが有効である。

【0119】

この第2のエッチング処理によりWのテーパ-角は 70° となった。この第2のエッチング処理により第2の導電層534b~539bを形成する。一方、第1の導電層は、ほとんどエッチングされず、第1の導電層534a~539aを形成する。また、上記第2のエッチング処理において、 CF_4 と Cl_2 と O_2 とをエッチングガスに用いることも可能である。

【0120】

次いで、レジストからなるマスクを除去した後、第2のドーピング処理を行って図9(C)の状態を得る。ドーピングは第2の導電層534b~539bを不純物元素に対するマスクとして用い、第1の導電層のテーパ-部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーピング条件をドーズ量 $1.5 \times 10^{14}/\text{cm}^2$ 、加速電圧 90keV 、イオン電流密度 $0.5\mu\text{A}/\text{cm}^2$ 、フォスフィン(PH_3)5%水素希釈ガス、ガス流量 30sccm にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域541~554を自己整合的に形成する。この低濃度不純物領域541~554へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ であり、且つ、第1の導電層のテーパ-部の膜厚に従って濃度勾配を有している。なお、第1の導電層のテーパ-部と重なる半導体層において、第1の導電層のテーパ-部の端部から内側に向かって不純物濃度(P濃度)が次第に低くなっている。また、高濃度不純物領域522~533にも不純物元素が添加され、高濃度不純物領域555~566を形成する。

【0121】

次いで、後にnチャンネル型TFTの活性層となる半導体層をレジストからなるマスク567~569で覆い、第3のドーピング処理を行う。この第3のドーピング処理により、pチャンネル型TFTの活性層となる半導体層に前記一導電型(n型)とは逆の導電型(p型)を付与する不純物元素が添加されたp型不純物領域570~573(高濃度不純物領域570a~573a及び低濃度不純物領域570b~573b)を形成する。(図10(A))不純物領域570a~573aにはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもボロンの濃度が $6 \times 10^{19} \sim 6 \times 10^{20}/\text{cm}^3$ となるようにドーピング処理することにより、pチャンネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0122】

次いで、レジストからなるマスク574を形成して第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部のみを選択的にエッチングする。第3のエッチング処理は、エッチングガスにWとの選択比が高いCl₃を用い、ICPEッチング装置を用いて行う。第3のエッチングにより、第1の導電層537c~539cが形成される。(図10(B))

【0123】

上記第3のエッチング処理によって、画素部には、第1の導電層537c~539cと重ならず、濃度勾配を有する低濃度不純物領域(LDD領域)547~554が形成される。なお、駆動回路において、低濃度不純物領域(GOLD領域)541~546は、第1の導電層534a~536aと重なったままである。このように、各回路に応じてTFTの構造を作り分けている。

10

【0124】

また、本実施例では第3のドーピング処理の後に、第3のエッチング処理を行った例を示したが、第3のエッチング処理を行った後に第3のドーピング処理を行ってもよい。

【0125】

次いで、レジストからなるマスク574を除去して、ゲッタリング処理を行う。ゲッタリングは窒素雰囲気中で450~800、1~24時間、例えば550にて4時間の熱処理を行うと、図10(C)中の矢印の方向、即ちチャンネル形成領域からゲッタリングサイトに金属元素を移動させることができる。このゲッタリングにより、絶縁膜を間に挟んで第1の導電層と重なる半導体膜、特にチャンネル形成領域に含まれる金属元素を除去、または金属元素の濃度を低減する。このゲッタリングでは、条件によっては、希ガス元素によるゲッタリングと、リンによるゲッタリングとの相乗効果を得ることができる。また、熱処理に代えて強光を照射してもよい。また、熱処理に加えて強光を照射してもよい。ただし、ゲッタリングの加熱手段に、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いるRTA法を用いる場合、半導体膜の加熱温度が400~550となるように強光を照射することが望ましい。あまり高い加熱温度としてみまると半導体膜中の歪みが無くなってしまい、ゲッタリングサイト(ニッケルシリサイド)からニッケルを飛び出させる作用やニッケルを捕獲する作用が消えてしまうため、ゲッタリング効率

20

30

【0126】

さらに、ゲッタリングの条件によっては、ゲッタリングと同時に不純物元素(リン、ボロン)を活性化することもできる。

【0127】

次いで、第1の層間絶縁膜575を形成する。この第1の層間絶縁膜575としては、プラズマCVD法またはスパッタ法を用い、厚さを10~200nmとしてシリコンを含む絶縁膜で形成する。

【0128】

次いで、図10(D)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はYAGレーザーまたはエキシマレーザーを裏面から照射することによって行う。裏面から照射することによって、ゲート電極と絶縁膜を介して重なる不純物領域の活性化を行うことができる。

40

【0129】

また、本実施例では、上記活性化の前に第1の層間絶縁膜を形成した例を示したが、上記活性化を行った後、第1の層間絶縁膜を形成する工程としてもよい。

【0130】

次いで、窒化シリコン膜からなる第2の層間絶縁膜576を形成して熱処理(300~550で1~12時間の熱処理)を行い、半導体層を水素化する工程を行う。本実施例では、窒素雰囲気中で410、1時間の熱処理を行った。この工程は第2の層間絶縁膜5

50

76に含まれる水素により半導体層のダングリングボンドを終端する工程である。第1の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0131】

次いで、第2の層間絶縁膜576上に有機絶縁物材料から成る第3の層間絶縁膜277を形成する。本実施例では膜厚1.6 μ mのアクリル樹脂膜を形成した。次いで、各不純物領域(557、558、561~563、565、570a、571a、572a、573a)に達するコンタクトホールを形成するためのパターニングを行う。本実施例では複数のエッチング処理を行った。本実施例では第2の層間絶縁膜をエッチングストッパーとして第3の層間絶縁膜をエッチングした後、第1の層間絶縁膜をエッチングストッパーとして第2の層間絶縁膜をエッチングしてから第1の層間絶縁膜をエッチングした。

10

【0132】

次いで、不純物領域(557、558、561~563、570a、571a、572a、573a)とそれぞれ電氣的に接続する電極578~586と、不純物領域565と電氣的に接続する画素電極587を形成する。これらの電極及び画素電極の材料は、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いる。

【0133】

以上の様にして、nチャネル型TF T606及びpチャネル型TF T605からなるロジック回路部603と、nチャネル型TF T608及びpチャネル型TF T607からなるサンプリング回路部604とを有する駆動回路601と、nチャネルTF T609からなる画素TF T及び保持容量610とを有する画素部602とを同一基板上に形成することができる。

20

【0134】

なお、本実施例ではnチャネル型TF T609は、ソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造(ダブルゲート構造)となっているが、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0135】

また、本実施例では、希ガス元素を多量に添加したため、下地膜及び基板にも添加される。希ガス元素は、下地膜及び基板のうち、電極516~521で覆われた領域以外の領域、即ちチャネル形成領域588~593および低濃度不純物領域以外の領域に位置する下地膜中あるいは基板中に添加される。

30

【0136】

[実施例4]

実施例3では画素電極が反射性を有する金属材料で形成された反射型の表示装置の例を示したが、本実施例では画素電極を透光性を有する導電膜で形成した透過型の表示装置の例を図12に示す。

【0137】

層間絶縁膜800を形成する工程までは実施例3と同じであるので、ここでは省略する。実施例1に従って層間絶縁膜577を形成した後、透光性を有する導電膜からなる画素電極801を形成する。透光性を有する導電膜としては、ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In_2O_3 、 ZnO)、酸化亜鉛(ZnO)等を用いればよい。

40

【0138】

その後、層間絶縁膜800にコンタクトホールを形成する。次いで、画素電極801と重なる接続電極802を形成する。この接続電極802は、コンタクトホールを通じてドレイン領域と接続されている。また、この接続電極802と同時に他のTF Tのソース電極またはドレイン電極も形成する。

【0139】

また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個

50

の I C を用いてもよい。

【 0 1 4 0 】

以上のようにしてアクティブマトリクス基板が形成される。このアクティブマトリクス基板を用い、実施例 2 に従って液晶モジュールを作製し、バックライト 8 0 4、導光板 8 0 5 を設け、カバー 8 0 6 で覆えば、図 1 4 に示すアクティブマトリクス型液晶表示装置が完成する。なお、カバー 8 0 6 と液晶モジュールは接着剤や有機樹脂を用いて貼り合わせる。また、基板と対向基板を貼り合わせる際、枠で囲んで有機樹脂を枠と基板との間に充填して接着してもよい。また、透過型であるので偏光板 8 0 3 は、アクティブマトリクス基板と対向基板の両方に貼り付ける。

【 0 1 4 1 】

なお、本実施例は実施例 3 と組み合わせることが可能である。

【 0 1 4 2 】

[実施例 5]

本実施例では、E L (Electro Luminescence) 素子を備えた発光表示装置を作製する例を図 1 3 に示す。

【 0 1 4 3 】

図 1 3 (A) は、E L モジュールを示す上面図、図 1 3 (B) は図 1 3 (A) を A - A ' で切断した断面図である。絶縁表面を有する基板 7 0 0 (例えば、ガラス基板、結晶化ガラス基板等) に、画素部 7 0 2、ソース側駆動回路 7 0 1、及びゲート側駆動回路 7 0 3 を形成する。これらの画素部や駆動回路は、実施の形態に従えば得ることができる。また、7 1 8 はシール材、7 1 9 は D L C 膜であり、画素部および駆動回路部はシール材 7 1 8 で覆われ、そのシール材は保護膜 7 1 9 で覆われている。さらに、接着材を用いてカバー材 7 2 0 で封止されている。熱や外力などによる変形に耐えるためカバー材 7 2 0 は基板 7 0 0 と同じ材質のもの、例えばガラス基板を用いることが望ましく、サンドブラスト法などにより図 1 3 に示す凹部形状 (深さ 3 ~ 1 0 μ m) に加工する。さらに加工して乾燥剤 7 2 1 が設置できる凹部 (深さ 5 0 ~ 2 0 0 μ m) を形成することが望ましい。また、多面取りで E L モジュールを製造する場合、基板とカバー材とを貼り合わせた後、C O₂ レーザ等を用いて端面が一致するように分断してもよい。

【 0 1 4 4 】

なお、7 0 8 はソース側駆動回路 7 0 1 及びゲート側駆動回路 7 0 3 に入力される信号を伝送するための配線であり、外部入力端子となる F P C (フレキシブルプリントサーキット) 7 0 9 からビデオ信号やクロック信号を受け取る。なお、ここでは F P C しか図示されていないが、この F P C にはプリント配線基盤 (P W B) が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それに F P C もしくは P W B が取り付けられた状態をも含むものとする。

【 0 1 4 5 】

次に、断面構造について図 1 3 (B) を用いて説明する。基板 5 0 0 上に絶縁膜 7 1 0 が設けられ、絶縁膜 7 1 0 の上方には画素部 7 0 2、ゲート側駆動回路 5 0 3 が形成されており、画素部 7 0 2 は電流制御用 T F T 7 1 1 とそのドレインに電氣的に接続された画素電極 7 1 2 を含む複数の画素により形成される。また、ゲート側駆動回路 7 0 3 は n チャネル型 T F T 7 1 3 と p チャネル型 T F T 7 1 4 とを組み合わせた C M O S 回路を用いて形成される。

【 0 1 4 6 】

これらの T F T (7 1 1、7 1 3、7 1 4 を含む) は、実施の形態または実施例 1、実施例 3 に従って作製すればよい。

【 0 1 4 7 】

画素電極 7 1 2 は E L 素子の陽極として機能する。また、画素電極 7 1 2 の両端にはバンク 7 1 5 が形成され、画素電極 7 1 2 上には E L 層 7 1 6 および E L 素子の陰極 7 1 7 が形成される。

【 0 1 4 8 】

10

20

30

40

50

EL層716としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、低分子系有機EL材料や高分子系有機EL材料を用いればよい。また、EL層として一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0149】

陰極717は全画素に共通の配線としても機能し、接続配線708を經由してFPC709に電氣的に接続されている。さらに、画素部702及びゲート側駆動回路703に含まれる素子は全て陰極717、シール材718、及び保護膜719で覆われている。

10

【0150】

なお、シール材718としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材718はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0151】

また、シール材718を用いて発光素子を完全に覆った後、すくなくとも図13に示すようにDLC膜等からなる保護膜719をシール材718の表面（露呈面）に設けることが好ましい。また、基板の裏面を含む全面に保護膜を設けてもよい。ここで、外部入力端子（FPC）が設けられる部分に保護膜が成膜されないように注意することが必要である。マスクを用いて保護膜が成膜されないようにしてもよいし、CVD装置でマスクングテープとして用いるテフロン等のテープで外部入力端子部分を覆うことで保護膜が成膜されないようにしてもよい。

20

【0152】

以上のような構造でEL素子をシール材718及び保護膜で封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0153】

また、画素電極を陰極とし、EL層と陽極を積層して図13とは逆方向に発光する構成としてもよい。図14にその一例を示す。なお、上面図は同一であるので省略する。

30

【0154】

図14に示した断面構造について以下に説明する。基板1000としては、ガラス基板や石英基板の他にも、半導体基板または金属基板も使用することができる。基板1000上に絶縁膜1010が設けられ、絶縁膜1010の上方には画素部1002、ゲート側駆動回路1003が形成されており、画素部1002は電流制御用TFT1011とそのドレインに電氣的に接続された画素電極1012を含む複数の画素により形成される。また、ゲート側駆動回路1003はnチャネル型TFT1013とpチャネル型TFT1014とを組み合わせたCMOS回路を用いて形成される。

40

【0155】

画素電極1012はEL素子の陰極として機能する。また、画素電極1012の両端にはバンク1015が形成され、画素電極1012上にはEL層1016およびEL素子の陽極1017が形成される。

【0156】

陽極1017は全画素に共通の配線としても機能し、接続配線1008を經由してFPC1009に電氣的に接続されている。さらに、画素部1002及びゲート側駆動回路1003に含まれる素子は全て陽極1017、シール材1018、及びDLC等からなる保護膜1019で覆われている。また、カバー材1021と基板1000とを接着剤で貼り合わせた。また、カバー材には凹部を設け、乾燥剤1021を設置する。

50

【0157】

なお、シール材1018としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材1018はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0158】

また、図14では、画素電極を陰極とし、EL層と陽極を積層したため、発光方向は図14に示す矢印の方向となっている。

【0159】

なお、本実施例は実施例1乃至4のいずれか一と組み合わせることが可能である。

【0160】

[実施例6]

実施例1では、トップゲート型TFETを例に説明したが、本発明は図15に示すボトムゲート型TFETにも適用することができる。

【0161】

図15(A)は、画素部の画素の一つを拡大した上面図であり、図15(A)において、点線A-A'で切断した部分が、図15(B)の画素部の断面構造に相当する。

【0162】

図15に示す画素部において、画素TFET部はNチャネル型TFETで形成されている。基板上51にゲート電極52が形成され、その上に窒化珪素からなる第1絶縁膜53a、酸化珪素からなる第2絶縁膜53bが設けられている。また、第2絶縁膜上には、活性層としてソース領域またはドレイン領域54~56と、チャネル形成領域57、58と、前記ソース領域またはドレイン領域とチャネル形成領域の間にLDD領域59、60が形成される。また、チャネル形成領域57、58は絶縁層61、62で保護される。絶縁層61、62及び活性層を覆う第1の層間絶縁膜63にコンタクトホールを形成した後、ソース領域54に接続する配線64が形成され、ドレイン領域56に配線65が接続され、さらにその上にパッシベーション膜66が形成される。そして、その上に第2の層間絶縁膜67が形成される。さらに、その上に第3の層間絶縁膜68が形成され、ITO、SnO₂等の透明導電膜からなる画素電極69が配線65と接続される。また、70は画素電極69と隣接する画素電極である。

【0163】

本実施例では、実施の形態1に従って、ソース領域またはドレイン領域54~56に希ガス元素を添加してゲッターリングを行ったチャネル形成領域57、58を備えている。

【0164】

本実施例では一例としてチャネルストップ型のボトムゲート型のTFETの例を示したが特に限定されない。

【0165】

なお、本実施例では、画素部の画素TFETのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0166】

また、画素部の容量部は、第1絶縁膜及び第2絶縁膜を誘電体として、容量配線71と、ドレイン領域56とで形成されている。

【0167】

なお、図15で示した画素部はあくまで一例に過ぎず、特に上記構成に限定されないことはいうまでもない。

【0168】

なお、本実施例は実施例1乃至5のいずれか一と組み合わせることが可能である。

【0169】

[実施例7]

本実施例は、金属元素を添加した後、マスクを形成し、希ガス元素を添加してゲッターリン

10

20

30

40

50

グを行った後、半導体膜のパターニングを行った後、再度希ガス元素を添加して実施の形態1と同様のゲッターリングを行う例を示す。

【0170】

実施の形態1に従って、金属元素を添加して結晶化を行う。その後、本実施例では酸化シリコン膜からなる第1マスクを形成し、希ガス元素を添加してゲッターリングサイトを形成する。この第1マスクは、ゲッターリングのためのものであり、帯状の開口部を有するマスクであってもよいし、後に行われる半導体層のパターニングに用いるマスクより表面積が大きいものを用いる。次いで、熱処理または強光の照射を行ってゲッターリングを行う。ゲッターリングは窒素雰囲気中で450～800、1～24時間、例えば550にて14時間の熱処理を行うと、ゲッターリングサイトに金属元素を偏析させることができる。次いで、半導体層のパターニングを行う。この時のパターニングに使用する第2マスクは半導体膜をパターニングするためのものであり、第1マスクよりも小さく、且つ内側に形成する。このパターニングにより、ゲッターリングサイトは除去され、さらにゲッターリングサイトの境界近傍の半導体も除去する。ゲッターリングを行うと、金属元素が希ガス元素を添加した領域の境界に偏析しやすい傾向があることから、希ガス元素を添加した領域付近の半導体膜も除去する。こうして、結晶構造を有する半導体層を形成する。以降の工程は、実施の形態1に従えばよい。

10

【0171】

従って、本実施例では、工程数およびマスク数が増加するものの、2回のゲッターリングが行われるため、さらにチャネル形成領域に含まれる金属元素を低減することができる。本実施例では、2回のゲッターリングを行う例を示したが特に限定されず、2回以上のゲッターリングを行ってもよい。また、他の公知のゲッターリング方法と組み合わせてもよいことはいうまでもない。

20

【0172】

なお、本実施例は実施例1乃至6のいずれか一と組み合わせることが可能である。

【0173】

[実施例8]

本実施例では、実施例3と異なるプロセスでアクティブマトリクス基板を作製した例について図16～18に示す。

【0174】

本実施例は、基板1600上に下地膜1600（酸化窒化シリコン膜1601a、酸化窒化シリコン膜1601bの積層）を設け、その上に半導体層1602～1606を形成し、絶縁膜1607を形成し、該絶縁膜上に第1の導電膜1608と、第2の導電膜1609とを積層形成する工程は、実施例3と同一である。従って、詳しい説明はここでは省略する。なお、図16(A)は、図9(A)と同じ状態を示している。

30

【0175】

次いで、実施例3と同様な方法で第1のエッチング処理を行い、第1の導電層と第2の導電層から成る第1の形状の導電層1616～1621（第1の導電層1616a～1621aと第2の導電層1616b～1621b）を形成する。（図16(B)）なお、この工程までが実施例3と同一である。

40

【0176】

そして、本実施例は、第1のエッチング処理に引き続き、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスに SF_6 と Cl_2 と O_2 とを用い、それぞれのガス流量比を24/12/24（sccm）とし、1.3Paの圧力でコイル型の電極に700WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを25秒行った。基板側（試料ステージ）にも10WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3nm/min、Ta₂N₅に対するエッチング速度は32.1nm/minであり、Ta₂N₅に対するWの選択比は7.1であり、絶縁膜1607であるSiONに対するエッチング速度は33.7nm/minであり、Ta₂N₅に対するWの選択

50

比は6.83である。このようにエッチングガス用ガスに SF_6 を用いた場合、絶縁膜1607との選択比が高いので膜減りを抑えることができる。また、駆動回路のTFTにおいては、テーパ部のチャンネル長方向の幅が長ければ長いほど信頼性が高いため、テーパ部を形成する際、 SF_6 を含むエッチングガスでドライエッチングを行うことが有効である。

【0177】

この第2のエッチング処理によりWのテーパ角は 70° となった。この第2のエッチング処理により第2の導電層1622b~1627bを形成する。一方、第1の導電層は、ほとんどエッチングされず、第1の導電層1622a~1627aを形成する。また、上記第2のエッチング処理において、 CF_4 と Cl_2 と O_2 とをエッチングガスに用いることも可能である。

10

【0178】

次いで、レジストからなるマスクを除去した後、第1のドーピング処理を行って図16(C)の状態を得る。ドーピングは第1の導電層1622a~1627aを不純物元素に対するマスクとして用いて第1の導電層のテーパ部下方の半導体層に不純物元素が添加されないようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、フォスフィン(PH_3)5%水素希釈ガス、ガス流量30sccmにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域(n^- 領域)1628を自己整合的に形成する。この低濃度不純物領域1628へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19}/cm^3$ である。

20

【0179】

また、第1のドーピング処理は、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングしてもよい。その場合には、第1の導電層のテーパ部の膜厚に従って濃度勾配を有することになる。

【0180】

次いで、レジストからなるマスク1629~1630を形成した後、第2のドーピング処理を行い、半導体層の一部に希ガス元素とn型を付与する不純物元素とを添加する。(図17(A))ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。ここでは、希ガス元素としてアルゴンを用い、ドーピングガスとしてアルゴンガス100%としたイオンドープ法を用いて添加した後、n型を付与する不純物元素としてリンを用い、フォスフィン(PH_3)5%水素希釈ガスとしたイオンドープ法を用いて添加する。また、第2のドーピング処理では、リンを添加した後、アルゴンを添加してもよい。また、第2のドーピング処理としてフォスフィンを含む希ガスを原料ガスとし、半導体膜にリン元素と希ガス元素とを同一工程で添加してもよい。

30

【0181】

第2のドーピング処理により、後にロジック回路部のnチャンネル型TFTとなる半導体層1603には、導電層1623がリン及びアルゴンに対するマスクとなり、自己整合的にゲッターリングサイトとしても機能する高濃度不純物領域(n^+ 領域)1649、1650が形成される。また、この第2のドーピング処理時、テーパ部下方にも添加して低濃度不純物領域(n^- 領域)1635、1636を形成する。よって、後に形成されるロジック回路部のnチャンネル型TFTは、ゲート電極と重なる領域(GOLD領域)のみを備える。なお、低濃度不純物領域(n^- 領域)1635、1636においては、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって不純物濃度(P濃度)が次第に低くなっている。

40

【0182】

また、第2のドーピング処理により、後にサンプリング回路部のnチャンネル型TFTとなる半導体層1605には、マスク1631で覆われなかった領域に高濃度不純物領域1653、1654が形成され、マスク1631で覆われた領域には低濃度不純物領域(n^- 領域)1639、1640が形成される。従って、後にサンプリング回路部のnチャンネル型TFTは、ゲート電極と重ならない低濃度不純物領域(LDD領域)のみを備える。

50

【0183】

また、第2のドーピング処理により、後にpチャネル型TFTとなる半導体層1602、1604にも、一部に添加してゲッタリングサイトを形成する必要がある。マスク1629、1630で覆われなかった領域にゲッタリングサイトとしても機能する高濃度不純物領域1647、1648、1651、1652が形成され、マスク1629、1630で覆われた領域には低濃度不純物領域（ n^- 領域）1633、1634、1637、1638が形成される。

【0184】

また、第2のドーピング処理により、後に画素部のnチャネル型TFTとなる半導体層1606には、マスク1632で覆われなかった領域にゲッタリングサイトとしても機能する高濃度不純物領域1655～1658が形成され、マスク1632で覆われた領域には低濃度不純物領域（ n^- 領域）1641～1644が形成される。従って、後に画素部のnチャネル型TFTは、ゲート電極と重ならない低濃度不純物領域（LDD領域）のみを備える。また、後に画素部の容量部となる領域には、自己整合的に高濃度不純物領域1658が形成され、テーパー部の下方には低濃度不純物領域（ n^- 領域）1645、1646が形成される。

10

【0185】

第2のドーピング処理により、高濃度不純物領域1647～1658には $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ の濃度範囲でアルゴンを添加され、さらに、 $3 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素とが添加される。

20

【0186】

次いで、マスク1629～1632を除去した後、後にnチャネル型TFTの活性層となる半導体層をレジストからなるマスク1659～1661で覆い、第3のドーピング処理を行う。（図17（B））この第3のドーピング処理により、n型の不純物元素とp型の不純物元素とを高濃度に含む領域1662～1665と、低濃度でn型の不純物元素をふくみ、且つ高濃度でp型の不純物元素を含む領域（ゲート電極と重ならない領域（LDD領域）1666a～1669a、ゲート電極と重なる領域（GOLD領域）1666b～1669b）を形成する。いずれの領域においてもボロンの濃度が $6 \times 10^{19} \sim 6 \times 10^{20} / \text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

30

【0187】

また、本実施例では第1のドーピング処理、第2のドーピング処理、第3のドーピング処理の順に行ったが、特に限定されず、工程順序を自由に変更してもよい。

【0188】

次いで、レジストからなるマスク1659～1661を除去して、ゲッタリング処理を行う。ゲッタリングは窒素雰囲気中で450～800℃、1～24時間、例えば550℃にて4時間の熱処理を行うと、図17（C）中の矢印の方向、即ちチャネル形成領域からゲッタリングサイトに金属元素を移動させることができる。このゲッタリングにより、絶縁膜を間に挟んで第1の導電層と重なる半導体膜、特にチャネル形成領域に含まれる金属元素を除去、または金属元素の濃度を低減する。このゲッタリングでは、条件によっては、希ガス元素によるゲッタリングと、リンによるゲッタリングとの相乗効果を得ることができる。また、熱処理に代えて強光を照射してもよい。また、熱処理に加えて強光を照射してもよい。ただし、ゲッタリングの加熱手段に、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いるRTA法を用いる場合、半導体膜の加熱温度が400～550℃となるように強光を照射することが望ましい。あまり高い加熱温度としてしまうと半導体膜中の歪みが無くなってしまい、ゲッタリングサイト（ニッケルシリサイド）からニッケルを飛び出させる作用やニッケルを捕獲する作用が消えてしまうため、ゲッタリング効率が低下してしまう。

40

【0189】

50

さらに、ゲッターリングの条件によっては、ゲッターリングと同時に不純物元素（リン、ボロン）を活性化することもできる。

【0190】

次いで、第1の層間絶縁膜1670を形成する。この第1の層間絶縁膜1670としては、プラズマCVD法またはスパッタ法を用い、厚さを10～200nmとしてシリコンを含む絶縁膜で形成する。

【0191】

次いで、図17(D)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はYAGレーザーまたはエキシマレーザーを裏面から照射することによって行う。裏面から照射することによって、ゲート電極と絶縁膜を介して重なる不純物領域の活性化を行うことができる。

10

【0192】

また、本実施例では、上記活性化の前に第1の層間絶縁膜を形成した例を示したが、上記活性化を行った後、第1の層間絶縁膜を形成する工程としてもよい。

【0193】

次いで、窒化シリコン膜からなる第2の層間絶縁膜1671を形成して熱処理（300～550で1～12時間の熱処理）を行い、半導体層を水素化する工程を行う。本実施例では、窒素雰囲気中で410、1時間の熱処理を行った。この工程は第2の層間絶縁膜1671に含まれる水素により半導体層のダングリングボンドを終端する工程である。第1の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

20

【0194】

次いで、第2の層間絶縁膜1671上に有機絶縁物材料から成る第3の層間絶縁膜1672を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、各高濃度不純物領域に達するコンタクトホールを形成するためのパターンニングを行う。本実施例では複数のエッチング処理を行った。本実施例では第2の層間絶縁膜をエッチングストッパーとして第3の層間絶縁膜をエッチングした後、第1の層間絶縁膜をエッチングストッパーとして第2の層間絶縁膜をエッチングしてから第1の層間絶縁膜をエッチングした。

【0195】

次いで、高濃度不純物領域とそれぞれ電氣的に接続する電極1673～1681と、高濃度不純物領域1657と電氣的に接続する画素電極1682を形成する。これらの電極及び画素電極の材料は、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いる。

30

【0196】

以上の様にして、nチャネル型TF T1706及びpチャネル型TF T1705からなるロジック回路部1703と、nチャネル型TF T1708及びpチャネル型TF T1707からなるサンプリング回路部1704とを有する駆動回路1701と、nチャネルTF T1709からなる画素TF T及び保持容量1710とを有する画素部1702とを同一基板上に形成することができる。（図18）

40

【0197】

なお、本実施例ではnチャネル型TF T1709は、ソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0198】

本実施例では、第2のドーピング処理により、自己整合的またはマスクによって各回路に適した高濃度不純物領域を作り分けることを特徴としている。nチャネル型TF T1706、1708、1709のTF Tの構造は、いずれも低濃度ドレイン（LDD：Lightly Doped Drain）構造となっている。この構造はチャネル形成領域と、高濃度に不純物元素

50

を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。さらにnチャンネル型TFT1706は、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD(Gate-drain Overlapped LDD)構造である。また、nチャンネル型TFT1708、1709は、ゲート電極と重ならない領域(LDD領域)のみを備えている構造である。なお、本明細書では、絶縁膜を介してゲート電極と重なる低濃度不純物領域(n⁻領域)をGOLD領域と呼び、ゲート電極と重ならない低濃度不純物領域(n⁺領域)をLDD領域と呼ぶ。このゲート電極と重ならない領域(LDD領域)のチャンネル方向の幅は、第2のドーピング処理時のマスクを適宜変更することで自由設定することができる。また、第1のドーピング処理の条件を変え、テーパ部下方にも不純物元素が添加されるようにすれば、nチャンネル型TFT1708、1709は、ゲート電極と重なる領域(GOLD領域)と、ゲート電極と重ならない領域(LDD領域)とを両方備えた構造とすることも可能である。

10

【0199】

なお、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることが可能である。

【0200】

[実施例9]

本発明を実施して形成された駆動回路や画素部は様々なモジュール(アクティブマトリクス型液晶モジュール、アクティブマトリクス型ELモジュール、アクティブマトリクス型ECモジュール)に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

20

【0201】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図19~図21に示す。

【0202】

図19(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

30

【0203】

図19(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0204】

図19(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0205】

図19(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

40

【0206】

図19(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0207】

図19(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503

50

、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0208】

図20(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶モジュール2808に適用することができる。

【0209】

図20(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶モジュール2808に適用することができる。

10

【0210】

なお、図20(C)は、図20(A)及び図20(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶モジュール2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図20(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0211】

20

また、図20(D)は、図20(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図20(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0212】

ただし、図20に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びELモジュールでの適用例は図示していない。

【0213】

30

図21(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部(CCD、イメージセンサ等)2907等を含む。本発明を表示部2904に適用することができる。

【0214】

図21(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0215】

図21(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。

40

【0216】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例1~8のどのような組み合わせからなる構成を用いても実現することができる。

【0217】

【発明の効果】

本発明により、希ガスを添加する処理時間は、1分または2分程度の短時間で高濃度の希ガス元素を半導体膜に添加することができるため、リンを用いたゲッタリングと比較してスループットが格段に向上する。

50

【0218】

また、リンを用いたゲッタリングと比較して、希ガス元素の添加による本発明のゲッタリング能力は高く、さらに高濃度、例えば $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ で添加できるため、結晶化に用いる金属元素の添加量を多くすることができる。即ち、結晶化に用いる金属元素の添加量を多くすることによって結晶化の処理時間をさらに短時間で行うことが可能となる。また、結晶化の処理時間を変えない場合には、結晶化に用いる金属元素の添加量を多くすることによって、さらなる低温で結晶化することができる。また、結晶化に用いる金属元素の添加量を多くすることによって、自然核の発生を低減することができ、良好な結晶質半導体膜を形成することができる。

【図面の簡単な説明】

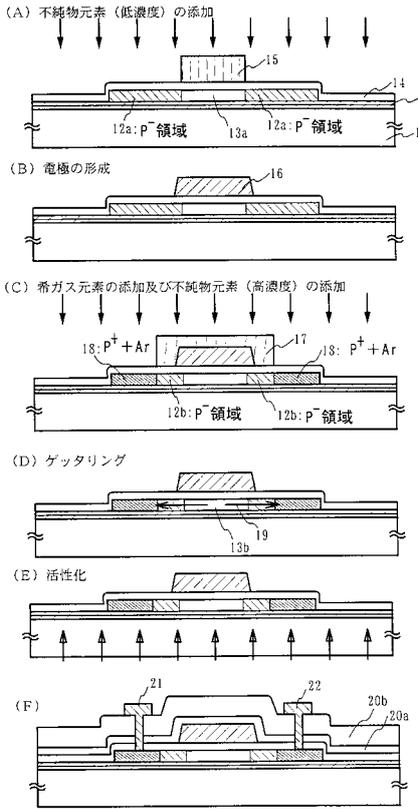
- 【図1】 TFTの作製工程を示す図。(実施の形態1)
- 【図2】 アクティブマトリクス基板の作製工程を示す図。
- 【図3】 アクティブマトリクス基板の作製工程を示す図。
- 【図4】 アクティブマトリクス基板の作製工程を示す図。
- 【図5】 アクティブマトリクス基板の作製工程を示す図。
- 【図6】 アクティブマトリクス基板の作製工程を示す図。
- 【図7】 液晶モジュールの外観を示す上面図。
- 【図8】 TFTの作製工程を示す図。(実施の形態2)
- 【図9】 アクティブマトリクス基板の作製工程を示す図。
- 【図10】 アクティブマトリクス基板の作製工程を示す図。
- 【図11】 アクティブマトリクス基板の作製工程を示す図。
- 【図12】 透過型の例を示す図。
- 【図13】 ELモジュールを示す上面図及び断面図。
- 【図14】 ELモジュールを示す断面図。
- 【図15】 アクティブマトリクス型液晶表示装置の断面構造図。
- 【図16】 アクティブマトリクス基板の作製工程を示す図。
- 【図17】 アクティブマトリクス基板の作製工程を示す図。
- 【図18】 アクティブマトリクス基板の作製工程を示す図。
- 【図19】 電子機器の一例を示す図。
- 【図20】 電子機器の一例を示す図。
- 【図21】 電子機器の一例を示す図。

10

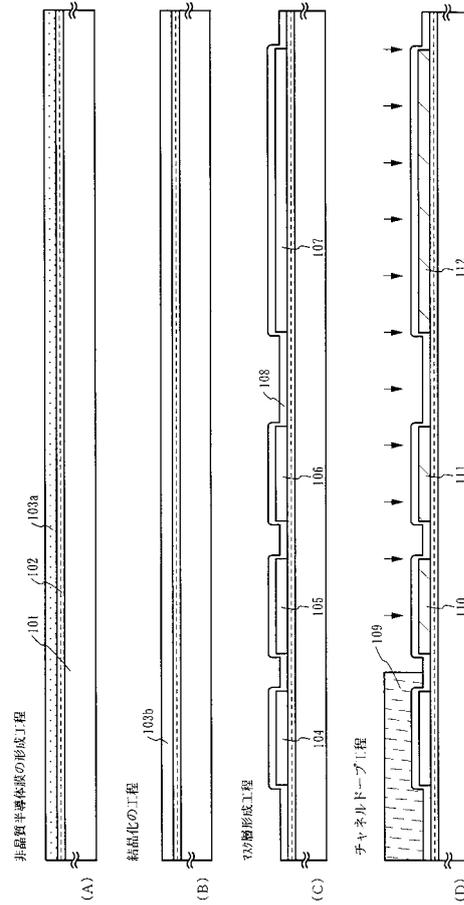
20

30

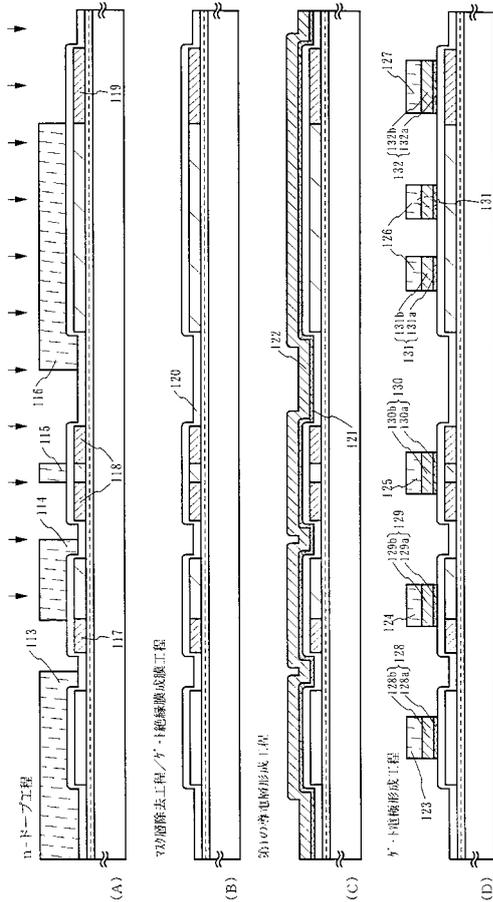
【図1】



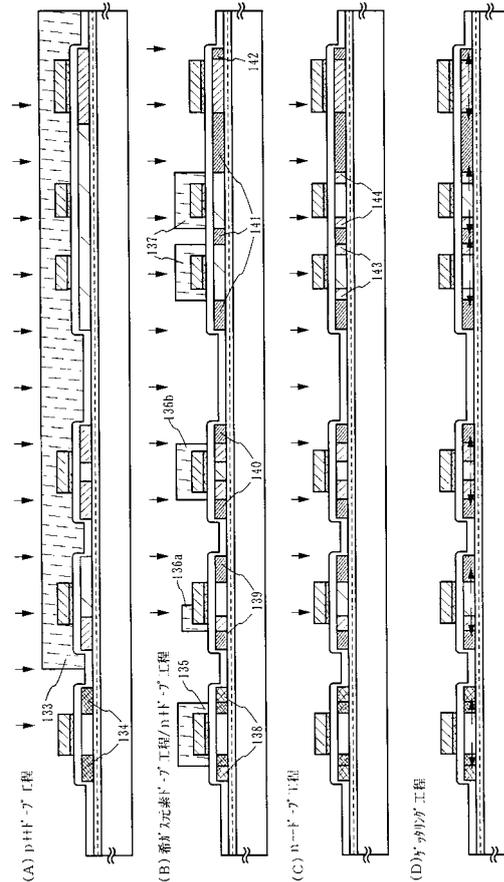
【図2】



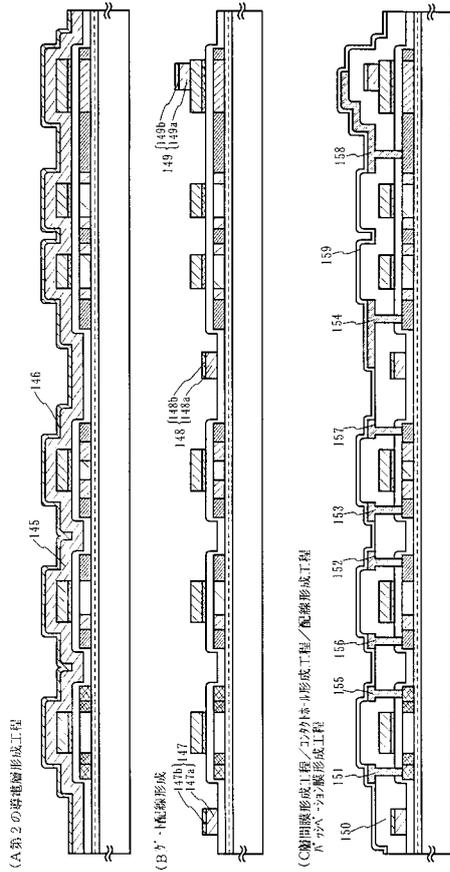
【図3】



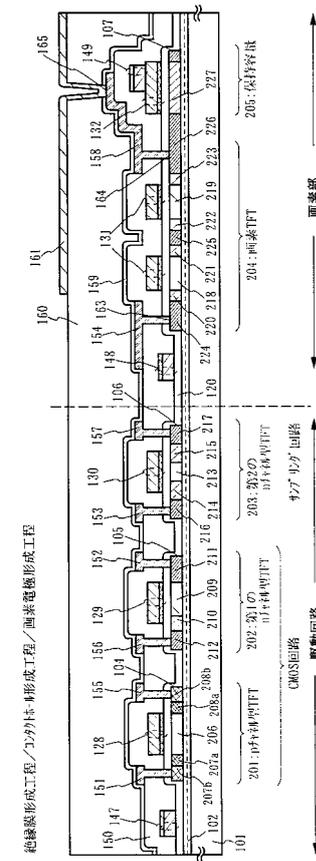
【図4】



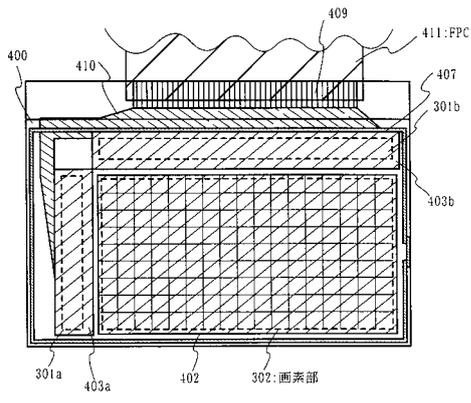
【図5】



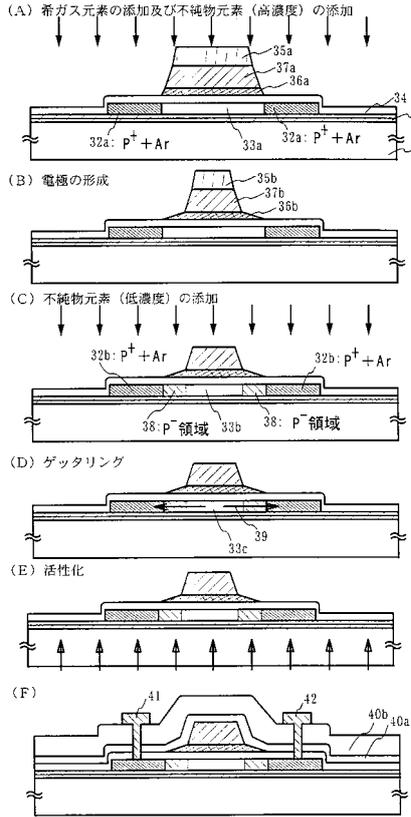
【図6】



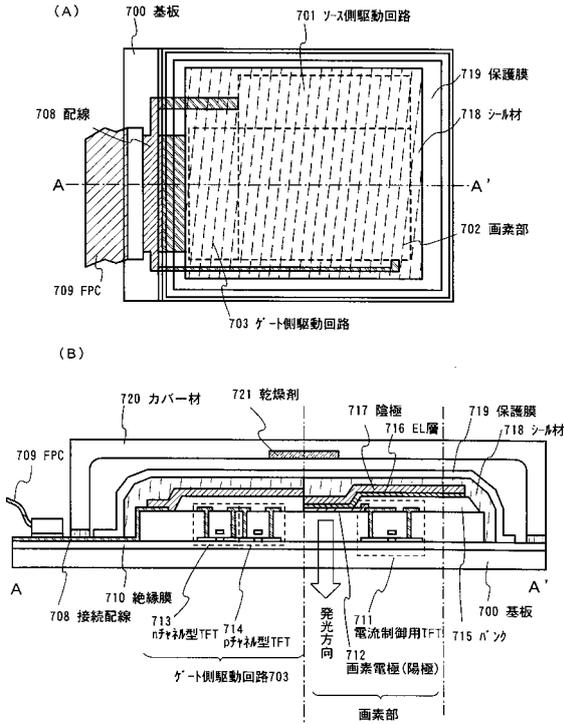
【図7】



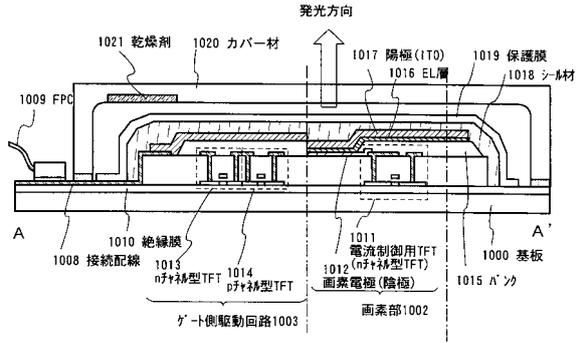
【図8】



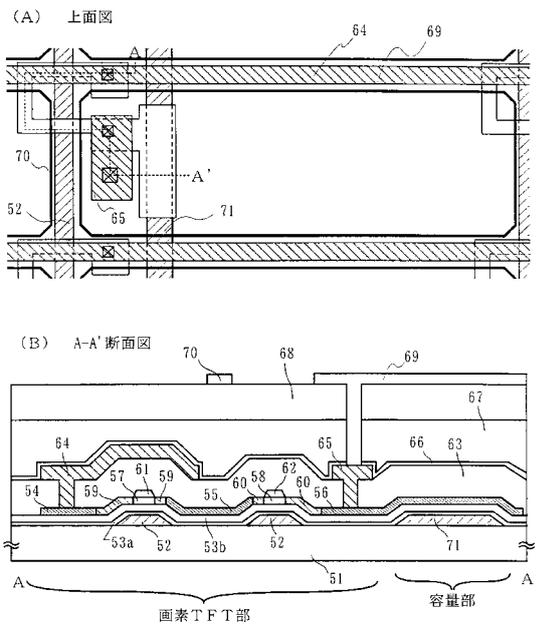
【図13】



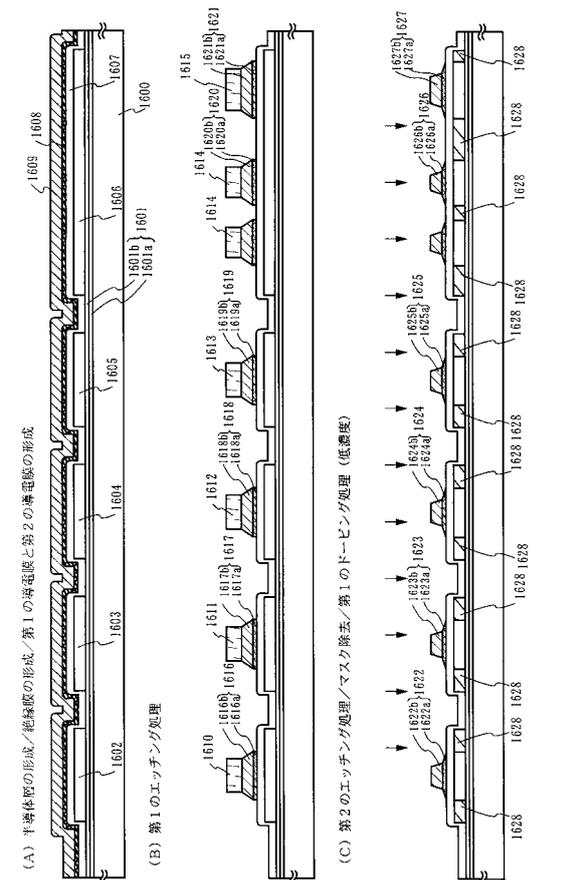
【図14】



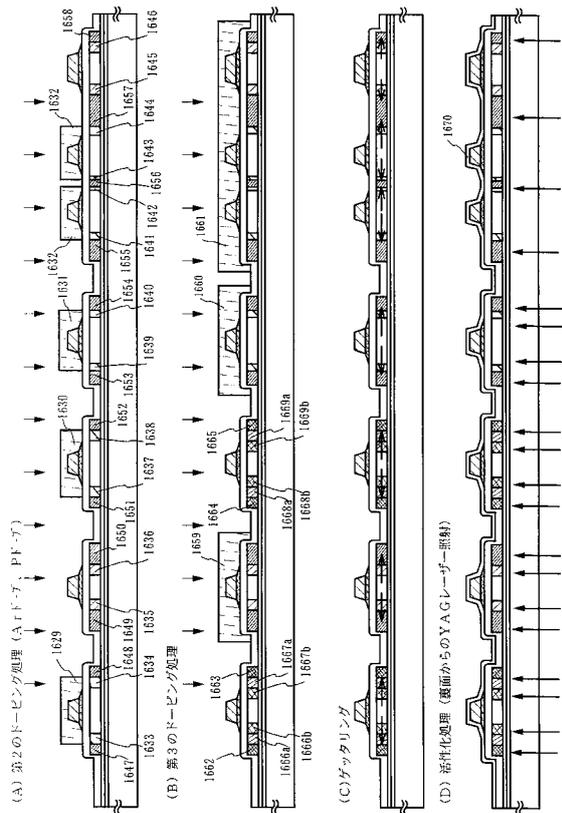
【図15】



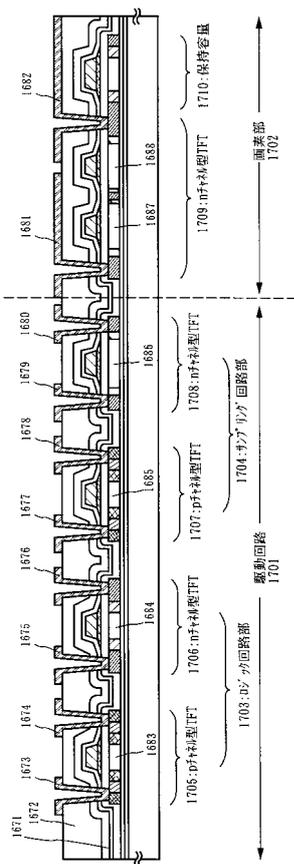
【図16】



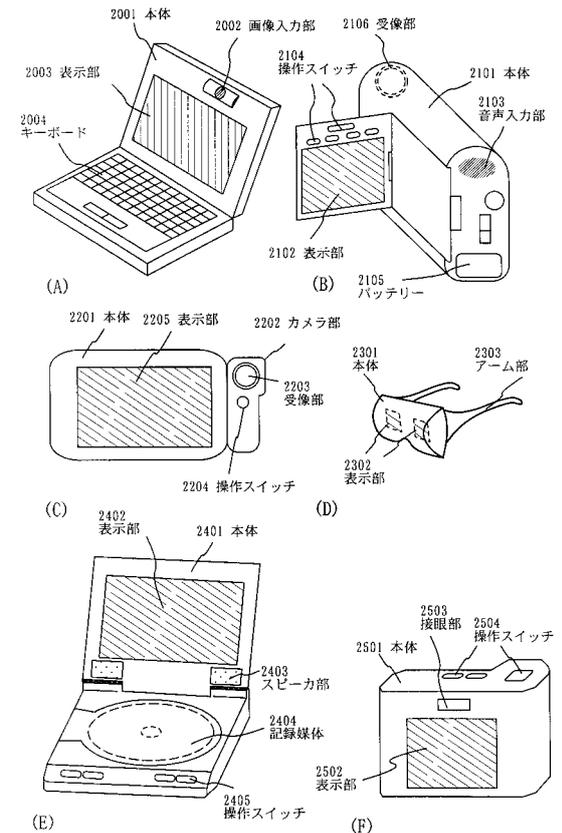
【図17】



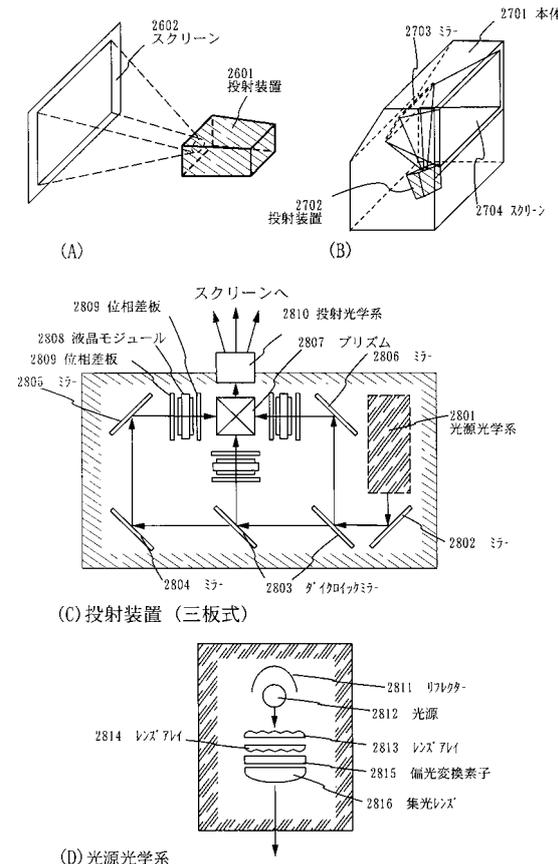
【図18】



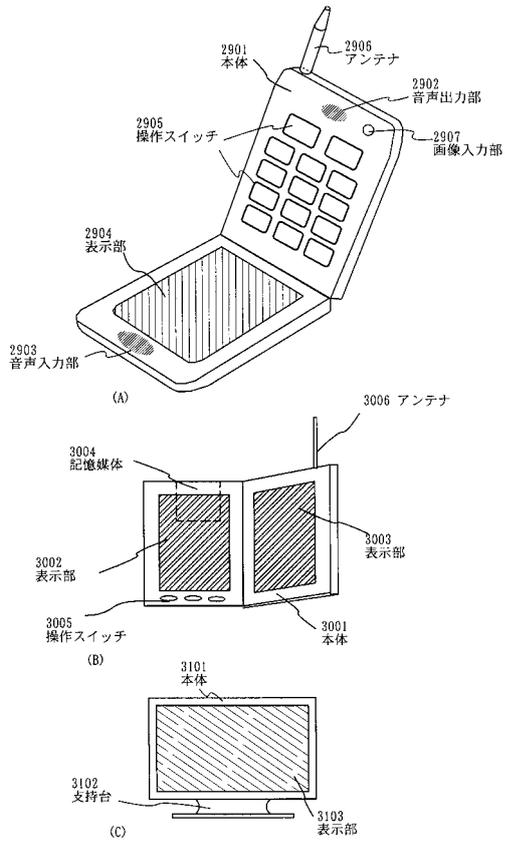
【図19】



【図20】



【図 21】



フロントページの続き

審査官 川村 裕二

- (56)参考文献 特開2000-223714(JP,A)
特開平08-330602(JP,A)
特開平10-135226(JP,A)
特開2000-340504(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 21/20

H01L 29/786