



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월01일
(11) 등록번호 10-0772112
(24) 등록일자 2007년10월25일

(51) Int. Cl.

H01L 21/60(2006.01) H01L 23/48(2006.01)

(21) 출원번호 10-2006-0095083
(22) 출원일자 2006년09월28일
심사청구일자 2006년09월28일
(56) 선행기술조사문헌
JP2005347513 A
JP03110887 A

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
유중우
서울 강서구 가양동 가양아파트 905동 1405호
(74) 대리인
강성배

전체 청구항 수 : 총 6 항

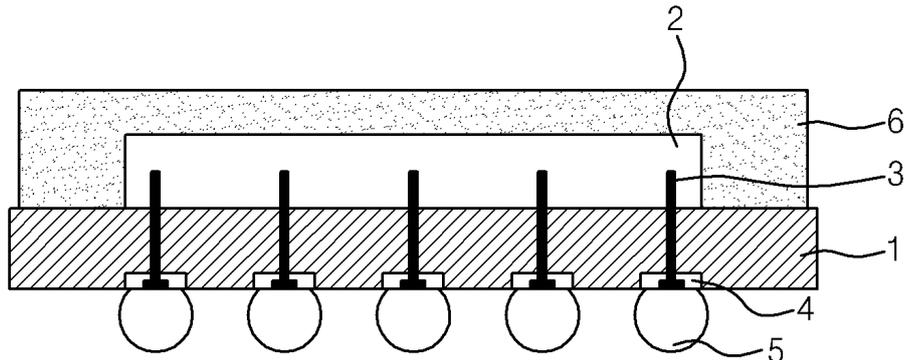
심사관 : 백양규

(54) 반도체 패키지

(57) 요약

본 발명은 반도체 패키지(Semiconductor package)를 개시한다. 개시된 본 발명의 반도체 패키지는 하면에 다수의 볼랜드가 구비되고, 상기 볼랜드에 핀 홀이 형성된 기판과, 상기 기판 상에 배치되며, 상기 기판의 핀 홀과 대응되는 부분 각각에 홈이 형성된 반도체칩과, 상기 기판 하면으로부터 핀 홀 및 홈에 삽입되어 상기 기판 상에 반도체칩을 고정시켜주는 연결 핀 및 상기 반도체칩을 포함한 기판의 상면을 밀봉하는 봉지체를 포함하는 것을 특징으로 한다.

대표도 - 도1a



특허청구의 범위

청구항 1

하면에 다수의 블랜드가 구비되고, 상기 블랜드에 핀 홀이 형성된 기관;
상기 기관 상에 배치되며, 상기 기관의 핀 홀과 대응되는 부분 각각에 홈이 형성된 반도체칩;
상기 기관 하면으로부터 핀 홀 및 홈에 삽입되어 상기 기관 상에 반도체칩을 고정시켜주는 연결 핀; 및
상기 반도체칩을 포함한 기관의 상면을 밀봉하는 봉지재;
를 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 2

제 1 항에 있어서,
상기 기관 하면의 블랜드에 부착된 실장부재를 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 3

제 1 항에 있어서,
상기 핀 홀은, 그 갯수가 상기 반도체 칩의 크기에 대비하여 증가 또는 감소 되어 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 4

제 1 항에 있어서,
상기 연결 핀은 전도체로 이루어져 반도체칩과 기관 간을 전기적으로 연결시키는 것을 특징으로 하는 반도체 패키지.

청구항 5

제 1 항에 있어서,
상기 연결 핀은 절연체로 형성된 것을 특징으로 하는 반도체 패키지.

청구항 6

제 5 항에 있어서,
상기 연결 핀이 절연체로 형성된 경우, 상기 기관과 반도체칩간을 전기적으로 연결하는 금속와이어를 더 포함하는 것을 특징으로 하는 반도체 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 반도체 패키지에 관한 것으로, 보다 상세하게는 접착제를 사용하지 않고 구성된 반도체 패키지에 관한 것이다.
- <10> 웨이퍼(wafer) 한 장에는 동일한 전기회로가 인쇄된 칩이 수백개에서 혹은 수천개가 구비된다. 그러나, 칩 자체 만으로는 외부로부터 전기를 공급 받아 전기신호를 전달해 주거나 전달받을 수 없으며, 또한, 칩은 미세한 회로를 담고 있어 외부충격에 쉽게 손상될 수도 있다. 따라서, 칩에 전기적인 연결을 해 주고, 외부의 충격에 견디도록, 밀봉 포장하여 물리적인 기능과 형상을 갖게 해주는 것이 반도체 패키지이다.

<11> 통상적으로 반도체 패키지는 금속재 등으로 만들어진 리드프레임, 소정의 회로경로가 집약된 수지계열의 인쇄회로기판 또는 회로필름 등과 같이 각종 자재(기판)를 이용하여 여러가지 구조로 제조되는 바, 최근에는 단위 시간당 생산성을 증대시키고자 매트릭스(matrix) 배열 구조의 칩 부착 영역을 갖는 기판을 이용하여, 반도체 칩 부착 공정, 와이어 본딩 공정, 몰딩 공정 등을 거치게 한 다음, 날개로 소잉 내지 싱글레이션 공정 등을 거치게 하여 한번에 많은 반도체 패키지를 제조하는 추세에 있다.

<12> 대개, 반도체 패키지는 기판에 칩을 부착하는 공정과, 칩과 기판간의 전기적 신호를 위한 와이어 본딩 공정, 칩과 와이어 등을 감싸는 몰딩 공정 및 인출단자(솔더볼) 부착 공정 등을 필수적으로 거쳐 제조된다.

<13> 그러나 상기와 같은 종래의 반도체 패키지는, 반도체칩과 기판 간을 부착시, 에폭시 계열의 접착제 또는 테이프를 이용하는데, 반도체 패키지 제작 후의 신뢰성 테스트 후, 접착제에 발생된 보이드로 인해 반도체칩과 접착제 사이에서 박리가 늘어남은 물론 이에 따른 크랙이 발생하여 패키지가 손상되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<14> 따라서, 본 발명은 상기와 같은 문제점을 해결하고자 안출된 것으로서, 신뢰성 테스트 후에도 반도체칩과 접착제 사이의 크랙을 방지한 반도체 패키지를 제공함에 그 목적이 있다.

발명의 구성 및 작용

<15> 상기와 같은 목적을 달성하기 위한 본 발명은 하면에 다수의 볼랜드가 구비되고, 상기 볼랜드에 핀 홀이 형성된 기판; 상기 기판 상에 배치되며, 상기 기판의 핀 홀과 대응되는 부분 각각에 홈이 형성된 반도체칩; 상기 기판 하면으로부터 핀 홀 및 홈에 삽입되어 상기 기판 상에 반도체칩을 고정시켜주는 연결 핀; 및 상기 반도체칩을 포함한 기판의 상면을 밀봉하는 봉지재;를 포함하는 것을 특징으로 하는 반도체 패키지를 제공한다.

<16> 여기서, 상기 기판 하면의 볼랜드에 부착된 실장부재를 더 포함하는 것을 특징으로 한다.

<17> 상기 핀 홀은, 그 갯수가 상기 반도체 칩의 크기에 대비하여 증가 또는 감소 되어 형성되는 것을 특징으로 한다.

<18> 상기 연결 핀은 전도체로 이루어져 반도체칩과 기판 간을 전기적으로 연결시키는 것을 특징으로 한다.

<19> 상기 연결 핀은 절연체로 형성된 것을 특징으로 한다.

<20> 상기 연결 핀이 절연체로 형성된 경우, 상기 기판과 반도체칩간을 전기적으로 연결하는 금속와이어를 더 포함하는 것을 특징으로 한다.

<21> (실시예)

<22> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<23> 먼저, 본 발명의 기술적 원리를 간략하게 설명하면, 본 발명은 반도체 패키지를 구성함에 있어서, 기판상의 반도체칩 고정을 연결핀을 이용해서 달성한다.

<24> 이 경우, 본 발명은 반도체칩과 기판간을 접착제를 이용하여 고정시키는 종래의 반도체 패키지와 달리 접착제가 배재된 연결핀으로 기판상에 반도체칩을 고정시켜 반도체 패키지를 구성함으로써, 접착제에 의해 발생하는 보이드에 의해 기인하는 크랙 발생에 의한 반도체 패키지의 불량률 감소시킬 수 있다.

<25> 또한, 본 발명은 반도체칩과 기판간을 연결시 접착제를 배재시켜 고정시킴으로서, 접착제 프린팅 공정이 제거됨에 따른 전체 패키지의 공정을 단축시킬 수 있으며, 접착제 미사용으로 인한 반도체 패키지 제조의 단가를 절감시킬 수 있다.

<26> 구체적으로는, 도 1a 및 도 1b는 본 발명의 실시예에 따른 반도체 패키지를 도시한 단면도로서, 이를 설명하면 다음과 같다.

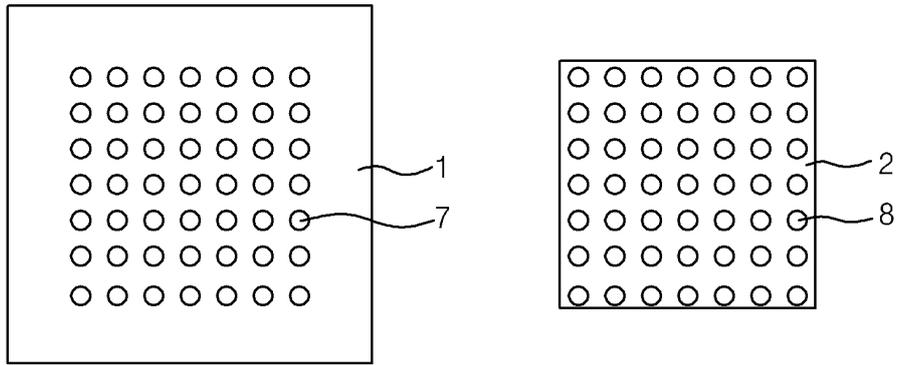
<27> 도 1a를 참조하면 반도체칩(2)은 하면에 볼랜드(4) 및 상기 볼랜드(4)에 포함된 핀 홀(7)이 형성되고, 기판(1) 상에는 홈(8)이 형성된다.

<28> 상기 핀 홀(7) 및 홈(8)에는 접착제가 배재된 연결핀(3)에 의해 기판(2)상에 반도체칩(2)이 배치된다.

<29> 아울러, 상기 반도체칩(2)을 포함하는 기판(1)의 상면을 봉지재(6)로 밀봉된다.

- <30> 또한, 상기 기판(1) 하면의 불랜드(4)에는 실장수단으로서 솔더볼(5)이 부착된다.
- <31> 자세하게, 도 1b를 참조하면, 상기 기판(1)은 하면에 다수의 불랜드(4)를 구비하고, 상기 다수의 모든 불랜드(4)에는 핀 홀(7)이 형성된다.
- <32> 상기 기판(1)상에 배치되는 상기 반도체칩(2)은 상기 기판의 핀 홀과 대응되는 부분에 다수의 홈(8)이 형성된다.
- <33> 여기서, 상기 기판(1)과 반도체칩(2)에 형성되는 핀 홀(7) 및 홈(8)의 갯수는 상기 반도체칩(2)의 크기에 고려하여 형성되는 것이 바람직하다.
- <34> 또한, 상기 핀 홀(7)을 관통하고 홈(8)에 삽입되는 형태로 상기 기판 상에 반도체칩을 고정시키는 연결핀(3)은, 상기 반도체칩(2)과 기판(1)간을 전기적으로 연결시킬 수 있도록 전도체로 형성하여 마련된다.
- <35> 따라서, 본 발명의 반도체 패키지는, 접착제를 사용하여 기판상에 반도체칩을 부착하는 종래의 반도체 패키지와 달리, 상기 기판에는 핀 홀을 형성하고, 반도체칩에는 홈을 형성시켜, 상기 핀 홀을 관통하고 홈에 삽입되는 연결핀만을 사용하여 기판 상에 반도체칩을 부착하여 접착제의 사용을 배제함으로써, 크랙이 발생하는 문제점을 근본적으로 해결할 수 있다.
- <36> 또한, 기판 상에 반도체칩을 고정시키는 연결핀을 전도체로 구성하여 상기 반도체칩과 기판간을 와이어본딩이 없이도 전기적으로 연결할 수 있음으로서, 종래의 반도체 패키지의 와이어본딩을 생략하여 이에 따른 패키지의 단가 및 공정 시간을 감소시킬 수 있다.
- <37> 도 2는 본 발명의 다른 실시예에 따른 반도체 패키지를 도시한 단면도로서 이를 설명하면 다음과 같다.
- <38> 도시된 바와 같이, 본 발명의 다른 실시예에 따른 반도체 패키지는, 본 발명의 실시예의 구성과 거의 흡사하며, 다만 기판(23) 상에 반도체칩(24)을 부착시 사용하는 연결핀(21)을 본 발명의 실시예와 같이 전도체로 형성하는 것과 달리, 절연체로 형성하여 구성한다.
- <39> 여기서, 상기 연결핀(21)을 절연체로 형성시에는, 기판(23)과 반도체칩(24)간을 전기적으로 연결시키기 위한 금속와이어(22)를 본딩한다.
- <40> 그 이외의 나머지 구성요소들은 전술한 본 발명의 실시예의 그것과 동일하며, 여기서는 그 설명을 생략하도록 한다.
- <41> 이 경우, 본 발명의 반도체 패키지는 본 발명의 실시예와 마찬가지로 접착제가 배제된 연결핀을 사용하여 기판 상에 반도체칩을 물리적으로 고정시킴으로서, 종래의 반도체 패키지에서와 같은 접착제 보이드에 의해 기인하는 크랙의 발생을 방지할 수 있다.
- <42> 한편, 이하에서는 도시하지는 않았지만 본 발명의 실시예에 따른 반도체 패키지의 제조방법을 간략하게 설명하도록 한다.
- <43> 홈이 형성된 반도체칩을 종래와 같은 진공 부착-틀을 이용하여 들어올려 핀 홀이 형성된 기판상에 배치시키고, 상기 반도체칩이 기판상에 배치되자마자 상기 진공 부착-틀의 진공방향을 반대로 작용하게 하여 반도체칩을 기판방향으로 밀어준다.
- <44> 이 때, 상기와 같이 반도체칩을 기판방향으로 밀어주면서 동시에 기판의 하면에는 상기 반도체칩과 기판간을 고정시키는 연결핀을 핀 홀을 관통하고 홈에 삽입하여 반도체칩과 기판간을 고정시킨다.
- <45> 이 경우, 상기 연결핀을 삽입하면서 반대방향으로는 반도체칩을 진공으로 밀어주기 때문에, 상기 연결핀으로 상기 기판상에 반도체칩을 단단하게 고정시킬 수 있다.
- <46> 이 후의 제조방법은 종래의 반도체 패키지의 그것과 동일하여 생략하도록 한다.
- <47> 결국, 본 발명의 반도체 패키지는 접착제를 사용하지 않고 접착제가 배제된 연결핀을 사용하여 기판상에 반도체칩을 전기적 및 물리적으로 고정시킴으로서, 종래의 반도체 패키지에서와 같은 접착제 보이드에 의한 크랙의 발생을 방지할 수 있다.
- <48> 또한, 상기 연결핀이 전도체로 형성시킬 경우, 상기 기판상에 반도체칩을 전기적으로 연결함으로써, 와이어본딩이 생략되어 그에 따른 패키지의 단가 및 공정시간을 감소시킬 수 있다.
- <49> 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아

도면1b



도면2

